

# Topologías de amplificadores de fuente común y de drenador común con JFETs

Juan P. Elizondo Espinoza, *Estudiante, TEC* y Matías A. Camacho Abarca, *Estudiante, TEC*.

**Resumen**—Este experimento pretendió analizar el comportamiento de dos topologías ya conocidas en amplificadores de señales; pero esta vez haciendo uso de transistores de efecto de campo (JFETs). Para llevarlo a cabo, se contruyeron tres circuitos diferentes, el primero con una topología de fuente común, el segundo con una topología de drenador común y el tercero presenta una modificación que consiste en agregar una fuente de corriente. Logrando así, analizar el comportamiento de las señales en CD y CA para cada uno de los circuitos.

**Palabras clave**—JFETs, polarización, ganancia, tensión, corriente.

## I. INTRODUCCIÓN

EL transistor de efecto de campo, también conocido como JFET, trabaja con una unión PN polarizada de manera inversa (con tensiones negativas). Cuando se le aplica un voltaje  $V_{DD}$ , se genera una tensión entre el drenaje y la fuente, lo cual induce corriente desde el drenaje hasta la fuente. La forma en la que se controla la cantidad corriente  $I_D$  en el transistor, consiste en variar la resistencia del transistor al variar el ancho del canal, el cual se modifica debido a la región de empobrecimiento a lo largo de la unión PN; dicha región de empobrecimiento, aparece al polarizar en inversa las uniones compuerta y fuente ( $V_{GS}$ ) [1]. Cabe aclarar, que en un JFET la corriente de drenaje  $I_D$  va disminuyendo conforme la tensión  $V_{GS}$  se hace cada vez más negativa, pues con esto se ensancha la región de empobrecimiento, hasta que se llega a la tensión de corte en donde el canal se cierra por completo.

Con este tipo de transistores, también se pueden construir amplificadores con topologías fuente común y drenador común, bajo una idea muy similar a como se trabaja con transistores MOSFET y BJT. Esto es lo que se pretendió aplicar en el laboratorio; para el caso de los amplificadores de fuente común, la señal de entrada se aplica en la compuerta y la salida es tomada directamente desde el drenador del transistor; en el caso de la topología drenador común, lo que cambia es que ahora la salida será tomada desde la fuente del transistor [1].

## II. CIRCUITOS AMPLIFICADORES CON JFETs

Se presenta a continuación los tres circuitos contruidos para la elaboración de este laboratorio. Al igual que en amplificadores con otros tipos de transistores, con

JFETs también se añaden capacitores de acople para filtrar cualquier valor de CD que se desee eliminar, así como capacitores de bypass para mejorar la ganancia del amplificador.

### II-A. Circuitos de Medición

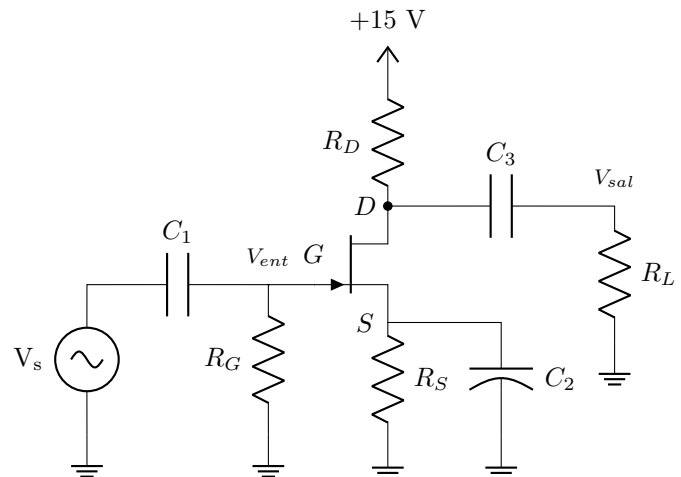


Fig II.1: Circuito de medición 1

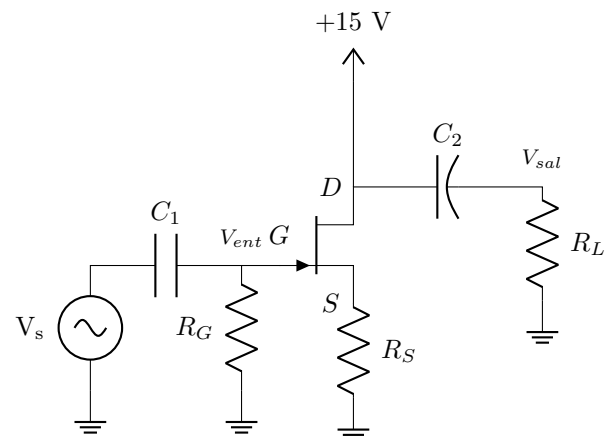


Fig II.2: Circuito de medición 2

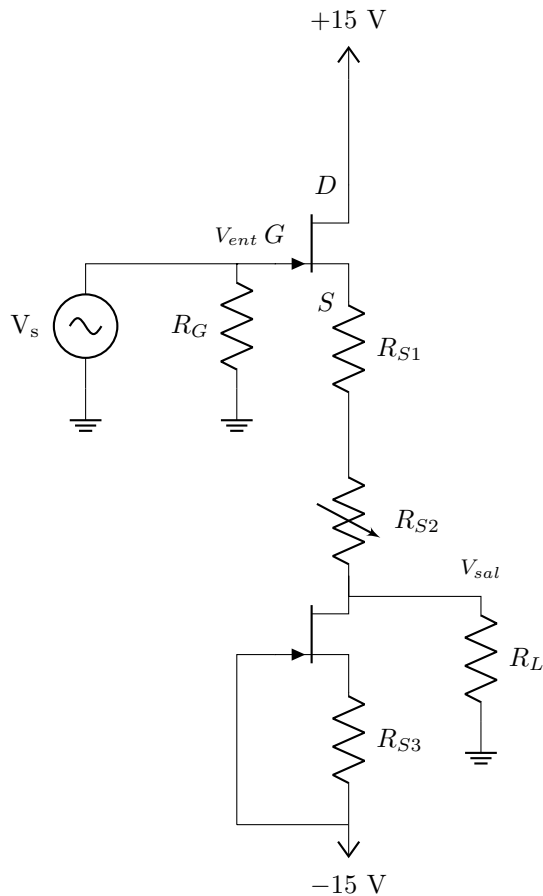


Fig II.3: Circuito de medición 3

II-B. Resultados

Tabla II.1: Valores de resistencias utilizadas en el circuito 1

Componente	Valor requerido	Valor medido
$R_G$	1 M $\Omega$	1,014 22 M $\Omega$
$R_D$	6,8 k $\Omega$	6,752 56 k $\Omega$
$R_S$	56 $\Omega$	62,8178 $\Omega$
$R_L$	10 k $\Omega$	10,062 09 k $\Omega$

Tabla II.2: Valores de capacitores utilizados en el circuito 1

Componente	Valor requerido	Valor medido
$C_1$	0,1 $\mu$ F	0,1047 $\mu$ F
$C_2$	10 $\mu$ F	9,587 $\mu$ F
$C_3$	1 $\mu$ F	1,0383 $\mu$ F

Tabla II.3: Valores de resistencias utilizadas en el circuito 2

Componente	Valor requerido	Valor medido
$R_G$	1 M $\Omega$	1,014 22 M $\Omega$
$R_S$	1 k $\Omega$	0,997 459 k $\Omega$
$R_L$	10 k $\Omega$	10,062 09 k $\Omega$

Tabla II.4: Valores de capacitores utilizados en el circuito 2

Componente	Valor requerido	Valor medido
$C_1$	0,1 $\mu$ F	0,1047 $\mu$ F
$C_2$	10 $\mu$ F	9,587 $\mu$ F

Tabla II.5: Valores de resistencias utilizadas en el circuito 3

Componente	Valor requerido	Valor medido
$R_G$	1 M $\Omega$	1,016 775 M $\Omega$
$R_{S1}$	6,8 k $\Omega$	99,4067 $\Omega$
$R_{S3}$	56 $\Omega$	217,40 $\Omega$
$R_L$	10 k $\Omega$	10,050 23 k $\Omega$

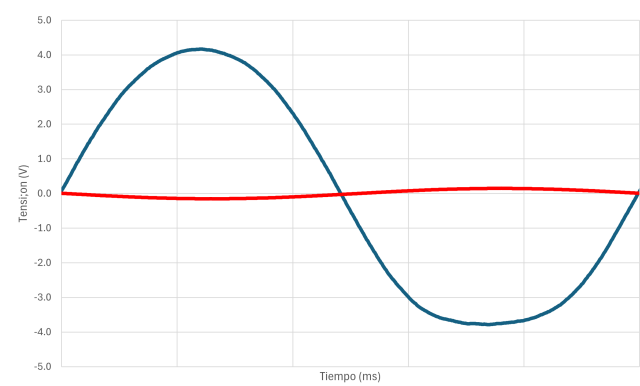


Fig II.4:  $V_{sal}$  (en azul) y  $V_{ent}$  (en rojo) obtenidos experimentalmente en el circuito 1 durante un periodo

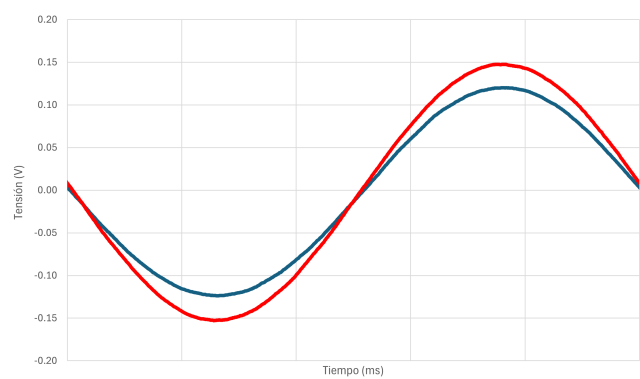


Fig II.5:  $V_{sal}$  (en azul) y  $V_{ent}$  (en rojo) obtenidos experimentalmente en el circuito 2 durante un periodo

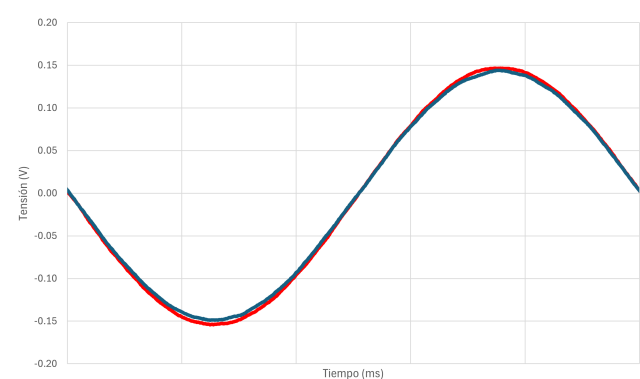


Fig II.6:  $V_{sal}$  (en azul) y  $V_{ent}$  (en rojo) obtenidos experimentalmente en el circuito 3 durante un periodo

Tabla II.6: Mediciones del circuito 1

Parámetro	Valor teórico	Valor medido
$V_G$	6,763 52 $\mu$ V	209,6 $\mu$ V
$V_S$	71,312 86 mV	116,153 mV
$V_D$	6,340 58 V	4,052 65 V
$I_D$	1,273 44 mA	1,873 44 mA
$V_{ent}$	0,149 891 V	0,155 V
$V_{sal}$	4,635 36 V	3,9 V
$A_v$	30,2577	25,16
$Desfase$	-172,818 68°	-177,27°

Tabla II.7: Mediciones del circuito 2

Parámetro	Valor teórico	Valor medido
$V_G$	15,571 90 $\mu$ V	0,0018 V
$V_S$	209,402 04 mV	330,190 mV
$V_D$	15 V	15,0059 V
$I_D$	209,403 01 $\mu$ A	330,121 $\mu$ A
$V_{ent}$	0,149 949 V	0,157 V
$V_{sal}$	0,128 361 V	0,1265 V
$A_v$	0,856	0,806
$Desfase$	0,09°	1,19°

Tabla II.8: Mediciones del circuito 3

Parámetro	Valor teórico	Valor medido
$V_{G(Q1)}$	0 V	0,0018 V
$V_{S(Q1)}$	157,676 13 mV	160,81 mV
$V_{D(Q1)}$	15 V	15,0059 V
$V_{G(Q2)}$	-15,571 90 V	-15,0056 V
$V_{S(Q2)}$	-14,842 32 V	-14,7695 V
$V_{D(Q2)}$	0 V	0,0018 V
$I_D$	716,380 $\mu$ A	975,100 $\mu$ A
$V_{ent}$	0,15 V	0,157 V
$V_{sal}$	0,1448 V	0,151 V
$A_v$	0,965	0,962
$Desfase$	0°	0°

II-C. Análisis de Resultados

Con la intención de lograr los mejores resultados posibles, se trató de ajustar los valores reales de los componentes a utilizar, de forma que coincidieran lo más cerca con los valores teóricos necesarios, aunque siempre existen ciertas discrepancias. Para el primer circuito, se observan ciertas diferencias algo significativas entre los valores recolectados, con respecto a lo esperado teóricamente; esto en cuanto a parámetros de polarización. Si se observan las señales de entrada y salida en este primer circuito, se puede notar una leve diferencia en la señal de salida respecto a lo esperado (es menor al valor teórico); además, en el semiciclo negativo existe un recorte en la onda, que provoca una alteración en la ganancia durante ese

tiempo, esto se intentó solucionar durante la práctica de laboratorio; no obstante, se debía de bajar considerablemente la señal de entrada.

Para el caso de la topología de drenador común, la amplitud de la señal de salida es ligeramente mayor a lo esperado, su fase es correcta y en este caso, no presenta recortes extraños que alteren la ganancia.

Por último, el tercer circuito (modificado con una fuente de corriente), es el que presenta menos margen de error en cuanto a la diferencia entre valores experimentales y valores teóricos. La señal de salida es prácticamente igual a la esperada, incluso en este caso, presenta un desfase de cero grados tal cual debe ser.

### III. CONCLUSIONES

Fue posible obtener los valores teóricos de polarización en CD y los parámetros en CA para la topología de fuente común con JFETs, comprobando así que la señal de salida en esta topología, presenta un desfase cercano a los  $180^\circ$  con respecto a la señal de entrada, igual a como ocurre con otros transistores.

Al igual que con la topología de drenador común, con fuente común se expusieron los parámetros de polarización en CD y el análisis de los valores para las señales de CA. En esta configuración, no existe desfase significativo entre las señales de entrada y salida, según se esperaba.

### APÉNDICE A

**Matías A. Camacho Abarca** Estudiante del Instituto Tecnológico de Costa Rica en la carrera de ingeniería en electrónica desde 2023. Beneficiario de beca de excelencia académica por el Instituto Tecnológico de Costa Rica desde 2023. Como estudiante, sus intereses incluyen investigación y desarrollo. Correo electrónico: jeacamacho@estudiantec.cr

**Juan P. Elizondo Espinoza** Oriundo de Pérez Zeledón. Realizó sus estudios de secundaria en el SNCCCR, sede UNA Región Brunca, y actualmente cursa la carrera de Ingeniería Electrónica en el Instituto Tecnológico de Costa Rica (TEC).

Anteriormente, fue estudiante de la Universidad de Costa Rica (UCR) durante el año 2022 y participó en programas de estudio en matemática en la Universidad Nacional (UNA) durante los años 2020 y 2021.

Cuenta con preparación y/o experiencia en áreas como:

- Arquitectura básica de redes, certificado por CISCO CCNA V7 (ITN), (2021).
- Principios de ciberseguridad, certificado por CISCO Systems, (2022).
- Programa de tutorías estudiantiles, Tecnológico de Costa Rica, (2024).

Correo: juelizondo@estudiantec.cr

### REFERENCIAS

- [1] Thomas L. Floyd, *Dispositivos Electrónicos*, 8ª edición, Pearson, 2008.