



17820 - ESTRUCTURA DE COMPUTADORES

Información de la asignatura

Código - Nombre: 17820 - ESTRUCTURA DE COMPUTADORES

Titulación: 473 - Graduado/a en Ingeniería Informática
474 - Graduado/a en Ingeniería Informática y Matemáticas
722 - Graduado/a en Ingeniería Informática (Modalidad Bilingüe 2018)
734 - Graduado/a en Ingeniería Informática y Matemáticas (2019)

Centro: 350 - Escuela Politécnica Superior

Curso Académico: 2020/21

1. Detalles de la asignatura

1.1. Materia

Ingeniería de computadores, Informática

1.2. Carácter

Formación básica

1.3. Nivel

Grado (MECES 2)

1.4. Curso

1

1.5. Semestre

Segundo semestre

1.6. Número de créditos ECTS

6.0

1.7. Idioma

Español

1.8. Requisitos previos

Ninguno

1.9. Recomendaciones

| | | | | |
|--------------------------------|---|---------|------------|--|
| Código Seguro de Verificación: | | Fecha: | 11/01/2021 | |
| Firmado por: | Esta guía docente no está firmada mediante CSV porque no es la versión definitiva | | | |
| Url de Verificación: | | Página: | 1/10 | |

Es muy recomendable haber cursado la asignatura Fundamentos de Computadores del primer semestre.

1.10. Requisitos mínimos de asistencia

Se plantean dos métodos de evaluación, uno de evaluación CONTINUA y otro de evaluación NO CONTINUA, **de forma independiente para los contenidos teóricos y para los contenidos prácticos**. Por defecto, se supone que todos los estudiantes, por el hecho de estar matriculados en la asignatura, optan por un método de evaluación CONTINUA.

La aplicación de la evaluación CONTINUA para los contenidos teóricos está ligada a la realización y superación de una calificación mínima de las actividades propuestas durante el desarrollo del curso.

La aplicación de la evaluación CONTINUA para los contenidos prácticos está ligada a la asistencia y a la realización y superación de las actividades propuestas en las sesiones prácticas en el laboratorio.

La norma a seguir en cada caso es la siguiente:

EVALUACION CONTINUA y NO CONTINUA PARA CONTENIDOS TEÓRICOS .

En ambas modalidades la asistencia a clase de teoría no es obligatoria, pero sí fuertemente recomendable.

MUY IMPORTANTE

Sin necesidad de avisar previamente, en las clases se pueden realizar pruebas que sirvan para la evaluación continua. La ausencia a estas sesiones implica la no realización de la citada prueba y la consecuente calificación con cero puntos en la actividad.

Los detalles acerca de la normativa de evaluación para cada una de las dos modalidades se recogen en el epígrafe "Convocatoria Ordinaria" de esta guía.

EVALUACIÓN CONTINUA PARA CONTENIDOS PRÁCTICOS (LABORATORIO).

En la modalidad de evaluación CONTINUA, el estudiante deberá asistir a todas las clases prácticas y desarrollar las actividades que se propongan de forma regular y en las fechas marcadas en cada una de las prácticas propuestas.

Siempre por motivos debidamente justificados, el estudiante puede faltar a un máximo de 2 sesiones de prácticas (4 horas). En el caso de alcanzar un número mayor de faltas, será excluido de esta modalidad de evaluación.

EVALUACIÓN NO CONTINUA PARA CONTENIDOS PRÁCTICOS (LABORATORIO).

En esta modalidad la asistencia a clase de prácticas no es obligatoria, pero sí fuertemente recomendable.

Los detalles acerca de la normativa de evaluación que diferencian cada una de las dos modalidades de evaluación práctica, se recogen en el epígrafe "Convocatoria Ordinaria" de esta guía.

1.11. Coordinador/a de la asignatura

Alberto Sanchez Gonzalez

<https://autoservicio.uam.es/paginas-blancas/>

1.12. Competencias y resultados del aprendizaje

1.12.1. Competencias

C9 Capacidad de conocer, comprender y evaluar la estructura y arquitectura de los computadores, así como los componentes básicos que los conforman.

IC3 Capacidad de analizar y evaluar arquitecturas de computadores, incluyendo plataformas paralelas y distribuidas, así como desarrollar y optimizar software para las mismas.

1.12.2. Resultados de aprendizaje

En este curso se aprende a utilizar un lenguaje específico para el diseño hardware de sistemas digitales. Utilizando este lenguaje se aprende el diseño de algunos circuitos aritméticos-lógicos básicos. Se estudian y analizan los conceptos básicos relacionados con la arquitectura de los procesadores actuales a partir de la definición de un juego de instrucciones particular, se diseña la ruta de datos para la arquitectura diseñada y se aprende a realizar su control. También se estudia un sencillo lenguaje de bajo nivel (máquina y ensamblador) para el sistema diseñado. Por último se estudia la arquitectura de un sistema elemental de memoria.

1.12.3. Objetivos de la asignatura

Los objetivos que se pretenden alcanzar con esta asignatura son:

| | | | | |
|--------------------------------|---|---------|------------|--|
| Código Seguro de Verificación: | | Fecha: | 11/01/2021 | |
| Firmado por: | Esta guía docente no está firmada mediante CSV porque no es la versión definitiva | | | |
| Url de Verificación: | | Página: | 2/10 | |

| OBJETIVOS GENERALES | |
|---------------------|--|
| G1 | Aplicar las diferentes técnicas de diseño para la realización de un sistema digital. |
| G2 | Construir un sistema a partir de su descripción en diferentes niveles de abstracción. |
| G3 | Demostrar la influencia de la jerarquía de memoria y de otras evoluciones en las prestaciones de un sistema ordenador. |
| G4 | Diseñar sistemas digitales complejos, utilizando lenguajes específicos de descripción hardware (VHDL) |
| G5 | Utilizar herramientas de diseño y programación (EDA) para diseño de circuitos digitales. |

| OBJETIVOS ESPECÍFICOS POR TEMA | |
|--|---|
| TEMA 1.- Diseño digital y VHDL | |
| 1.1. | Describir circuitos digitales usando las especificaciones del lenguaje VHDL. |
| 1.2. | Dado un circuito digital en VHDL, usar las herramientas de simulación y depurado para determinar su correcto funcionamiento, y en caso de fallo, identificar y corregir los fallos. |
| 1.3. | Dado un circuito digital en VHDL, determinar su funcionamiento. |
| 1.4. | Dado un circuito digital en VHDL, identificar errores de sintaxis. |
| 1.5. | Dado un circuito digital en VHDL, identificar errores de funcionalidad. |
| TEMA 2.- La Unidad Aritmético Lógica (ALU) | |
| 2.1. | Describir los componentes básicos que configuran un sistema ordenador. |
| 2.2. | Describir los diferentes algoritmos y circuitos digitales para las operaciones lógicas and, or, xor, etc. |
| 2.3. | Describir los diferentes algoritmos y circuitos digitales para las operaciones aritméticas de sumar, restar y multiplicar. |
| 2.4. | Describir con palabras propias qué es una ALU y los diferentes registros y flags que la componen. |
| 2.5. | Dado un determinado conjunto de códigos de operación para operaciones lógicas y aritméticas, diseñar la ALU correspondiente. |
| TEMA 3.- El Procesador I: El diseño del juego de instrucciones. El lenguaje máquina | |
| 3.1. | Describir con palabras propias y asociándolos a un procesador los conceptos de: lenguaje máquina, código de operación, modo de direccionamiento, tamaño y formato de instrucción, operando fuente y destino y dato inmediato. |
| 3.2. | Ensamblar y desensamblar código máquina, ayudados por una tabla que contiene la codificación de las instrucciones. |
| 3.3. | Indicar cómo queda modificado el estado del computador (contenido de registros, memoria de datos y puertos de entrada y de salida) después de la ejecución de una instrucción o al final de la ejecución de pequeños programas escritos en lenguaje ensamblador (como máximo 10 instrucciones), a partir de un estado inicial del computador. |
| 3.4. | Escribir pequeños programas en lenguaje ensamblador del procesador propuesto (como máximo 10 instrucciones) cuya funcionalidad se especifica mediante un texto o mediante una sentencia sencilla de un lenguaje de alto nivel. Estos programas se pueden definir |

| | | |
|--------------------------------|---|------------|
| Código Seguro de Verificación: | Fecha: | 11/01/2021 |
| Firmado por: | Esta guía docente no está firmada mediante CSV porque no es la versión definitiva | |
| Url de Verificación: | Página: | 3/10 |

| | |
|--|---|
| | como funciones o macros para ser incorporados en otros programas de mayor extensión. |
| 3.5. | Escribir pequeños programas (como máximo 10 instrucciones) en donde se utilice la pila como sistema para el paso de parámetros en las llamadas a funciones o subrutinas. Indicar el contenido de la pila y de los registros asociados a ella tras la ejecución de programas escritos en ensamblador. |
| TEMA 4.- El Procesador II: Diseño y control de la ruta de datos. Arquitectura unicyclo | |
| 4.1. | A partir del esquema de un sistema digital, describir una determinada operación por medio del lenguaje de transferencia de registros (RTL). |
| 4.2. | A partir de la descripción RTL de una determinada operación, diseñar la ruta de datos que la implemente. |
| 4.3. | Conocida la ruta de datos para la arquitectura del procesador propuesto, indicar el valor de las señales o buses activos de la Unidad de Proceso y de la Unidad de Control para cada una de las instrucciones originales del citado procesador, en el caso que cada instrucción se ejecuta en un único ciclo. |
| 4.4. | Diseñar la máquina de control para la ruta de datos unicyclo del procesador propuesto o para un sistema digital de complejidad similar. |
| 4.5. | A partir de la ruta de datos unicyclo del procesador propuesto, completar el diseño y el control de la misma, para que el procesador ejecute correctamente las instrucciones originales más una nueva instrucción de lenguaje máquina (de complejidad equivalente a las originales). Se parte de la definición de la nueva instrucción (vía lenguaje RTL) y de su codificación. |
| TEMA 5.- El Procesador III: Diseño y control de la ruta de datos. Arquitectura multiciclo | |
| 5.1. | Identificar los procesos que ocurren cronológicamente en la ejecución de una instrucción |
| 5.2. | Conocida la ruta de datos para la arquitectura del procesador propuesto, indicar el valor de las señales o buses activos de la Unidad de Proceso y de la Unidad de Control para cada una de las instrucciones originales del citado procesador, en el caso que cada instrucción se puede ejecutar en distinto número de ciclos. |
| 5.3. | Diseñar la máquina de control para la ruta de datos multiciclo del procesador propuesto o para un sistema digital de complejidad similar. |
| 5.4. | A partir de la ruta de datos multiciclo del procesador propuesto, completar el diseño y el control de la misma, para que el procesador ejecute correctamente las instrucciones originales más una nueva instrucción de lenguaje máquina (de complejidad equivalente a las originales). Se parte de la definición de la nueva instrucción (vía lenguaje RTL) y de su codificación. |
| TEMA 6.- Mapas de memoria. Operaciones con reales. | |
| 6.1. | Establecer un mapa de direcciones a partir de los requisitos del sistema e identificar las direcciones de acceso a cada dispositivo a partir de un mapa de direcciones. |
| 6.2. | Describir las diferentes formas de representación de los números reales en un ordenador. |
| 6.3. | Operaciones con números reales en coma flotante. |

| | | | | |
|---------------------------------------|--|----------------|------------|--|
| Código Seguro de Verificación: | | Fecha: | 11/01/2021 | |
| Firmado por: | <i>Esta guía docente no está firmada mediante CSV porque no es la versión definitiva</i> | | | |
| Url de Verificación: | | Página: | 4/10 | |

1.13. Contenidos del programa

Programa Sintético

UNIDAD 1. Diseño digital y VHDL

UNIDAD 2. La Unidad Aritmético Lógica (ALU)

UNIDAD 3. El Procesador I: Diseño del juego de instrucciones. El lenguaje máquina.

UNIDAD 4. El Procesador II: Diseño y control de la ruta de datos. Arquitectura uniciclo.

UNIDAD 5. El Procesador III: Diseño y control de la ruta de datos. Arquitectura multiciclo.

UNIDAD 6. Mapas de memoria. Operaciones con reales.

Programa Detallado

1. Diseño digital y VHDL

1.1. Introducción

1.1.1. Módulos: entidad y arquitectura

1.1.2. Simulación y síntesis

1.2. Diseño combinacional

1.2.1. Puertas lógicas

1.2.2. Asignaciones condicionales

1.2.3. Señales internas, representación numérica y buses

1.2.4. Procesos. Case e if

1.3. Diseño estructural

1.4. Diseño secuencial

1.4.1. Registros síncronos

1.4.2. Latches y memoria implícita

1.4.3. Diseño y verificación de bancos de prueba

1.5. Bancos de prueba

2. La Unidad Aritmético Lógica (ALU)

2.1. Estructura básica de un ordenador (sumador)

2.2. Circuitos lógicos y aritméticos

2.2.1. Operadores lógicos

2.2.2. Sumadores y Restadores

2.2.3. Desplazadores y Multiplicadores

2.3. Diseño de una ALU

3. El Procesador I: El diseño del juego de instrucciones. El lenguaje máquina

3.1. Lenguaje ensamblador

3.1.1. Instrucciones. Tipo y tamaño

3.1.2. Operandos: registros, memoria y constantes

3.1.3. El código máquina

3.2. El juego de instrucciones. ISA MIPS

3.2.1. El formato de las instrucciones: los tipos R, I, J

3.2.2. Instrucciones con memoria, aritmético/lógicas y de salto condicionales e incondicionales

3.2.3. Los modos de direccionamiento

3.2.4. Escribir, compilar, enlazar y ejecutar un programa.

3.3. Programación

3.3.1. Llamadas a procedimientos, subrutinas o funciones. La pila del sistema

3.3.2. Estructuras de programación, If/Else y bucles For y While

3.3.3. Trabajar con Arrays de datos

4. El Procesador II: Diseño y control de la ruta de datos. Arquitectura uniciclo

4.1. Ruta de datos uniciclo

4.1.1. Instrucciones con memoria: lw y sw

4.1.2. Instrucciones Tipo-R

4.1.3. Instrucciones de salto condicional: beq

4.2. Control combinacional uniciclo

4.3. Añadir nuevas instrucciones: Suma inmediata y Saltos incondicionales (jump)

4.4. Parámetros temporales en la ruta uniciclo

5. El Procesador III: Diseño y control de la ruta de datos: Arquitectura multiciclo

5.1. Ruta de datos. Pasos de ejecución

5.1.1. Instrucciones con memoria: lw y sw

5.1.2. Instrucciones Tipo-R

5.1.3. Instrucciones de salto condicional: beq

5.2. Control secuencial multiciclo.

5.3. Añadir nuevas instrucciones: Suma inmediata y Salto incondicional (jump)

| | | | | |
|---------------------------------------|--|----------------|------------|--|
| Código Seguro de Verificación: | | Fecha: | 11/01/2021 | |
| Firmado por: | <i>Esta guía docente no está firmada mediante CSV porque no es la versión definitiva</i> | | | |
| Url de Verificación: | | Página: | 5/10 | |

6. Mapas de memoria. Operaciones con reales.

- 6.1. Interfaz entre el procesador y los periféricos: mapa de direcciones
 - 6.1.1. Bloques alineados y no alineados
 - 6.1.2. Mapa de memoria
- 6.2. Operaciones con números reales
 - 6.2.1. Representación binaria de los números reales: Coma Fija y Coma Flotante
 - 6.2.2. Suma, resta y multiplicación de números reales.

1.14. Referencias de consulta

1. Digital Design and Computer Architecture. D.M. Harris y S.L. Harris. Morgan Kaufman. Second Edition 2013. ISBN: 9780123944245. Ref_UAM: INF/C5200/HAR.
2. Estructura y diseño de computadores: La interfaz software/hardware. D.A. Patterson y J.L. Hennessy. Ed. Reverte 2011. ISBN: 9788429126204. Ref_UAM: INF/C5220/PAT.
3. Computer Organization And Design: The Hardware/Software Interface. D.A. Patterson y J.L. Hennessy. Morgan Kaufmann. 4ª Ed. 2009. ISBN: 9780123744937. Ref_UAM: INF/C5220/PAT.
4. Problemas resueltos de estructura de computadoras. F. García, J. Carretero, J.D. García y D. Expósito. Ed. Paraninfo. ISBN: 978-84-283-3701-4. 2015.
5. Fundamentos de diseño lógico y de computadores. M.M.Mano y C.R.Kime. Prentice Hall. 2005. ISBN: 8420543993. Ref_UAM: INF/C5200/MAN.
6. The Student's Guide to VHDL. P. Ashenden. Morgan Kaufman Pub. 2008. ISBN: 9781558608658. Ref_UAM: INF/C7410D/ASH.
7. Diseño de Sistemas Digitales con VHDL. S.A. Pérez, E. Soto y S. Fernández. Thomson. 2002. ISBN: 8497320816. Ref_UAM: INF/C7410D/PER.
8. Diseño digital avanzado con VHDL: vol 1. F. Machado, S. Borromeo y N. Malpica. Serv. Publicaciones URJC. 2009. ISBN: 9788498494198. Ref_UAM: INF/C7410D/MAC.

Bibliografía principal y secundarias asociadas al temario propuesto:

UNIDAD 1. Diseño Digital y VHDL.

Principal: Ref[1] C4.

Secundarias: Ref[6] completo, Ref[7] completo, Ref[8] completo.

UNIDAD 2. La Unidad Aritmético Lógica (ALU).

Principal: Ref[1] C5.

Secundarias: Ref[2] C3, Ref[3] C3, Ref[4] C2, Ref[5] C5.

UNIDAD 3. El Procesador I: Diseño del juego de Instrucciones. El lenguaje máquina.

Principal: Ref[1] C6.

Secundarias: Ref[2] C2, Ref[3] C2, Ref[4] C3, C4 y C9.

UNIDAD 4. El Procesador II: Diseño y Control de la ruta de datos: arquitectura uniciclo.

Principal: Ref[1] C7.1 y C7.3.

Secundarias: Ref[2] C4, Ref[3] C4, Ref[4] C5.

UNIDAD 5. El Procesador III: Diseño y Control de la ruta de datos: arquitectura multiciclo.

Principal: Ref[1] C7.4.

Secundarias: Ref[4] C5.

UNIDAD 6. Mapas de memoria. Operaciones con reales.

Principal: Ref[1] C8. Ref[1] C5.

Secundarias: Ref[2] C6, Ref[3] C6, Ref[5] C13, Ref[4] C7.

2. Metodologías docentes y tiempo de trabajo del estudiante

2.1. Presencialidad

| | #horas |
|---|--------|
| Porcentaje de actividades presenciales (mínimo 33% del total) | 78 |
| Porcentaje de actividades no presenciales | 72 |

2.2. Relación de actividades formativas

| | | | | |
|--------------------------------|---|---------|------------|--|
| Código Seguro de Verificación: | | Fecha: | 11/01/2021 | |
| Firmado por: | Esta guía docente no está firmada mediante CSV porque no es la versión definitiva | | | |
| Url de Verificación: | | Página: | 6/10 | |

| Actividades presenciales | Nº horas |
|-----------------------------------|----------|
| Clases teóricas en aula | 42 |
| Seminarios | |
| Clases prácticas en aula | |
| Prácticas clínicas | |
| Prácticas con medios informáticos | 26 |
| Prácticas de campo | |
| Prácticas de laboratorio | |
| Prácticas externas y/o practicum | |
| Trabajos académicamente dirigidos | |
| Tutorías | |
| Actividades de evaluación | 10 |
| Otras | |

3. Sistemas de evaluación y porcentaje en la calificación final

3.1. Convocatoria ordinaria

EVALUACIÓN CONTINUA

Los estudiantes pueden optar por este método de EVALUACIÓN CONTINUA (EC), en la parte de teoría, en la parte de prácticas o en ambas.

Cada parte, teoría y prácticas, es independiente e implica distintas formas de actuación.

Evaluación Continua: Teoría

Para la EC en teoría, aunque es muy recomendable, no es obligatorio la asistencia a clase. La asignatura se evalúa con un conjunto de actividades presenciales a desarrollar durante el curso. Todas las actividades se desarrollarán, cuando sea posible, en el horario común habilitado en el calendario o en caso contrario en el mismo horario de clase. Entre estas actividades destacan dos pruebas parciales que pueden liberar contenidos del curso de cara al examen final.

El carácter liberatorio de las dos primeras pruebas parciales, P1 y P2, implica que, en el caso de superar cualquiera de ellas ($\text{ExaP1}, \text{ExaP2} \geq 5,0$), no es necesario volver a examinarse de los contenidos asociados a dichos parciales en el examen final de la asignatura en la convocatoria ordinaria.

En el caso de no superar alguno de ellos (ExaP1 o $\text{ExaP2} < 5,0$), es necesario presentarse al parcial no superado, siempre junto al tercer parcial ExaP3 , en el examen final de la asignatura en la convocatoria ordinaria.

En el caso de no superar ninguno de las dos pruebas parciales (ExaP1 y $\text{ExaP2} < 5,0$), debe presentarse al examen final de la asignatura, como si fuera un estudiante que hubiera optado por el método de evaluación no continua, según se explica más adelante.

Después del examen final en la convocatoria ordinaria, se dispondrá de un conjunto de calificaciones, una por cada parcial, ya sea la obtenida durante el curso o en dicho examen final y una cuarta de las otras actividades desarrolladas durante el curso.

En el caso de que un estudiante con un parcial aprobado se presente a ese parcial en el examen final, prevalecerá la nota del examen final.

La nota correspondiente a la parte de Teoría (**Not_Teo**) es la que resulta de la media ponderada entre todas estas pruebas, según la expresión:

$$\text{Not_Teo} = 0,25 \cdot \text{ExaP1} + 0,35 \cdot \text{ExaP2} + 0,30 \cdot \text{ExaP3} + 0,10 \cdot \text{RestoActividades}$$

En el caso que ($\text{Not_Teo} < 5,0$), debe presentarse al examen final de la asignatura en su convocatoria extraordinaria, como si fuera un estudiante que hubiera optado por el método de evaluación no continua, según se explica más adelante.

Evaluación Continua: Prácticas

Para aprobar la parte práctica el estudiante deberá asistir a todas las sesiones de laboratorio. Siempre por motivos

| | | | | |
|--------------------------------|---|---------|------------|--|
| Código Seguro de Verificación: | | Fecha: | 11/01/2021 | |
| Firmado por: | Esta guía docente no está firmada mediante CSV porque no es la versión definitiva | | | |
| Url de Verificación: | | Página: | 7/10 | |

debidamente justificados, un estudiante puede faltar a un máximo de 2 sesiones de prácticas (4 horas), debiendo en su caso, presentar el justificante correspondiente.

Las prácticas consisten en el desarrollo, por partes, del procesador estudiado en la teoría, hasta alcanzar al final del curso su diseño completo. Como se trata de un proceso de diseño acumulativo, los resultados de cada práctica son necesarios para completar la arquitectura final del procesador. Por tanto, cada una de las propuestas de diseño, se acompaña con su correspondiente fichero de autocorrección, que permiten conocer la bondad del diseño realizado o en su caso, los errores cometidos. Para esta autocorrección, se puede contar con la ayuda de los profesores responsables de cada grupo.

La evaluación de la parte práctica consistirá en exámenes presenciales donde se realizarán ejercicios similares a los explicados en las sesiones reguladas previas. A lo largo de las prácticas se diseñarán las diferentes partes del procesador y su programación en ensamblador. Además, en el último examen se pedirá integrar todos los componentes del procesador realizados durante el curso. Este examen puede tener una prueba oral para defender la solución propuesta por el estudiante.

Las actividades de prácticas podrán ser por grupos o individuales según se avise en los enunciados de dichas prácticas.

La ponderación de los exámenes de prácticas para el cálculo de la calificación continua de prácticas será publicada en Moodle antes de comenzar de la asignatura.

EVALUACIÓN NO CONTINUA

Para los estudiantes que opten por la modalidad de evaluación NO CONTINUA en la parte de teoría, en la parte de prácticas o en ambas, sus calificaciones se obtendrán de la siguiente forma:

a. La nota correspondiente a la parte de teoría es la que resulta de:

- La calificación de la prueba final (100%).

La prueba final consistirá en una prueba escrita, cuyo contenido abarcará todos los objetivos que deben alcanzar los estudiantes en el curso completo. Esta prueba podrá incluir tanto cuestiones teóricas como resolución de problemas.

b. La nota correspondiente a la parte de prácticas es la que resulta de:

- La calificación de la prueba práctica final (100%).

La prueba final consistirá en una prueba práctica, que permita evaluar todos los conceptos desarrollados en las prácticas de laboratorio propuestas en la asignatura.

Para ambas modalidades de evaluación CONTINUA y NO CONTINUA:

- Ambas partes, teoría y prácticas, se puntúan sobre 10 puntos.
- La nota final de la asignatura se obtiene de las notas de teoría y prácticas por medio de la ecuación:

$$\text{Calificación} = 0,4 * \text{Not_Lab} + 0,6 * \text{Not_Teo}$$

- Para aprobar la asignatura es obligatorio obtener una nota mayor o igual a 5 puntos, tanto en la parte de teoría como en la práctica de laboratorio. En caso contrario, la nota final en actas será:

$$\text{Calificación} = (0,4 * \text{Mín}(5, \text{Not_Lab}) + 0,6 * \text{Mín}(5, \text{Not_Teo}))$$

MUY IMPORTANTE: Cuando se detecte algún tipo de copia en cualquiera de las actividades de evaluación ya sean teóricas o prácticas, se aplicará lo reflejado en el Capítulo IV del documento "Normativa de Evaluación Académica de la EPS", aprobado en la Junta de Centro del cuatro de noviembre de 2013.

3.1.1. Relación actividades de evaluación

| Actividad de evaluación | % |
|---|---------|
| Examen final (máximo 70% de la calificación final o el porcentaje que figure en la memoria) | 18%-60% |
| Evaluación continua | 82%-40% |

3.2. Convocatoria extraordinaria

a. La nota correspondiente a la parte de teoría es la que resulta de:

- La calificación de la prueba final (100%).

La prueba final consistirá en una prueba escrita, cuyo contenido abarcará todos los objetivos que deben

| | | | | |
|--------------------------------|---|---------|------------|--|
| Código Seguro de Verificación: | | Fecha: | 11/01/2021 | |
| Firmado por: | Esta guía docente no está firmada mediante CSV porque no es la versión definitiva | | | |
| Url de Verificación: | | Página: | 8/10 | |

alcanzar los estudiantes en el curso completo. Esta prueba podrá incluir tanto cuestiones teóricas como resolución de problemas.

b. La nota correspondiente a la parte de prácticas es la que resulta de:

- La calificación de la prueba práctica final (100%).

La prueba final consistirá en una prueba práctica, que permita evaluar todos los conceptos desarrollados en las prácticas de laboratorio propuestas en la asignatura.

Cálculo de la nota final de la asignatura:

- Ambas partes, teoría y prácticas, se puntúan sobre 10 puntos.
- La nota final de la asignatura se obtiene de las notas de teoría y prácticas por medio de la ecuación:

$$\text{Calificación} = 0,4 \cdot \text{Not_Lab} + 0,6 \cdot \text{Not_Teo}$$

- Para aprobar la asignatura es obligatorio obtener una nota mayor o igual a 5 puntos, tanto en la parte de teoría como en la práctica de laboratorio. En caso contrario, la nota final en actas será:

$$\text{Calificación: } (0,4 \cdot \text{Mín}(5, \text{Not_Lab}) + 0,6 \cdot \text{Mín}(5, \text{Not_Teo}))$$

MUY IMPORTANTE: Cuando se detecte algún tipo de copia en cualquiera de las actividades de evaluación ya sean teóricas o prácticas, se aplicará lo reflejado en el Capítulo IV del documento “Normativa de Evaluación Académica de la EPS”, aprobado en la Junta de Centro del cuatro de noviembre de 2013.

3.2.1. Relación actividades de evaluación

| Actividad de evaluación | % |
|---|----------|
| Examen final (máximo 70% de la calificación final o el porcentaje que figure en la memoria) | 40%-100% |
| Evaluación continua | 60%-0% |

4. Cronograma orientativo

Este cronograma es orientativo y depende del calendario de fiestas y de la evolución de la asignatura.

| Semana | Actividades Presenciales |
|--------|---|
| 1ª | Presentación de la asignatura. <ul style="list-style-type: none"> • U1. Diseño Digital y VHDL. Tema: 1.1 • Pr1. Tutorial de VHDL (I). |
| 2ª | <ul style="list-style-type: none"> • U1. Diseño Digital y VHDL. Temas: 1.2, 1.3, 1.4 • Pr1. Tutorial de VHDL (II). |
| 3ª | <ul style="list-style-type: none"> • U1. Diseño Digital y VHDL. Temas: 1.5 • U2. La Unidad Aritmético Lógica Temas: 2.1, 2.2 • Pr2. Estructura simplificada de un mProcesador (I) |
| 4ª | <ul style="list-style-type: none"> • U2. La Unidad Aritmético Lógica. Temas: 2.3 • Pr2. Estructura simplificada de un mProcesador (II) |
| 5ª | <ul style="list-style-type: none"> • U3. El procesador I: El diseño del juego de Instrucciones. Tema: 3.1, 3.2 • Pr2. Estructura simplificada de un mProcesador (III) |
| 6ª | <ul style="list-style-type: none"> • U3. El procesador I: El diseño del juego de Instrucciones. Temas: 3.2 • Pr3. El ensamblador de MIPS (I) |
| 7ª | <ul style="list-style-type: none"> • U3. El procesador I: El diseño del juego de Instrucciones. Temas: |

| | | | |
|--------------------------------|---|---------|------------|
| Código Seguro de Verificación: | | Fecha: | 11/01/2021 |
| Firmado por: | Esta guía docente no está firmada mediante CSV porque no es la versión definitiva | | |
| Url de Verificación: | | Página: | 9/10 |

| Semana | Actividades Presenciales |
|--------|--|
| | 3.2 • Pr3. El ensamblador de MIPS (II) |
| 8ª | • U3. El procesador I: El diseño del juego de Instrucciones. Temas: 3.3 • U4. El procesador II: Diseño y control uniclo. Temas: 4.1, 4.2 • Pr4. Integración de microprocesador completo (I) |
| 9ª | • U4. El procesador II: Diseño y control uniclo. Temas: 4.2 • Pr4. Integración de microprocesador completo (II) |
| 10ª | • U4. El procesador II: Diseño y control uniclo. Temas: 4.2, 4.3 • Pr4. Integración del microprocesador completo (III) |
| 11ª | • U5. El procesador III: Diseño y control multiciclo. Temas: 5.1, 5.2 • Pr4. Integración del microprocesador completo (IV) |
| 12ª | • U5. El procesador III: Diseño y control multiciclo. Temas: 5.3 • Pr4. Integración del microprocesador completo (V) |
| 13ª | • U6. Mapas de Memoria. Operaciones con reales. Temas: 6.1 |
| 14ª | • U6. Mapas de Memoria. Operaciones con reales. Temas: 6.2 |
| Mayo | • Examen Final Ordinario |
| Junio | • Examen Final Extraordinario |

| | | | | |
|--------------------------------|---|---------|------------|--|
| Código Seguro de Verificación: | | Fecha: | 11/01/2021 | |
| Firmado por: | Esta guía docente no está firmada mediante CSV porque no es la versión definitiva | | | |
| Url de Verificación: | | Página: | 10/10 | |