



17834 - ARQUITECTURA DE ORDENADORES

Información de la asignatura

Código - Nombre: 17834 - ARQUITECTURA DE ORDENADORES

Titulación: 473 - Graduado/a en Ingeniería Informática
474 - Graduado/a en Ingeniería Informática y Matemáticas
722 - Graduado/a en Ingeniería Informática (Modalidad Bilingüe 2018)
734 - Graduado/a en Ingeniería Informática y Matemáticas (2019)

Centro: 350 - Escuela Politécnica Superior

Curso Académico: 2020/21

1. Detalles de la asignatura

1.1. Materia

Estructura y Arquitectura de Computadores

1.2. Carácter

Obligatoria

1.3. Nivel

Grado (MECES 2)

1.4. Curso

3

1.5. Semestre

Primer semestre

1.6. Número de créditos ECTS

6.0

1.7. Idioma

Español

1.8. Requisitos previos

Ninguno

1.9. Recomendaciones

Código Seguro de Verificación:		Fecha:	14/01/2021	
Firmado por:	Esta guía docente no está firmada mediante CSV porque no es la versión definitiva			
Url de Verificación:		Página:	1/11	

Es muy recomendable haber cursado las asignaturas Fundamentos de Computadores, Estructura de Computadores y Sistemas Basados en Microprocesadores.

1.10. Requisitos mínimos de asistencia

Se plantean dos métodos de evaluación, uno de evaluación CONTINUA y otro de evaluación NO CONTINUA, **de forma independiente para los contenidos teóricos y para los contenidos prácticos**. Por defecto, se supone que todos los estudiantes, por el hecho de estar matriculados en la asignatura, optan por el método de evaluación CONTINUA.

La aplicación de la evaluación CONTINUA para los contenidos teóricos está ligada a la realización de las pruebas parciales.

La aplicación de la evaluación CONTINUA para los contenidos prácticos está ligada a la asistencia y a la realización de las actividades propuestas en las sesiones prácticas en el laboratorio. Para optar por la evaluación NO CONTINUA, el estudiante debe comunicarlo al coordinador de prácticas antes del primer parcial de prácticas.

La norma a seguir en cada caso es la siguiente:

EVALUACION CONTINUA y NO CONTINUA PARA CONTENIDOS TEÓRICOS.

En ambas modalidades la asistencia a clase de teoría no es obligatoria, pero sí fuertemente recomendable.

EVALUACION CONTINUA PARA CONTENIDOS PRÁCTICOS (LABORATORIO).

En la modalidad de evaluación CONTINUA, el estudiante deberá asistir a todas las clases prácticas y entregar de forma regular y en las fechas marcadas las memorias de resultados de cada una de las prácticas propuestas.

Siempre por motivos debidamente justificados, el estudiante puede faltar a un máximo de 2 sesiones de prácticas (4 horas), debiendo en su caso, presentar también las memorias correspondientes. Si se alcanza un número mayor de faltas, no se entrega alguna de las memorias solicitadas o se falta en alguno de los exámenes de prácticas, no se aprobarán los contenidos prácticos en la convocatoria ordinaria.

1.11. Coordinador/a de la asignatura

Fco. Javier Gomez Arribas

<https://autoservicio.uam.es/paginas-blancas/>

1.12. Competencias y resultados del aprendizaje

1.12.1. Competencias

C9 Capacidad de conocer, comprender y evaluar la estructura y arquitectura de los computadores, así como los componentes básicos que los conforman.

IC1: Capacidad de diseñar y construir sistemas digitales, incluyendo computadores, sistemas basados en microprocesador y sistemas de comunicaciones.

IC3 Capacidad de analizar y evaluar arquitecturas de computadores, incluyendo plataformas paralelas y distribuidas, así como desarrollar y optimizar software para las mismas.

1.12.2. Resultados de aprendizaje

En este curso se alcanza a entender la arquitectura y el diseño de procesadores avanzados. Se conocen las métricas que permiten evaluar el rendimiento de los procesadores y de los sistemas de memoria estudiados. El contenido de la asignatura permite dominar las técnicas de diseño que mejoran el rendimiento de los sistemas computadores. Se muestra la evolución de las principales innovaciones en arquitectura y tecnología de ordenadores y se explica la incorporación de estos avances en los procesadores actuales, justificando su utilidad en términos de mejora de rendimiento. En vez de describir una arquitectura concreta en detalle, se ha preferido mostrar la evolución y el avance de las mismas, para que el estudiante quede preparado para entender los nuevos cambios en arquitectura de ordenadores que se desarrollen en el futuro.

Código Seguro de Verificación:		Fecha:	14/01/2021	
Firmado por:	Esta guía docente no está firmada mediante CSV porque no es la versión definitiva			
Url de Verificación:		Página:	2/11	

Tras superar la asignatura los estudiantes serán capaces de:

- Conocer arquitecturas de computadores segmentadas y avanzadas, las motivaciones detrás de la evolución tecnológica y valorar las proyecciones sobre estas tecnologías a medio plazo.
- Evaluar cuantitativamente el rendimiento de diferentes arquitecturas de computadores.
- Entender la influencia de la jerarquía de memoria y de otras evoluciones en las prestaciones de un sistema ordenador.
- Diseñar un procesador segmentado, utilizando lenguajes específicos de descripción hardware (VHDL).
- Utilizar herramientas de diseño y programación (EDA) para diseño de circuitos digitales.

1.12.3. Objetivos de la asignatura

El objetivo de esta asignatura es aprender la arquitectura y las técnicas de diseño utilizados en los procesadores avanzados. Retomando lo estudiado en la asignatura de primer curso “Estructura de computadores” se estudian y analizan conceptos más avanzados en el diseño de procesadores que mejoran su rendimiento.

Los objetivos que se pretenden alcanzar son:

OBJETIVOS GENERALES	
G1	Conocer arquitecturas de computadores segmentadas y avanzadas, las motivaciones detrás de la evolución tecnológica y valorar las proyecciones sobre estas tecnologías a medio plazo.
G2	Evaluar cuantitativamente el rendimiento de diferentes arquitecturas de computadores.
G3	Demostrar la influencia de la jerarquía de memoria y de otras evoluciones en las prestaciones de un sistema ordenador.
G4	Diseñar un procesador segmentado, utilizando lenguajes específicos de descripción hardware (VHDL).
G5	Utilizar herramientas de diseño y programación (EDA) para diseño de circuitos digitales.

OBJETIVOS ESPECIFICOS POR TEMA	
TEMA 1.- Abstracciones, Tecnología y Rendimiento de los Computadores.	
1.1.	Describir los principales aspectos tecnológicos que influyen en la evolución actual de los sistemas de cómputo.
1.2.	Reconocer el vocabulario básico de arquitectura de ordenadores.
1.3.	Identificar los elementos constitutivos de un sistema de computación.
1.4.	Entender el concepto de tiempo de ejecución de un sistema.
1.5.	Determinar las causas y efectos en el aumento en el rendimiento en una parte respecto del todo.
TEMA 2.- Procesadores segmentados.	
2.1.	Entender los conceptos básicos de arquitectura de ordenadores. Unidad Aritmético Lógica (ALU), bancos de registros, registros flip-flop y latch, periodo de reloj, arquitectura RISC y Harvard.
2.2.	Entender el concepto de segmentación (pipeline) y los conceptos asociados latencia y rendimiento (throughput).
2.3.	Indicar cómo se produce la segmentación de un procesador uniclo para la ejecución solapada de instrucciones.
2.4.	Comprender las limitaciones del cauce de instrucciones segmentado y las causas de pérdidas de rendimiento.

Código Seguro de Verificación:		Fecha:	14/01/2021	
Firmado por:	Esta guía docente no está firmada mediante CSV porque no es la versión definitiva			
Url de Verificación:		Página:	3/11	

2.5.	Entender cómo eliminar ó mitigar los conflictos ó riesgos estructurales, de control y de datos.
2.6.	Describir las técnicas para evitar detenciones. Adelantamiento de datos (Internal forwarding) y la predicción de saltos estáticas y dinámicas usando BTB.
TEMA 3.- Organización y Estructura de la Memoria: Cachés y Memoria Virtual.	
3.1.	Entender el concepto de jerarquía de memoria. Motivos por los que se organizan los diferentes niveles de almacenamiento en jerarquías.
3.2.	Reconocer la necesidad y utilidad de las memorias cachés y su organización en Completamente asociativa, Correspondencia directa y Asociativa por vías.
3.3.	Indicar los esquemas de funcionamiento de las cachés. Escritura directa (Write Through) con asignación en escritura y sin asignación en escritura. Post-escritura o escritura diferida.
3.4.	Entender los algoritmos de sustitución y los problemas de coherencia caché en sistemas multiprocesadores.
3.5.	Comprender el funcionamiento de la memoria virtual: paginación, segmentación y segmentos paginados.
3.6.	Indicar los pasos en la traducción de direcciones virtuales a direcciones físicas o reales.
3.7.	Entender el soporte hardware necesario en la unidad de gestión de la memoria (MMU) y en el buffer de traducción anticipada (TLB).
3.8.	Comprender la integración de los sistema de memoria entre el TLB y la caché (Sistema con caché de direcciones virtuales o caché de direcciones reales).
TEMA 4.- Técnicas avanzadas de paralelismo.	
4.1.	Entender el paralelismo a nivel de instrucciones (ILP) y la base de los procesadores superescalares.
4.2.	Conocer los conceptos básicos de los procesadores superescalares: políticas de emisión de instrucciones, renombramiento de registros, buffer de reordenación, unidad de retiro.
4.3.	Diseñar un simple procesador superescalar en función del procesador segmentado estudiado previamente en el tema 2.
4.4.	Entender los procesadores donde el paralelismo es resuelto por el compilador en vez del hardware (procesadores VLIW).
4.5.	Identificar los problemas de la programación paralela y entender los modelos de programación de los procesadores multinúcleos, multiprocesadores.
4.6.	Conocer las arquitecturas de los clústers y los sistemas multiprocesadores con paso de mensajes.
4.7.	Reconocer las principales características de los coprocesadores gráficos.
TEMA 5.- Almacenamiento y otros aspectos de la entrada/salida (E/S).	
5.1.	Entender y diferenciar los conceptos de confiabilidad, fiabilidad y disponibilidad.
5.2.	Reconocer las principales características del almacenamiento en discos y en memorias tipo Flash.
5.3.	Indicar cuáles son las principales medidas de prestaciones y rendimiento en los sistemas de entrada salida.

Código Seguro de Verificación:		Fecha:	14/01/2021	
Firmado por:	Esta guía docente no está firmada mediante CSV porque no es la versión definitiva			
Url de Verificación:		Página:	4/11	

1.13. Contenidos del programa

Programa Sintético

UNIDAD 1. Abstracciones, Tecnología y Rendimiento de los Ordenadores.

UNIDAD 2. Procesadores Segmentados.

UNIDAD 3. Organización y Estructura de la Memoria: Cachés y Memoria Virtual.

UNIDAD 4. Técnicas avanzadas de paralelismo.

UNIDAD 5. Almacenamiento y otros aspectos de la E/S.

Programa Detallado

1. Abstracciones, Tecnología y Rendimiento de los Ordenadores

1.1. Introducción

1.2. Arquitectura de un sistema de computación. Conceptos básicos

1.3. Rendimiento en un sistema de computación

1.4. Perspectiva y evolución de la tecnología

2. Procesadores segmentados

2.1. Fundamentos de diseño de un procesador

2.1.1. El repertorio de instrucciones

2.1.2. Ciclo único

2.1.3. Ruta de datos y control

2.2. La técnica de la segmentación

2.2.1. Funcionamiento ideal

2.2.2. Conceptos asociados: Latencia y Rendimiento (Throughput)

2.3. Diseño de un procesador con segmentación (Pipeline)

2.4. Limitaciones del cauce de instrucciones segmentado

2.4.1. Causas de pérdidas de rendimiento por detención del pipeline

2.4.1.1. Conflictos por limitaciones estructurales

2.4.1.2. Conflictos por riesgos de control

2.4.1.3. Conflictos por dependencia de datos

2.4.2. Técnicas para evitar detenciones

2.4.2.1. Adelantamiento de datos (Internal forwarding)

2.4.2.2. Predicción de saltos

3. Organización y Estructura de la Memoria: Cachés y Memoria Virtual

3.1. Jerarquía de memoria

3.2. Principios básicos de la memoria caché

3.2.1. Caché de varios niveles

3.2.2. Organizaciones: Completamente asociativa, Correspondencia directa y Asociativa por vías

3.2.3. Esquemas de funcionamiento. Escritura directa (Write Through) con asignación en escritura (Fetch on-write) y sin asignación en escritura. Post-escritura o escritura diferida

3.2.4. Algoritmos de sustitución

3.2.5. Coherencia caché

3.2.6. Ejemplos de cachés

3.3. La Memoria virtual

3.3.1. Funcionamiento de la memoria virtual: paginación, segmentación, segmentos paginados

3.3.2. Traducción de direcciones virtuales a direcciones físicas o reales

3.3.3. Unidad de gestión de la memoria (MMU)

3.3.4. Buffer de traducción anticipada (TLB)

3.4. Integración del sistema de memoria: el TLB y la caché

3.4.1. Sistema con caché virtual o caché real

4. Técnicas avanzadas de paralelismo

Código Seguro de Verificación:		Fecha:	14/01/2021	
Firmado por:	Esta guía docente no está firmada mediante CSV porque no es la versión definitiva			
Url de Verificación:		Página:	5/11	

- 4.1. Paralelismo a nivel de instrucciones (ILP)
- 4.2. Procesadores superescalares
 - 4.2.1. Políticas de emisión de instrucciones
 - 4.2.2. Renombramiento de registro.
 - 4.2.3. Implementación Superescalar, buffer de reordenación, unidad de retiro
- 4.3. Procesadores multithread/multicore.
 - 4.3.1. Arquitectura NUMA de memoria compartida
 - 4.3.2. Paralelización de código en sistemas multicore de memoria compartida
 - 4.3.3. Introducción a OpenMP
- 4.4. Procesadores VLIW.
 - 4.4.1. Planificación por el compilador
 - 4.4.2. Comparación de procesador VLIW vs Superscalar. Arquitectura, Codificación, Diferenciación de tareas
- 4.5. Sistemas multiprocesadores y clústeres
 - 4.5.1. Clústers y otros multiprocesadores de paso de mensajes
 - 4.5.2. Introducción a los coprocesadores gráficos
- 5. Almacenamiento y otros aspectos de la E/S**
 - 5.1. Confiabilidad, fiabilidad y disponibilidad
 - 5.2. Almacenamientos en Discos y Flash
 - 5.3. Medidas de prestaciones en E/S
 - 5.4. Paralelismo y E/S

1.14. Referencias de consulta

1. Estructura y diseño de computadores: La interfaz software/hardware. D.A. Patterson y J.L. Hennessy. Ed. Reverte 2011. ISBN: 978-84-291-2620-4. Ref_UAM: INF/681.32.3/PAT.
2. Computer Organization And Design: The Hardware/Software Interface. D.A. Patterson y J.L. Hennessy. Morgan Kaufmann. 4ª Ed. 2009. ISBN: 978-01-237-4493-7. Ref_UAM: INF/681.3.06/PAT.
3. Estructura Y Diseño De Computadores: interficie circuitería- programación. D.A. Patterson y J.L. Hennessy. Vols. 1 y 2. Ed. Reverte 2000.
4. Organización y Arquitectura De Computadores. W. Stallings. 7ª Ed. Pearson Prentice Hall 2006.
5. Computer Architecture: A Quantitative Approach. J.L. Hennessy y D.A. Patterson. Morgan Kaufmann. 4ª Ed. 2007.
6. Digital Design and Computer Architecture. D.M. Harris y S.L. Harris. Elsevier. 2007.
7. Arquitectura de computadores: Fundamentos de los Procesadores Superescalares, J.P. Shen, M.H. Lipasti. McGraw-Hill. 2006.
8. Arquitectura de Computadores: de los Microprocesadores a las Supercomputadoras. B. Parhami. McGraw Hill. 2007.
9. The Student's Guide to VHDL. P. Ashenden. Morgan Kaufman Pub. 1998. ISBN: 1558605207. Ref_UAM: INF/681.3.062/ASH.
10. The designer's guide to VHDL". P.J. Ashenden. Morgan Kaufmann. 2ª Ed. 2002.

2. Metodologías docentes y tiempo de trabajo del estudiante

2.1. Presencialidad

- La asistencia a clase de teoría no es obligatoria, pero sí fuertemente recomendable.
- En las prácticas el estudiante deberá asistir a todas las clases prácticas. Siempre por motivos debidamente justificados, el estudiante puede faltar a un máximo de 2 sesiones de prácticas (4 horas).

2.2. Relación de actividades formativas

Código Seguro de Verificación:		Fecha:	14/01/2021	
Firmado por:	<i>Esta guía docente no está firmada mediante CSV porque no es la versión definitiva</i>			
Url de Verificación:		Página:	6/11	

Actividades presenciales	Nº horas
Clases teóricas en aula	36
Seminarios	2
Clases prácticas en aula	
Prácticas clínicas	
Prácticas con medios informáticos	22
Prácticas de campo	
Prácticas de laboratorio	
Prácticas externas y/o practicum	
Trabajos académicamente dirigidos	
Tutorías	
Actividades de evaluación	7
Otras	

3. Sistemas de evaluación y porcentaje en la calificación final

3.1. Convocatoria ordinaria

Ambas partes, teoría y prácticas se puntúan sobre 10 puntos.

Para los estudiantes que opten por el método de **evaluación CONTINUA**, sus calificaciones se obtendrán de la siguiente forma:

A. La nota correspondiente a la parte de Teoría (**Not_Teo**) es la que resulta de:

$$\text{Not_Teo: MAX}([0,25 \cdot \text{ExP1} + 0,25 \cdot \text{ExP2} + 0,5 \cdot \text{ExFinal}], \text{ExFinal})$$

Las pruebas escritas parciales se realizarán durante el periodo lectivo y en horario de clase y consistirán en la evaluación de los objetivos que deben ser alcanzados por los estudiantes durante las unidades que componen cada parcial, así como las unidades incluidas en los parciales previos.

El examen final consistirá en una prueba escrita, cuyo contenido abarca todos los objetivos que deben ser alcanzados por los estudiantes durante el curso.

Las pruebas escritas, podrán incluir tanto cuestiones teóricas como resolución de problemas.

B. La nota correspondiente a la parte de Laboratorio (**Not_Lab**) es la que resulta de la calificación obtenida de la corrección de las 4 prácticas entregadas y dos exámenes que incluyen la evaluación diferenciada de P1 y P2, y la evaluación de P3 y P4. Es necesario obtener más de 3,5 puntos en cada práctica y en la calificación de los exámenes de prácticas

Para los estudiantes que opten por la modalidad de **evaluación NO CONTINUA**, sus calificaciones se obtendrán de la siguiente forma:

A. La nota correspondiente a la parte de Teoría (**Not_Teo**) es la que resulta de:

$$\text{Not_Teo} = \text{ExFinal}$$

La prueba final consistirá en una prueba escrita, cuyo contenido abarcará todos los objetivos que deben alcanzar los estudiantes en el curso completo. Esta prueba podrá incluir tanto cuestiones teóricas como resolución de problemas.

B. La nota correspondiente a la parte de Laboratorio (**Not_Lab**) es la que resulta de la calificación obtenida de la corrección de las 4 prácticas entregadas, dos exámenes que incluyen la evaluación diferenciada de P1 y P2 y la evaluación de P3 y P4 y una prueba práctica en laboratorio a partir de las prácticas entregadas por el estudiante que permita evaluar todos los conceptos desarrollados en las prácticas de laboratorio propuestas en la asignatura.

Código Seguro de Verificación:		Fecha:	14/01/2021	
Firmado por:	Esta guía docente no está firmada mediante CSV porque no es la versión definitiva			
Url de Verificación:		Página:	7/11	

- La nota final de la asignatura se obtiene de las notas de teoría y prácticas por medio de la ecuación:

$$\text{Calificación: } 0,3 * \text{Not_Lab} + 0,7 * \text{Not_Teo}$$

- Para aprobar la asignatura es obligatorio obtener una nota mayor o igual a 5 puntos, tanto en la parte de teoría como en la parte de laboratorio. En caso contrario, la nota final en actas será

$$\text{Calificación: } (0,3 * \text{Mín}(5, \text{Not_Lab}) + 0,7 * \text{Mín}(5, \text{Not_Teo}))$$

3.1.1. Relación actividades de evaluación

TEORIA

Actividad de evaluación: Teoría evaluación continua	%
Examen final	50
Examen P1	25
Examen P2	25
o bien si favorece más al estudiante:	
Examen final	100

Actividad de evaluación: Teoría evaluación No continua	%
Examen final	100

PRACTICAS

Actividad de evaluación: Laboratorio evaluación continua	%
Práctica 1	15
Práctica 2	20
Examen Práctica 1 y 2	20
Práctica 3	15
Práctica 4	15
Examen Práctica 3 y 4	15

Actividad de evaluación: Laboratorio evaluación no continua	%
Práctica 1	7,5
Práctica 2	7,5
Examen Práctica 1 y 2	15
Práctica 3	7,5
Práctica 4	7,5
Examen Práctica 3 y 4	15
Examen evaluación no continua en laboratorio	40

- En todas las actividades de evaluación propuestas hay que sacar una nota superior a 3,5 para aplicar la media ponderada.
- La nota final de la asignatura se obtiene de las notas de teoría y prácticas por medio de la ecuación:

$$\text{Calificación: } 0,3 * \text{Not_Lab} + 0,7 * \text{Not_Teo}$$

- Para aprobar la asignatura es obligatorio obtener una nota mayor o igual a 5 puntos, tanto en la parte de teoría como en la parte de laboratorio. En caso contrario, la nota final en actas será

Código Seguro de Verificación:		Fecha:	14/01/2021	
Firmado por:	Esta guía docente no está firmada mediante CSV porque no es la versión definitiva			
Url de Verificación:		Página:	8/11	

3.2. Convocatoria extraordinaria

Para los estudiantes que opten por la modalidad de **evaluación NO CONTINUA**, sus calificaciones se obtendrán de la siguiente forma:

A. La nota correspondiente a la parte de Teoría (**Not_Teo**) es la que resulta de:

$$\text{Not_Teo} = \text{ExFinal}$$

La prueba final consistirá en una prueba escrita, cuyo contenido abarcará todos los objetivos que deben alcanzar los estudiantes en el curso completo. Esta prueba podrá incluir tanto cuestiones teóricas como resolución de problemas.

B. La nota correspondiente a la parte de Laboratorio (**Not_Lab**) es la que resulta de la calificación obtenida de la corrección de las 4 prácticas entregadas, y un único examen práctico que incluye: evaluación de P1 y P2, evaluación de P3 y P4 y prueba práctica en laboratorio a partir de las prácticas entregadas que permita evaluar todos los conceptos desarrollados en las prácticas de laboratorio propuestas en la asignatura.

- La nota final de la asignatura se obtiene de las notas de teoría y prácticas por medio de la ecuación:

$$\text{Calificación: } 0,3 \cdot \text{Not_Lab} + 0,7 \cdot \text{Not_Teo}$$

- Para aprobar la asignatura es obligatorio obtener una nota mayor o igual a 5 puntos, tanto en la parte de teoría como en la parte de laboratorio. En caso contrario, la nota final en actas será

$$\text{Calificación: } (0,3 \cdot \text{Mín}(5, \text{Not_Lab}) + 0,7 \cdot \text{Mín}(5, \text{Not_Teo}))$$

3.2.1. Relación actividades de evaluación

TEORIA en convocatoria extraordinaria

Actividad de evaluación: Teoría evaluación No continua	%
Examen final	100

PRACTICAS en convocatoria extraordinaria

Actividad de evaluación: Laboratorio evaluación no continua	%
Práctica 1	7,5
Práctica 2	7,5
Examen Práctica 1 y 2	15
Práctica 3	7,5
Práctica 4	7,5
Examen Práctica 3 y 4	15
Examen evaluación no continua en laboratorio	40

- En todas las actividades de evaluación propuestas hay que sacar una nota superior a 3,5 para aplicar la media ponderada.
- La nota final de la asignatura se obtiene de las notas de teoría y prácticas por medio de la ecuación:

$$\text{Calificación: } 0,3 \cdot \text{Not_Lab} + 0,7 \cdot \text{Not_Teo}$$

- Para aprobar la asignatura es obligatorio obtener una nota mayor o igual a 5 puntos, tanto en la

Código Seguro de Verificación:		Fecha:	14/01/2021	
Firmado por:	Esta guía docente no está firmada mediante CSV porque no es la versión definitiva			
Url de Verificación:		Página:	9/11	

parte de teoría como en la parte de laboratorio. En caso contrario, la nota final en actas será
Calificación: $(0,3 * \text{Mín}(5, \text{Not_Lab}) + 0,7 * \text{Mín}(5, \text{Not_Teo}))$

4. Cronograma orientativo

2.1. Cronograma

Semana	Actividades Presenciales	Actividades No Presenciales
1ª	<ul style="list-style-type: none"> Presentación de la asignatura. U1. Abstracciones, Tecnología y Rendimiento de los Ordenadores. Temas: 1.1 <ul style="list-style-type: none"> P0. Repaso VHDL 	<ul style="list-style-type: none"> Estudio del material propuesto sobre U1.
2ª	<ul style="list-style-type: none"> U1. Abstracciones, Tecnología y Rendimiento de los Ordenadores. Temas: 1.2, 1.3, 1.4 <ul style="list-style-type: none"> Tutoría Conjunta U1. P1. Micro Segmentado (I). 	<ul style="list-style-type: none"> Estudio del material propuesto sobre U1 Resolución de problemas de U1.
3ª	<ul style="list-style-type: none"> U2. Procesadores segmentados Temas: 2.1, 2.2 <ul style="list-style-type: none"> Tutoría Conjunta U2. P1. Micro Segmentado (II). 	<ul style="list-style-type: none"> Estudio del material propuesto sobre U2.
4ª	<ul style="list-style-type: none"> U2. Procesadores segmentados Temas: 2.3, 2.4 <ul style="list-style-type: none"> Tutoría Conjunta U2. P1. Micro Segmentado (III). 	<ul style="list-style-type: none"> Resolución de problemas de U2. Estudio del material propuesto sobre U2.
5ª	<ul style="list-style-type: none"> U2. Procesadores segmentados Tema: 2.4 <ul style="list-style-type: none"> Tutoría Conjunta U2. P2. Soporte de riesgos (I). 	<ul style="list-style-type: none"> Entrega P1. Estudio del material propuesto sobre U2. Resolución de problemas de U2.
6ª	<ul style="list-style-type: none"> U3. Organización y Estructura de la Memoria: Cachés y Memoria Virtual. Temas: 3.1, 3.2 <ul style="list-style-type: none"> Tutoría Conjunta U3. P2. Soporte de riesgos (II). 	<ul style="list-style-type: none"> Estudio del material propuesto sobre U3. Resolución de problemas de U3.
7ª	<ul style="list-style-type: none"> U3. Organización y Estructura de la Memoria: Cachés y Memoria Virtual. Temas: 3.2 y 3.3 <ul style="list-style-type: none"> Tutoría Conjunta U3. P3. Memoria Cache (I). <ul style="list-style-type: none"> Resolución de problemas de U3. Estudio del material propuesto sobre U3. Entrega P2. 	<ul style="list-style-type: none"> Estudio del material propuesto sobre U3. Resolución de problemas de U3.
8ª	<ul style="list-style-type: none"> U3. Organización y Estructura de la Memoria: Cachés y Memoria Virtual. Temas: 3.3 y 3.4 <ul style="list-style-type: none"> Tutoría Conjunta U3. Pex1. Primer examen de prácticas. 	
9ª	<ul style="list-style-type: none"> U4. Técnicas avanzadas de paralelismo. Temas: 4.1, <ul style="list-style-type: none"> Tutoría Conjunta U4. 	<ul style="list-style-type: none"> Estudio del material propuesto sobre U4. Resolución de problemas de U4.
10ª	<ul style="list-style-type: none"> U4. Técnicas avanzadas de paralelismo. Temas: 4.1y 4.2 <ul style="list-style-type: none"> Tutoría Conjunta U4. P3. Memoria Cache (II). 	<ul style="list-style-type: none"> Resolución de problemas de U4. Estudio del material propuesto sobre U4.
11ª	<ul style="list-style-type: none"> U4. Técnicas avanzadas de paralelismo. Temas: 4.2 <ul style="list-style-type: none"> Tutoría Conjunta U4 P3. Memoria Cache (III). 	<ul style="list-style-type: none"> Resolución de problemas de U4. Estudio del material propuesto sobre U4
12ª	<ul style="list-style-type: none"> U4. Técnicas avanzadas de paralelismo. Temas: 4.3	<ul style="list-style-type: none"> Entrega P3. Resolución de problemas de U4.

Código Seguro de Verificación:	Fecha:	14/01/2021
Firmado por:	Esta guía docente no está firmada mediante CSV porque no es la versión definitiva	
Url de Verificación:	Página:	10/11

Semana	Actividades Presenciales	Actividades No Presenciales
	<ul style="list-style-type: none"> Tutoría Conjunta U5. P4. Sistemas Multiprocesador/Multicore (I). 	<ul style="list-style-type: none"> Estudio del material propuesto sobre U4
13ª	<ul style="list-style-type: none"> U4. Técnicas avanzadas de paralelismo. Tutoría Conjunta U5. P4. Sistemas Multiprocesador/Multicore (II). 	<ul style="list-style-type: none"> Estudio del material propuesto sobre U4. Resolución de problemas de U4.
14ª	<ul style="list-style-type: none"> U5. Almacenamiento y otros Aspectos de la E/S Tutoría Conjunta U5. 	<ul style="list-style-type: none"> Entrega P4. Entrega Opcional. Estudio del material propuesto sobre la U5. Resolución de problemas de las U5.
15ª	<ul style="list-style-type: none"> Pex2. Segundo examen de prácticas. 	<ul style="list-style-type: none"> Estudio del material propuesto sobre la U5. Resolución de problemas de las U5.
	<ul style="list-style-type: none"> Examen Final Ordinario 	<ul style="list-style-type: none"> Preparación del Examen final.
	<ul style="list-style-type: none"> Examen Final Extraordinario 	<ul style="list-style-type: none"> Preparación del Examen final.

Código Seguro de Verificación:		Fecha:	14/01/2021	
Firmado por:	Esta guía docente no está firmada mediante CSV porque no es la versión definitiva			
Url de Verificación:		Página:	11/11	