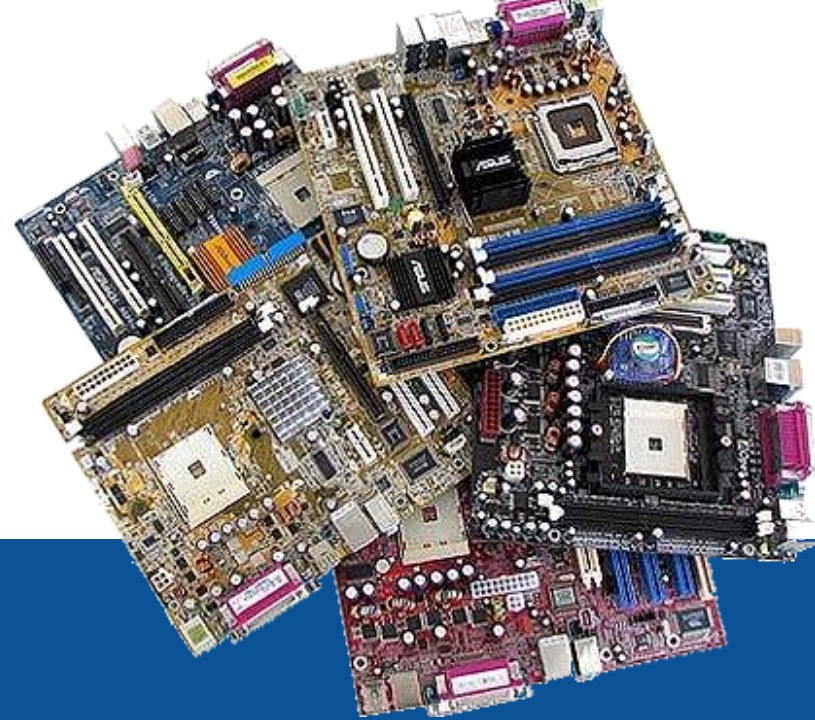
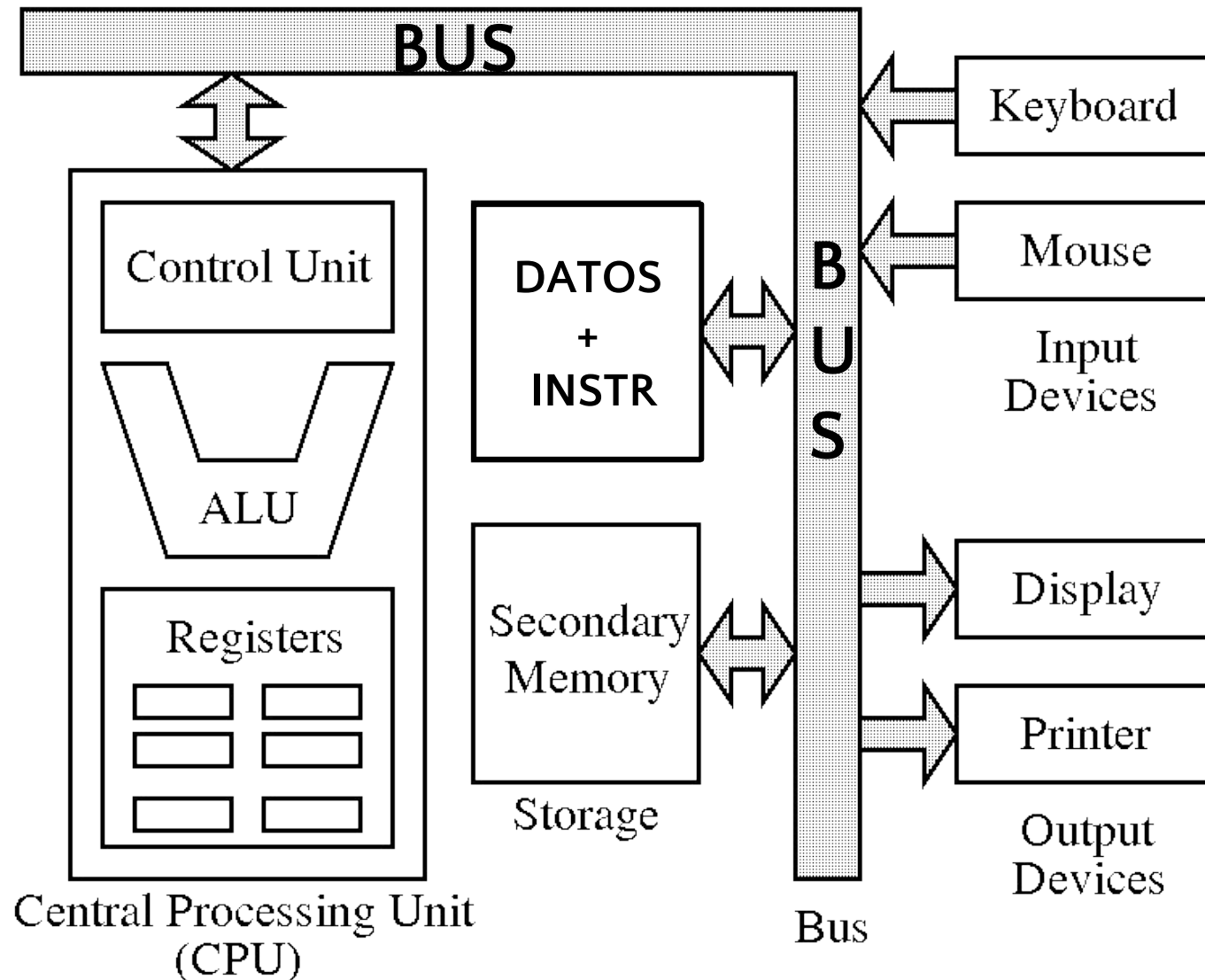


Repaso

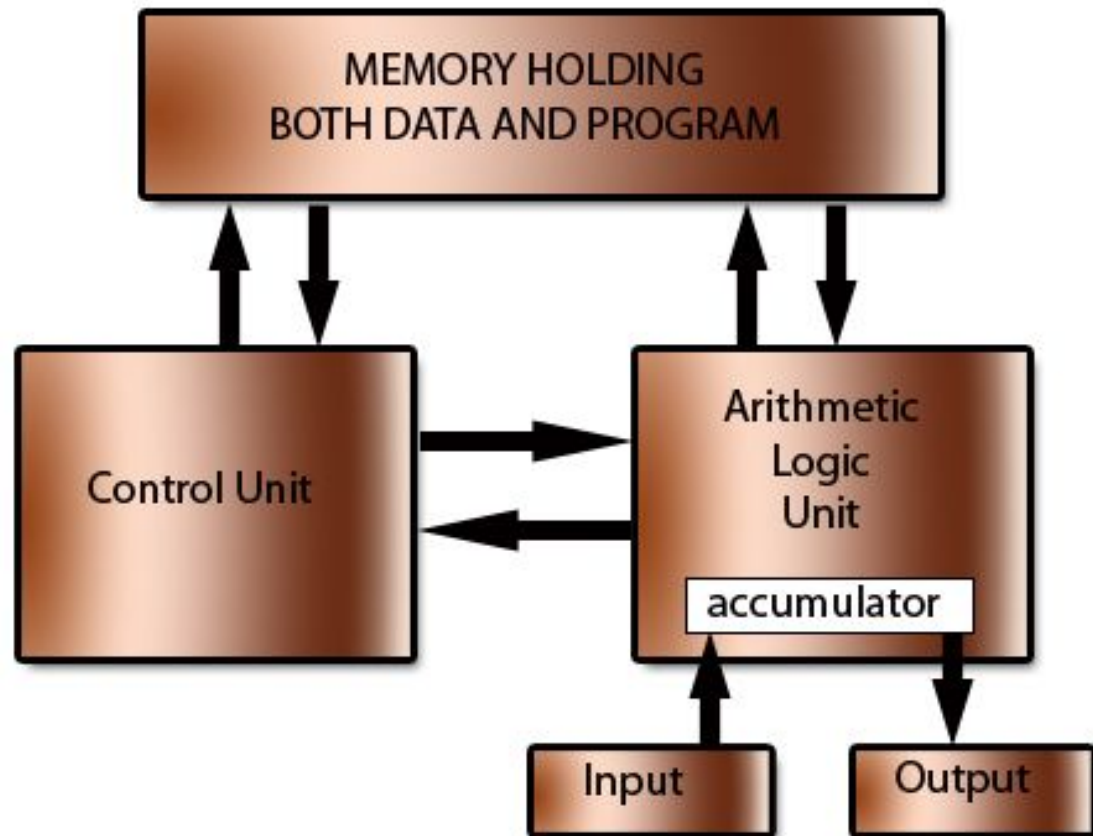


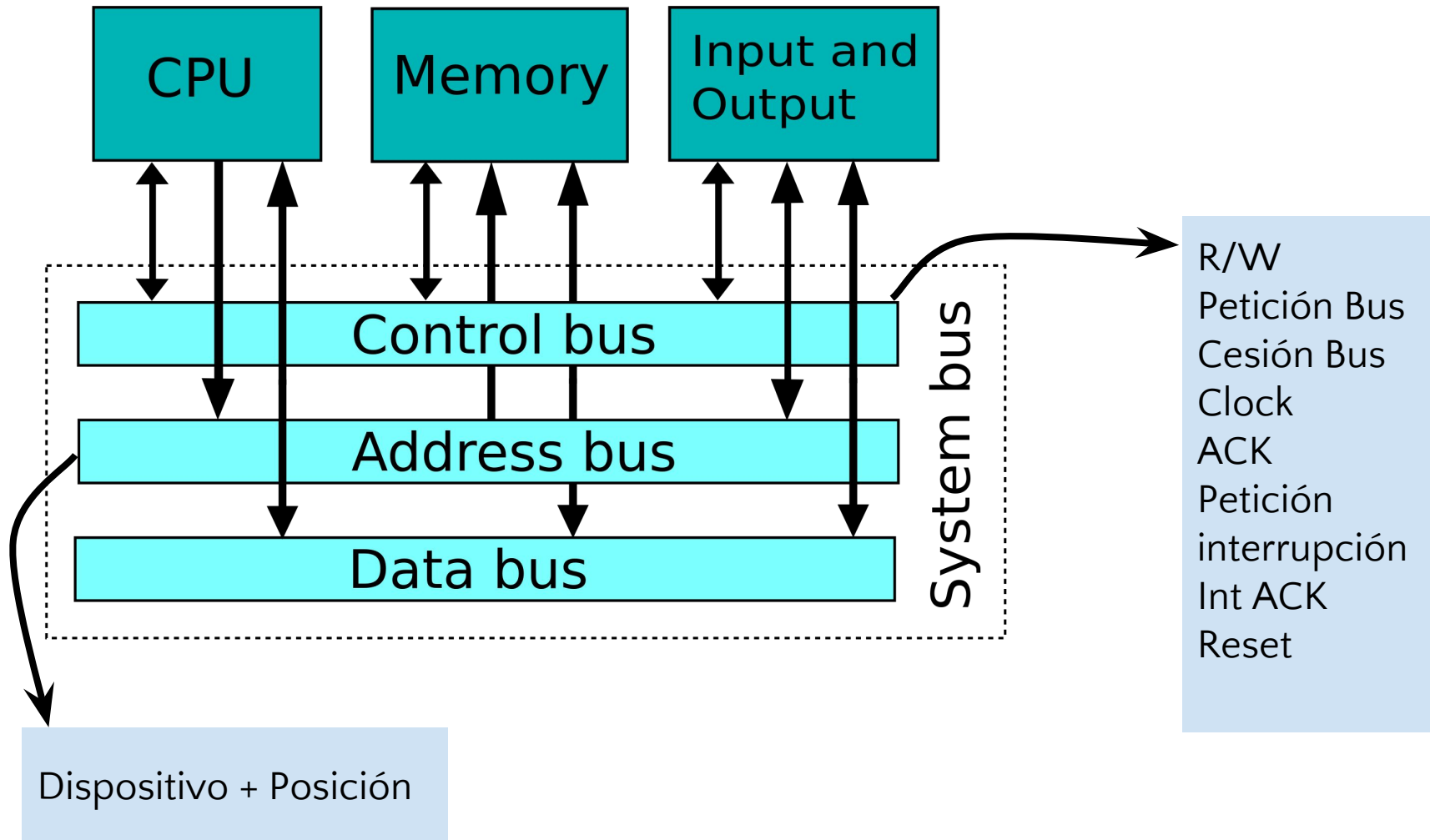
Arquitectura de computadoras

COMPONENTES COMPUTADOR



- Una arquitectura más fácil de “reprogramar” que las computadoras anteriores





De uso general

- Acumulador (AX)
- Contador (CX)
- Base (BX)
- Datos (DX)

De uso específico

- Stack Pointer (SP)
- Instruction Pointer (IP) / Program Counter (PC)
- Program Status Word (PSW)

De segmento

- Code Segment (CS)
- Data Segment (DS)
- Stack Segment (SS)

De control

- Memory address register (MAR)
- Memory buffer register (MBR)
- Instruction register (IR)

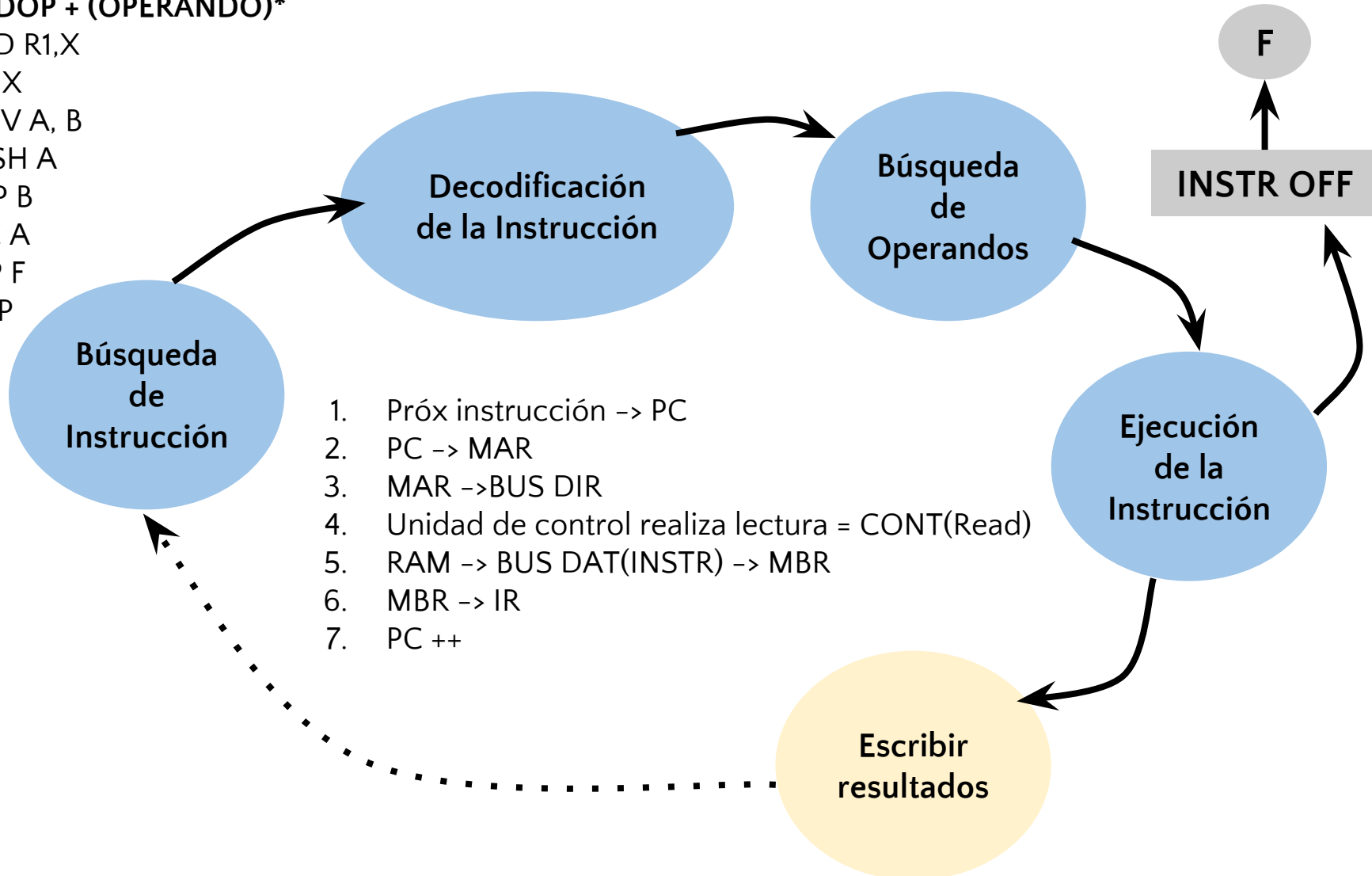


CF	ACF	OF	IF	TP	SF	ZF	PF	MF	DF	MODE
----	-----	----	----	----	----	----	----	----	----	------

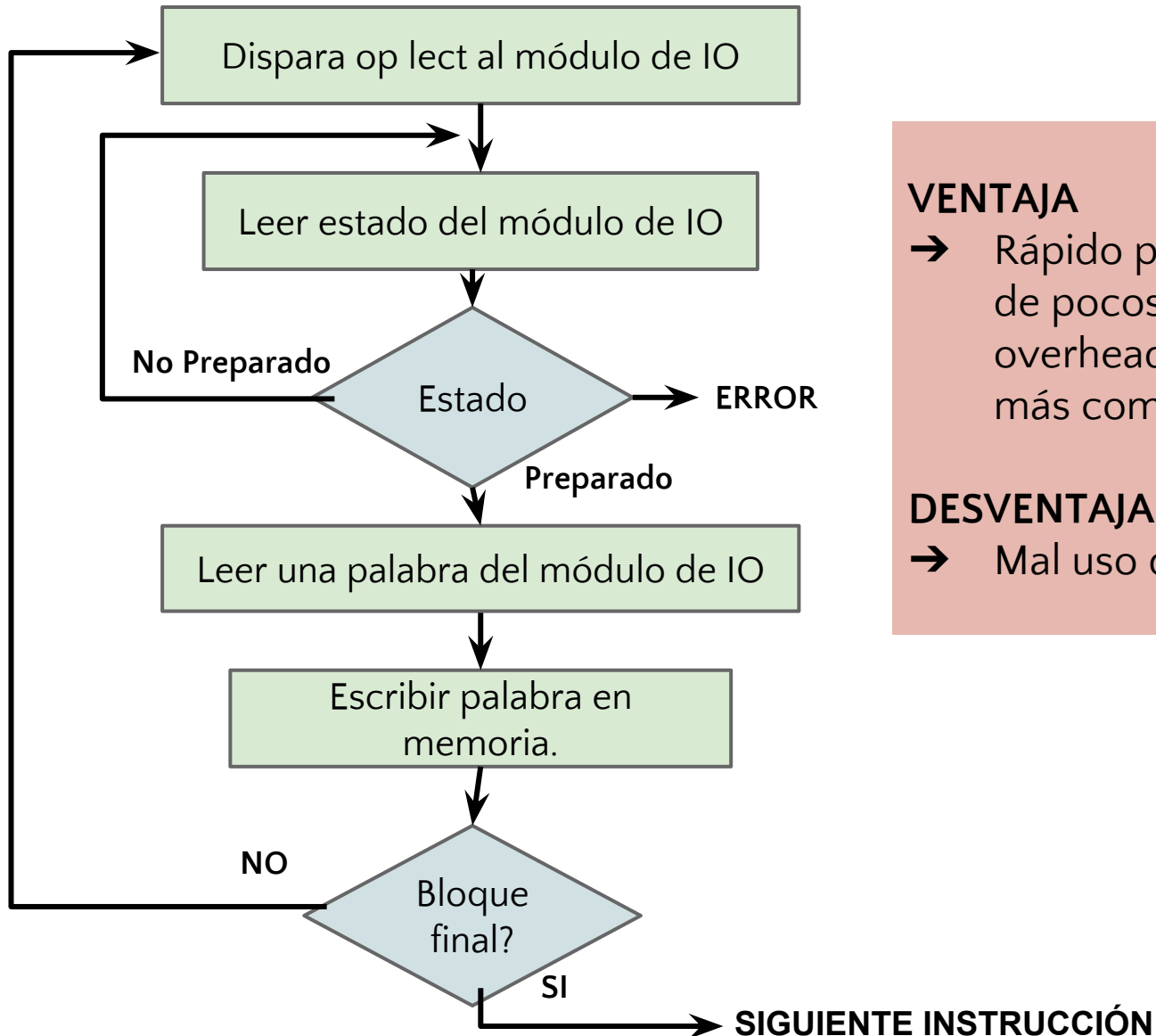
CICLO DE INSTRUCCIÓN

CODOP + (OPERANDO)*

ADD R1,X
ISZ X
MOV A, B
PUSH A
POP B
INC A
JMP F
NOP
CLI



MECANISMOS DE IO - IO PROGRAMADA



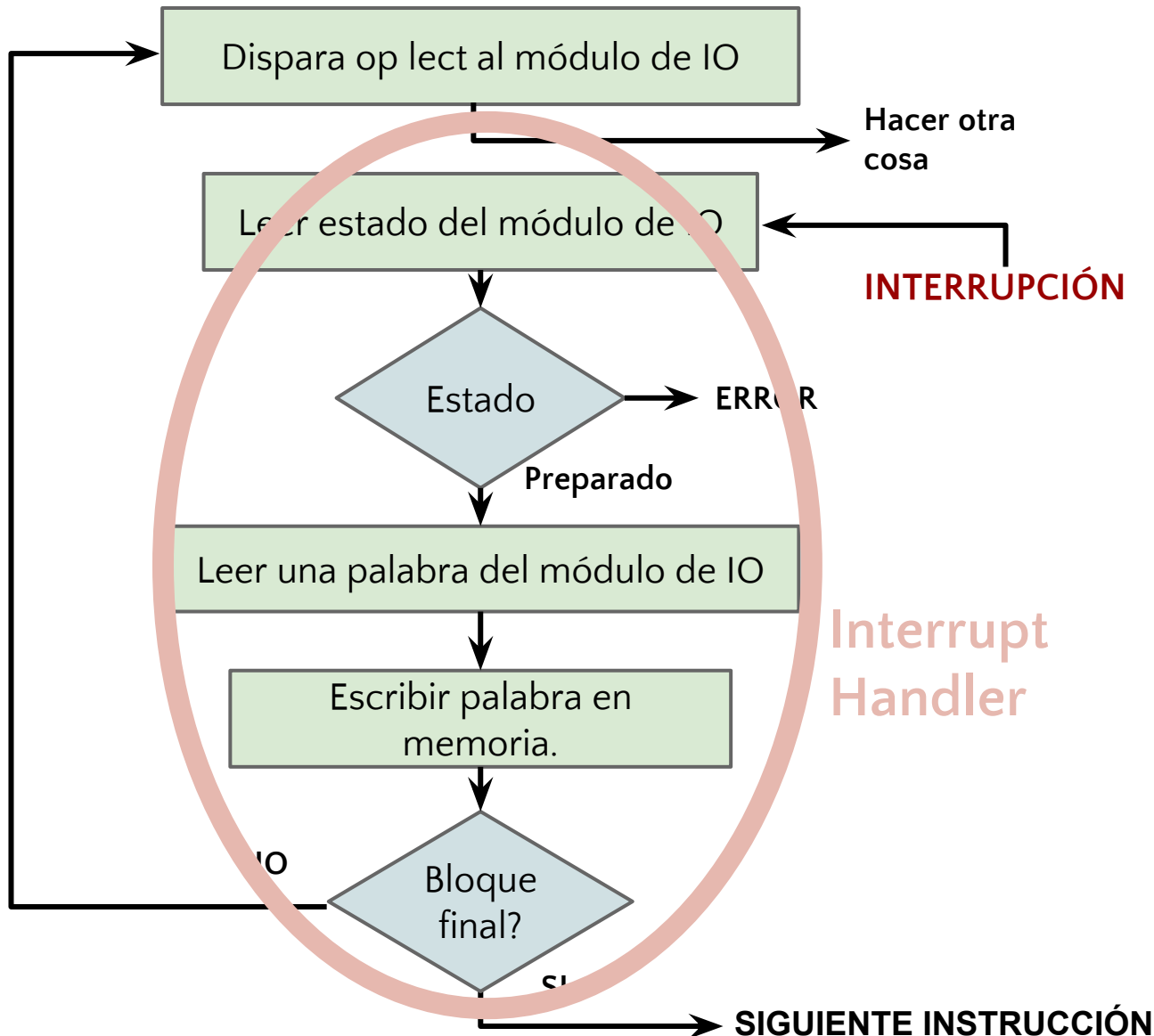
VENTAJA

→ Rápido para transferencias de pocos bytes -> evita overhead de mecanismos más complejos

DESVENTAJA

→ Mal uso de la CPU

MECANISMOS DE IO - IO BASADA EN INTERRUPCIONES



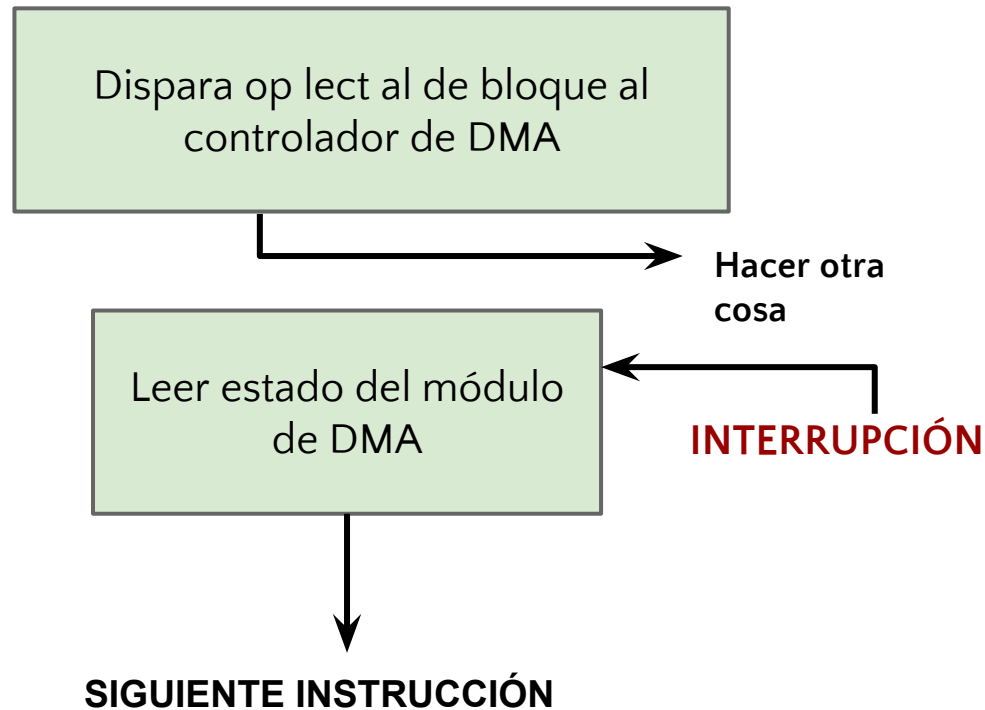
VENTAJA

- Mejora throughput de instrucciones -> se evita el chequeo continuo

DESVENTAJA

- Se sigue usando mal la CPU (aunque en menor medida) -> la CPU se encarga de escribir palabras a memoria

MECANISMOS DE IO - IO BASADA EN INTERRUPCIONES



VENTAJA

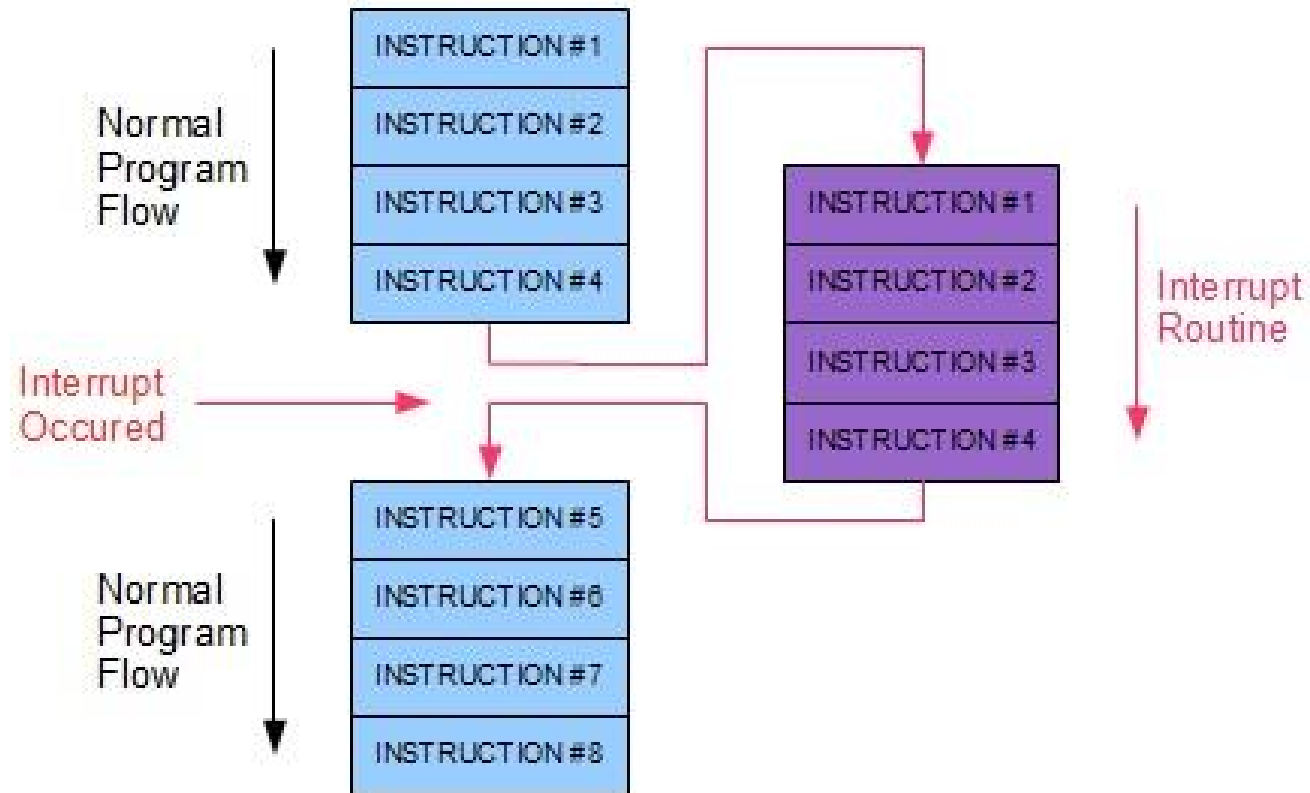
- Se libera a la CPU, interviene solo al principio y al final de la transferencia.
- Transferencias mucho más eficientes en la mayoría de los casos.

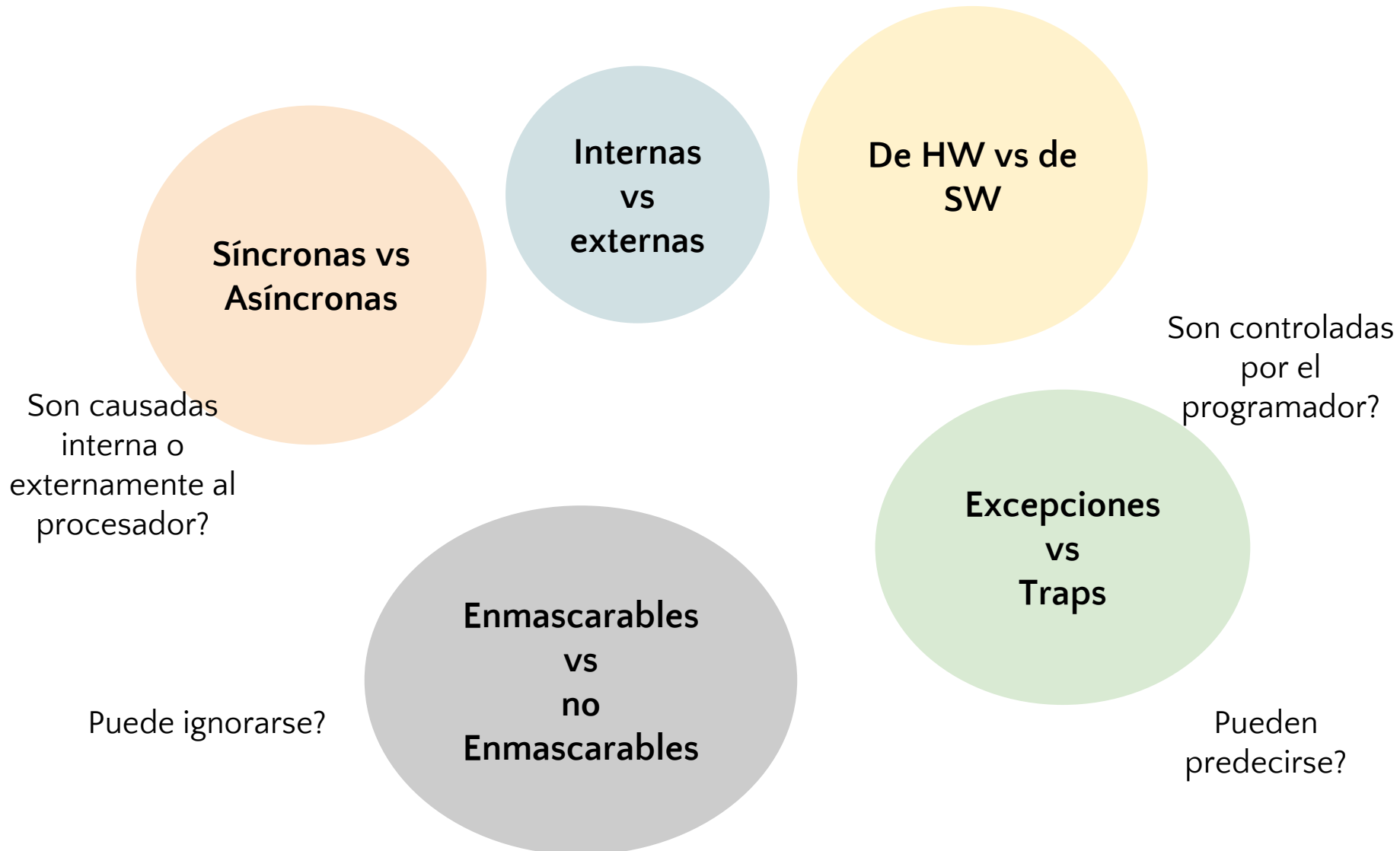
DESVENTAJA

- Requiere un HW especial.
- Requiere más tiempo inicial de set up del pedido.
- Robo de ciclo de bus

INTERRUPCIONES

¿Qué son?





INTERRUPCIONES - PROCESAMIENTO

El controlador del dispositivo u otro HW genera una interrupción



El procesador completa la ejecución de la instrucción en curso.



El procesador identifica la fuente y la notifica.



El procesador coloca el PC y el PSW en la pila del sistema



El procesador carga el nuevo PC en función de la int.

Se da el control al **interrupt handler**

La rutina guarda el resto de la información del estado de la CPU



Se procesa la interrupción



Se restaura la info del estado de la CPU.



Se restaura el anterior PC y PSW

P
O
R

H
W

P
O
R

S
W

Interrupción por HW

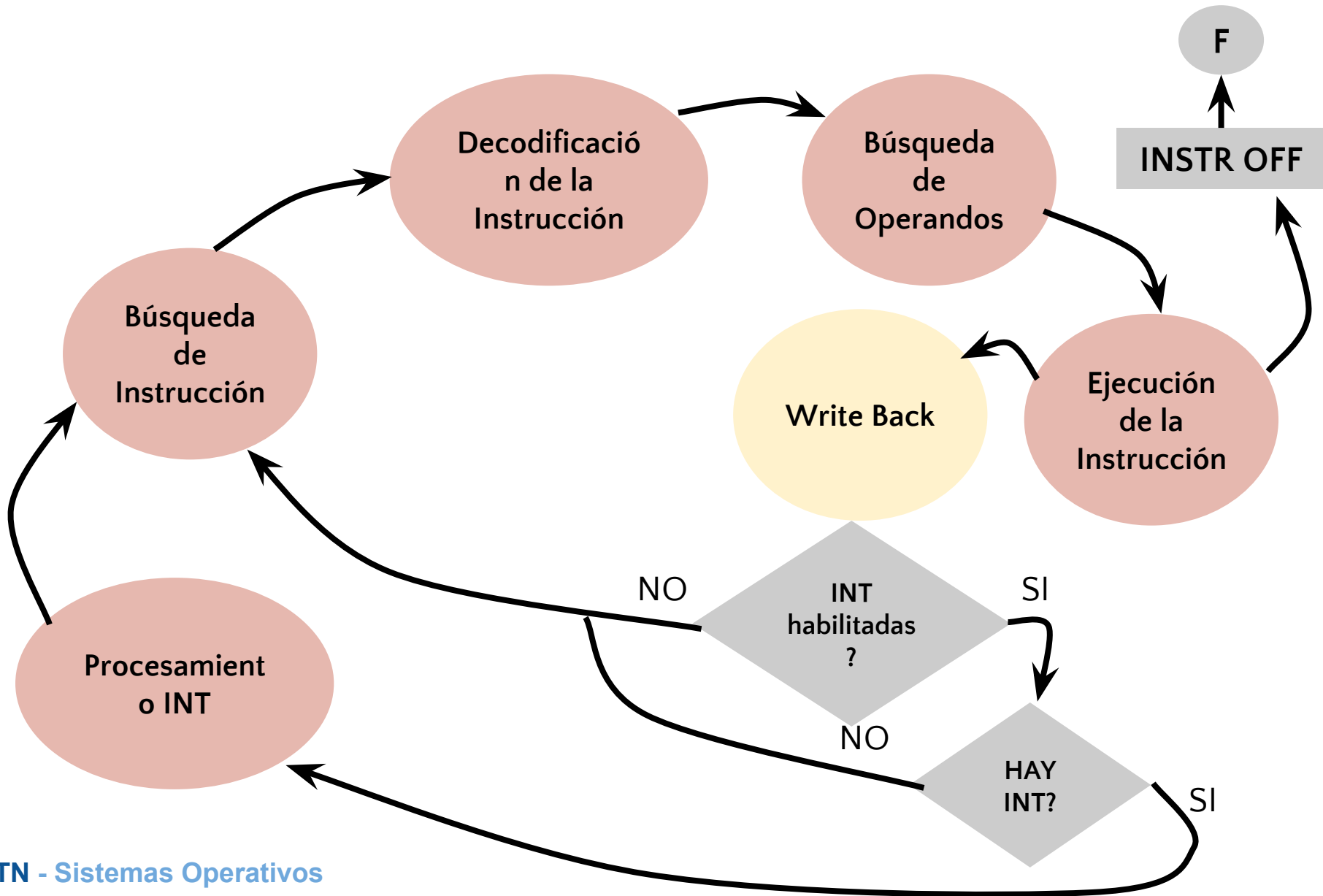
IRQ

PIC

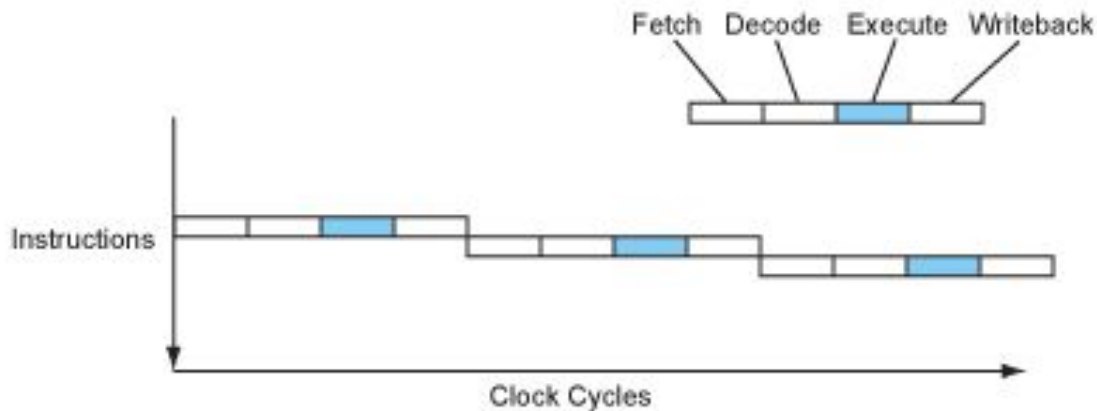
(Programmable
Interrupt
Controller)

Interrupt	Device	Vector	
		Address	Number
NMI	Parity error or I / O Transfer error	0008-000B	02
IRQ0	Timer	0020-0023	08
IRQ1	Keyboard	0024-0027	09
(IRQ2)	Interruptions of additional control (IRQ8 - IRQ15)	0028-002B	0A
IRQ8	Real-time clock	01C0-01C3	70
IRQ9	Video	01C4-01C7	71
IRQ10	Available	01C8-01CB	72
IRQ11	Usually it is available (SCSI adapter)	01CC-01CF	73
IRQ12	Usually it is available (BUS mouse)	01D0-01D3	74
IRQ13	Coprocessor	01D4-01D7	75
IRQ14	Hard Disk	01D8-01DB	76
IRQ15	Available	01DC-01DF	77
IRQ3	Serial Channel COM2 / COM4	002C-002F	0B
IRQ4	Serial Channel COM1 (AUX) / COM3	0030-0033	0C
IRQ5	Parallel Channel LPT2	0034-0037	0D
IRQ6	Floppy Device	0038-003B	0E
IRQ7	Parallel Channel LPT1 (PRN)	003C-003F	0F

CICLO DE INSTRUCCIÓN + INTERRUPCIONES

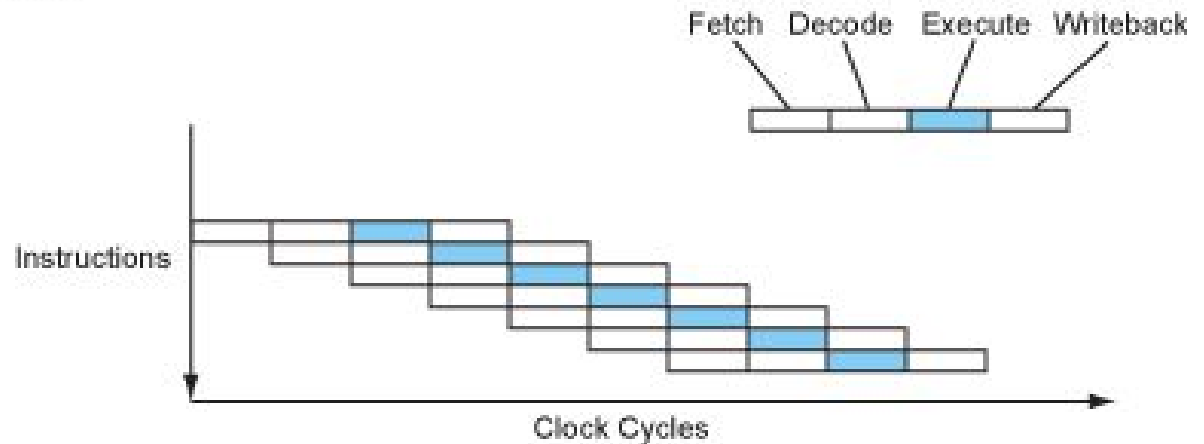


●Pipelining



Ciclo de instrucción de un procesador secuencial

Ciclo de instrucción de un procesador con pipeline



Se “solapan” los pasos aumentando el throughput de instrucciones ejecutadas

Preguntas??

