



ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ

ΕΡΓΑΣΤΗΡΙΟ ΜΙΚΡΟΠΕΞΕΡΓΑΣΤΩΝ & ΥΛΙΚΟΥ
ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ ΓΙΑ ΤΟ ΜΑΘΗΜΑ:
ΗΡΥ 203 - ΠΡΟΧΩΡΗΜΕΝΗ ΛΟΓΙΚΗ ΣΧΕΔΙΑΣΗ

ΕΑΡΙΝΟ ΕΞΑΜΗΝΟ 2015

ΚΑΤΑΣΚΕΥΗ ΜΝΗΜΗΣ ΜΕ ΤΟ ΕΡΓΑΛΕΙΟ Core
Generator

ΕΚΠΟΝΗΣΗ : Καθηγ. Α. Δόλλας

ΕΔΙΠ: Μ. Κιμιωνής
Ε. Σωτηριάδης
ΒΟΗΘΟΙ: Σ. Αποστολάκης
Π. Μαλακωνάκης
Σ. Νικολακάκη

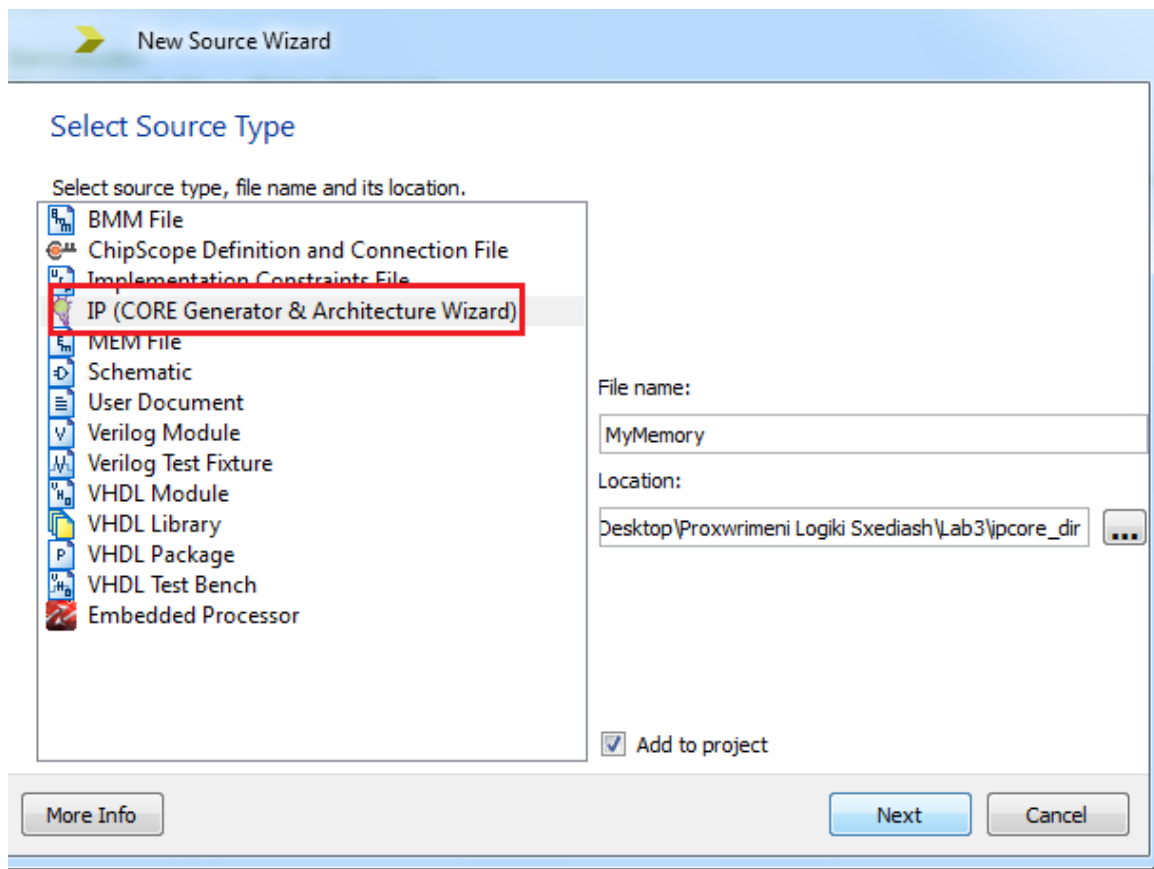
ΕΚΔΟΣΗ : 6.0 (Εαρινό εξάμηνο 2015)

Χανιά 2015

Στο εργαστήριο 4 θα πρέπει να κατασκευάσετε μια μνήμη 32 θέσεων και πλάτους των 10 bits. Για την δημιουργία μνημών το ISE διαθέτει το εργαλείο Core Generator. Ακολουθεί η διαδικασία την οποία θα πρέπει να ακολουθήσετε για να φτιάξετε την μνήμη που θα χρησιμοποιήσετε στην άσκηση.

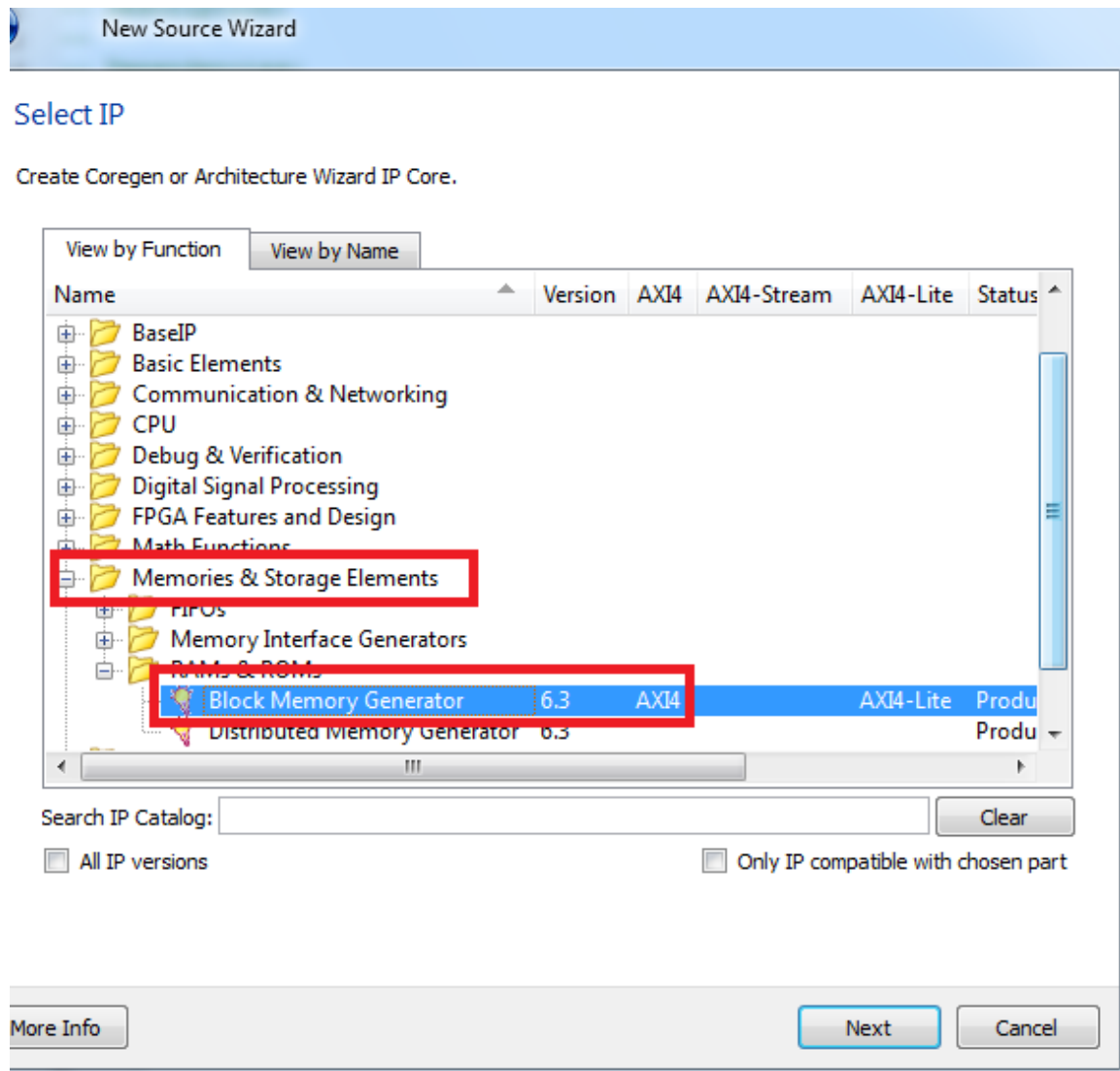
Βήμα 1:

Στο project που έχουμε δημιουργήσει πατάμε New Source. Έπειτα επιλέγουμε την επιλογή IP(Core Generator & Architecture Wizard). Δίνουμε το όνομα που θέλουμε να έχει η μνήμη μας (File name) και πατάμε Next και στο επόμενο παράθυρο που θα εμφανιστεί Finish.



Βήμα 2:

Έχοντας πατήσει Next από το Βήμα 1 εμφανίζεται το παρακάτω παράθυρο στο οποίο επιλέγουμε τα εξής: Memories & Storage Elements -> RAMs & ROMs -> Block Memory Generator και πατάμε Next.



Βήμα 3:

Μετά που πατήσαμε Finish στο Βήμα 2 ξεκινάει η διαδικασία παραμετροποίησης της μνήμης μας. Στην σελίδα 1 (Page 1 of 6) απλά πατάμε Next. Στην σελίδα 2 (Page 2 of 6) **στην επιλογή Memory Type επιλέγουμε Single Port RAM και πατάμε Next.**

Block Memory Generator xilinx.com:ip:blk_mem_gen:6.3

Memory Type: **Single Port RAM**

Clocking Options

☐ Common Clock

ECC Options

Algorithm

Defines the algorithm used to concatenate the block RAM primitives. See the datasheet for more information.

☒ Minimum Area

☐ Low Power

☐ Fixed Primitives

Primitive (Write Port A) : 8kx2

Actual Primitive(s) Used : 8kx2

[Datasheet](#) [< Back](#) Page 2 of 6 [Next >](#) [Generate](#) [Cancel](#) [Help](#)

Βήμα 4 :

Στην σελίδα 3 (Page 3 of 6) ορίζουμε το πλάτος της μνήμης μας (Width) και τις θέσεις μνήμης που θα διαθέτει (Depth) και πατάμε **Generate**.

logiCORE **Block Memory Generator** xilinx.com:ip:blk_mem_gen:6.3

Port A Options

Memory Size

Write Width: 10 Range: 1..1152

Write Depth: 32 Range: 2..9011200

Read Width: 10

Read Depth: 32

Operating Mode

☒ Write First

☐ Read First

☐ No Change

Enable

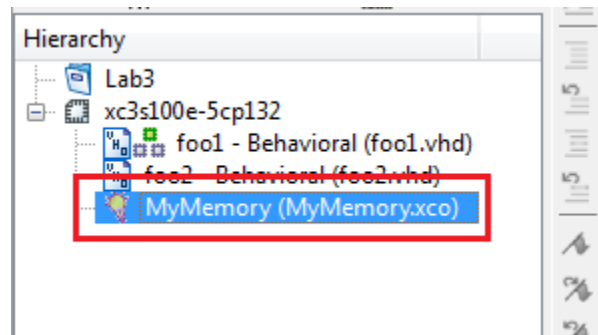
☒ Always Enabled

☐ Use ENA Pin

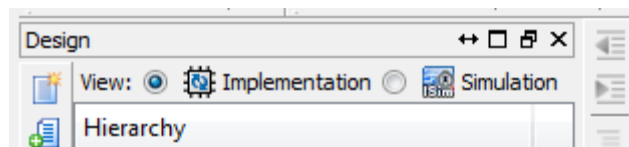
[Datasheet](#) [< Back](#) Page 3 of 6 [Next >](#) [Generate](#) [Cancel](#) [Help](#)

Βήμα 5:

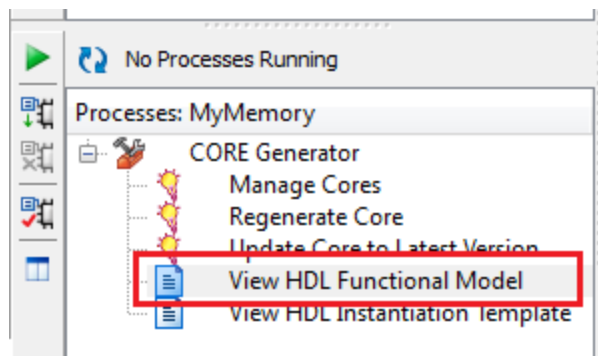
Η μνήμη πλέον έχει δημιουργηθεί και θα εμφανίζεται ως περιφερειακό στο project όπως φαίνεται στην εικόνα.



Για να εμφανιστεί ο κώδικας VHDL που περιγράφει την μνήμη και να χρησιμοποιηθεί το Entity-Port επιλέγουμε το Implementation View mode:



και πατάμε διπλό κλικ στην επιλογή "View HDL Functional Model".



Στον editor δεξιά εμφανίζεται το .vhd αρχείο της μνήμης μαζί με το port map.