



ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ
ΕΡΓΑΣΤΗΡΙΟ ΜΙΚΡΟΕΠΕΞΕΡΓΑΣΤΩΝ & ΥΛΙΚΟΥ
ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ ΓΙΑ ΤΟ ΜΑΘΗΜΑ:
ΗΡΥ 203 - ΠΡΟΧΩΡΗΜΕΝΗ ΛΟΓΙΚΗ ΣΧΕΔΙΑΣΗ

ΕΑΡΙΝΟ ΕΞΑΜΗΝΟ 2015

Εργαστήριο 1

ΕΞΟΙΚΕΙΩΣΗ ΜΕ ΤΗ ΓΛΩΣΣΑ ΠΕΡΙΓΡΑΦΗΣ ΥΛΙΚΟΥ VHDL ΚΑΙ
ΤΗΝ ΙΕΡΑΡΧΙΚΗ ΣΧΕΔΙΑΣΗ (STRUCTURAL VHDL)

ΕΚΠΟΝΗΣΗ : Καθηγ. Α. Δόλλας

ΕΔΙΠ: Μ. Κιμιωνής
Ε. Σωτηριάδης
ΒΟΗΘΟΙ: Σ. Αποστολάκης
Π. Μαλακωνάκης
Σ. Νικολακάκη

ΕΚΔΟΣΗ : 8.0 (Εαρινό εξάμηνο 2015)

Χανιά 2015

Σκοπός

Είναι η εξοικείωση με τη γλώσσα περιγραφής υλικού VHDL (VHSIC Hardware Description Language) για απλά συνδυαστικά κυκλώματα, καθώς επίσης και με την πλήρη σχεδιαστική ροή απλών ψηφιακών συστημάτων. Με την χρήση του εργαλείου Xilinx ISE θα δημιουργήσετε ένα project στο οποίο θα δημιουργήσετε αρχεία, θα κάνετε σύνθεση του κώδικα σας και στη συνέχεια προσομοίωση (Simulation). Το επόμενο βήμα είναι η υλοποίηση της σχεδίασης μέσα από τα στάδια της μετάφρασης (Translation), της αποτύπωσης (Map) και της τοποθέτησης και διασύνδεσης (Place and Route). Τελευταίο στάδιο είναι η δημιουργία του αρχείου φόρτωσης (.bit file) της αναδιατάσσόμενης συσκευής (FPGA) και η φόρτωση της σε αυτή, ώστε να επαληθεύεται η ορθή λειτουργία του κυκλώματος.

Προεργασία (20%)

Κατά την προσέλευση σας στο εργαστήριο θα πρέπει να έχετε α) υπολογίσει τις συναρτήσεις, β) σχεδιάσει το σχετικό κύκλωμα (block diagrams) και γ) υλοποιήσει σε κώδικα VHDL τα παρακάτω κυκλώματα.

Κύκλωμα 1

Ζητούμενα

Να σχεδιάσετε και να υλοποιήσετε ένα κύκλωμα που έχει εισόδους και εξόδους όπως στον πίνακα 1.

Όνομα	Είσοδος / Έξοδος	Πλάτος σε bit	Αντιστοίχιση στο Board
IN0	είσοδος	1	SW0
IN1	είσοδος	1	SW1
BTN0	είσοδος	1	BTN0
BTN1	είσοδος	1	BTN1
BTN2	είσοδος	1	BTN2
BTN3	είσοδος	1	BTN3
LED	έξοδος	8	LD0 – LD7

Πίνακας 1: Είσοδοι - έξοδοι του κυκλώματος

Το κύκλωμα λειτουργεί ως εξής:

- 1) Το LED[0] είναι το αποτέλεσμα της IN0 **AND** IN1 αν και μόνο αν το BTN0 είναι πατημένο (δηλαδή '1') διαφορετικά είναι '0'.
- 2) Το LED[1] είναι το αποτέλεσμα της IN0 **XOR** IN1 αν και μόνο αν το BTN1 είναι πατημένο (δηλαδή '1') διαφορετικά είναι '0'.
- 3) Το LED[2] είναι το αποτέλεσμα της IN0 **NOR** IN1 αν και μόνο αν το BTN2 είναι πατημένο (δηλαδή '1') διαφορετικά είναι '0'.
- 4) Το LED[3] είναι το αποτέλεσμα της **NOT** IN0 αν και μόνο αν το BTN3 είναι πατημένο (δηλαδή '1') διαφορετικά είναι '0'.
- 5) Το LED[4] δίνει την είσοδο IN0.
- 6) Το LED[5] δίνει την είσοδο IN1.

Κύκλωμα 2

Ζητούμενα

Να σχεδιάσετε και να υλοποιήσετε ένα κύκλωμα ενός ημιαθροιστή (Half Adder) με την χρήση λογικών πυλών κι έπειτα την υλοποίηση ενός πλήρη αθροιστή 2 bit (Full Adder) με την χρήση του ημιαθροιστή ως υποκυκλωμά. Θα κάνετε χρήση των εντολών component - port map και έχει εισόδους και εξόδους όπως στον πίνακα 2.

Όνομα	Είσοδος / Έξοδος	Πλάτος σε bit	Αντιστοίχιση στο Board
IN0	είσοδος	1	SW0
IN1	είσοδος	1	SW1
IN2	είσοδος	1	SW2
LED	έξοδος	2	LD0-LD1

Πίνακας 2: Είσοδοι - έξοδοι του κυκλώματος

Η προεργασία πρέπει να είναι σε ηλεκτρονική μορφή (αρχείο .pdf γιατί μόνο αυτό μπορούμε να δούμε στους υπολογιστές του εργαστηρίου)

Παραδοτέα:

Πηγαίος κώδικας VHDL, κυματομορφές προσομοίωσης, παρουσίαση κυκλώματος.

Βαθμολογία: Τα κυκλώματα είναι ισοδύναμα βαθμολογικά

Διεξαγωγή εργαστηρίου	Σύνολο: 70%
	Προετοιμασία 20%
	Προσομοίωση 30%
	Σωστή λειτουργία του κυκλώματος στο Board 20%
Αναφορές	Σύνολο: 30%

ΠΡΟΣΟΧΗ!

- 1) Η έλλειψη προετοιμασίας οδηγεί στην απόρριψη στη συγκεκριμένη εργαστηριακή άσκηση.
- 2) Η διαπίστωση αντιγραφής σε οποιοδήποτε σκέλος της άσκησης οδηγεί στην άμεση απόρριψη από το σύνολο των εργαστηριακών ασκήσεων, όλων των εμπλεκομένων.
- 3) Ο βαθμός της αναφοράς μετράει στον τελικό βαθμό του εργαστηρίου μόνο αν ο βαθμός της διεξαγωγής του εργαστηρίου είναι (35/70)%.