



ΠΟΛΥΤΕΧΝΕΙΟ ΚΡΗΤΗΣ
ΕΡΓΑΣΤΗΡΙΟ ΜΙΚΡΟΕΠΕΞΕΡΓΑΣΤΩΝ & ΥΛΙΚΟΥ
ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ ΓΙΑ ΤΟ ΜΑΘΗΜΑ:
ΗΡΥ 203 - ΠΡΟΧΩΡΗΜΕΝΗ ΛΟΓΙΚΗ ΣΧΕΔΙΑΣΗ

ΕΑΡΙΝΟ ΕΞΑΜΗΝΟ 2015

Εργαστήριο 2

ΕΞΟΙΚΕΙΩΣΗ ΜΕ ΤΗ ΓΛΩΣΣΑ ΠΕΡΙΓΡΑΦΗΣ ΥΛΙΚΟΥ VHDL ΚΑΙ
ΤΗΝ ΙΕΡΑΡΧΙΚΗ ΣΧΕΔΙΑΣΗ (STRUCTURAL VHDL)

ΕΚΠΟΝΗΣΗ : Καθηγ. Α. Δόλλας

ΕΔΙΠ: Μ. Κιμιωνής
Ε. Σωτηριάδης
ΒΟΗΘΟΙ: Σ. Αποστολάκης
Π. Μαλακωνάκης
Σ. Νικολακάκη

ΕΚΔΟΣΗ : 8.0 (Εαρινό εξάμηνο 2015)

Χανιά 2015

Μέρος Α

Σκοπός

Είναι η περαιτέρω εξοικείωση με τη γλώσσα VHDL και την ιεραρχική σχεδίαση με πολλαπλά αρχεία. Θα σχεδιάσετε και θα υλοποιήσετε έναν adder 4-bit με ιεραρχική σχεδίαση.

Προετοιμασία

Κατά την προσέλευση σας στο εργαστήριο θα πρέπει να έχετε υλοποιήσει σε κώδικα VHDL το παρακάτω κύκλωμα.

Εξισώσεις που θα υλοποιηθούν

$$P_i = A_i \oplus B_i$$

$$G_i = A_i \cdot B_i$$

$$C_0 = G_0 + P_0 \cdot C_{in}$$

$$C_1 = G_1 + P_1 \cdot G_0 + P_1 \cdot P_0 \cdot C_{in}$$

$$C_2 = G_2 + P_2 \cdot G_1 + P_2 \cdot P_1 \cdot G_0 + P_2 \cdot P_1 \cdot P_0 \cdot C_{in}$$

$$C_3 = G_3 + P_3 \cdot G_2 + P_3 \cdot P_2 \cdot G_1 + P_3 \cdot P_2 \cdot P_1 \cdot G_0 + P_3 \cdot P_2 \cdot P_1 \cdot P_0 \cdot C_{in}$$

$$S_i = A_i \oplus B_i \oplus C_i$$

Ζητούμενα

Να σχεδιάσετε και να υλοποιήσετε ένα κύκλωμα που έχει εισόδους και εξόδους όπως στον πίνακα 1.

Όνομα	Είσοδος / Εξοδος	Πλάτος σε bit	Αντιστοίχιση στο Board
A	είσοδος	4	DS3-DS0
B	είσοδος	4	DS7-DS4
C _{in}	είσοδος	1	PB0
S	έξοδος	4	LED3-LED0
C ₃	έξοδος	1	LED5

Πίνακας 1: Είσοδοι - έξοδοι του κυκλώματος

Το κύκλωμα λειτουργεί ως εξής:

Τα A, B είναι οι αριθμητικές είσοδοι του κυκλώματος και το C_{in} είναι το κρατούμενο εισόδου. Ο αθροιστής θα είναι τύπου 4-bit Carry Look Ahead. Το αποτέλεσμα της πράξης φαίνεται στο S και το κρατούμενο εξόδου στο C_3 .

Παρατηρήσεις/Σημειώσεις

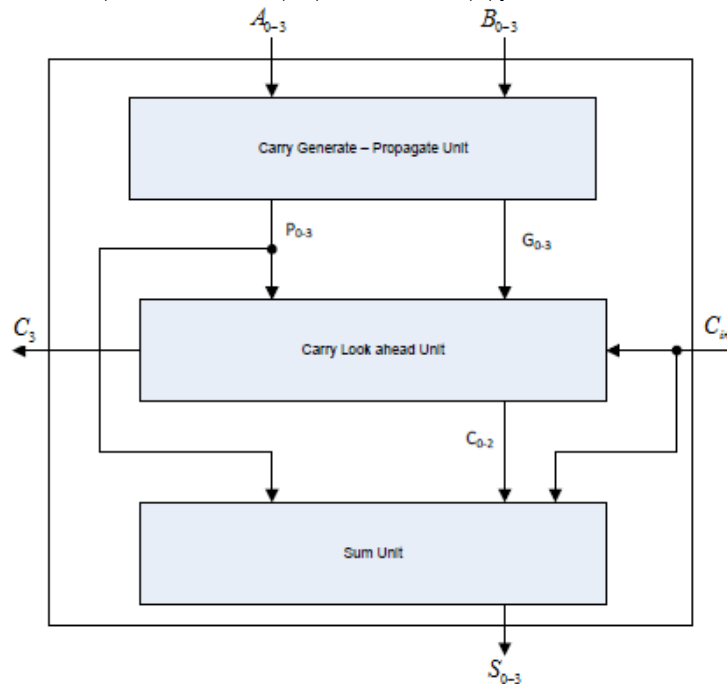
Για την ιεραρχική σχεδίαση σε VHDL πρέπει να κάνουμε ανάλυση του κυκλώματος από πάνω προς τα κάτω (top down) και υλοποίηση από κάτω προς τα πάνω (bottom up). Συνεπώς για τη συγκεκριμένη άσκηση η ανάλυση γίνεται ως εξής. Ο adder των τεσσάρων bit αποτελείται από τρεις διαφορετικές μονάδες που θα συνδέονται κατάλληλα μεταξύ τους. Πιο συγκεκριμένα:

1) Carry Generate/Propagate Unit: υπολογίζει τα τέσσερα (4) σήματα propagate και carry generate.

2) Carry Look Ahead Unit: υπολογίζει τα τρία (3) σήματα Carry Look Ahead και το Carry Out αθροιστή.

3) Sum Unit: υπολογίζει τα τέσσερα (4) σήματα του αθροίσματος (sum).

Κατά την φάση της υλοποίησης υλοποιούμε κάθε μονάδα ξεχωριστά κι ενώνουμε στο τέλος τις τρεις (3) μονάδες μεταξύ τους. Συνολικά πρέπει να υλοποιηθούν τέσσερα (4) διαφορετικά modules σε τέσσερα (4) διαφορετικά αρχεία.



Πίνακας 2: 4-bit Carry Look Ahead Adder block diagram

Μέρος Β

Σκοπός

Η υλοποίηση μιας μηχανής πεπερασμένων καταστάσεων (FSM) με την χρήση της VHDL.

Προετοιμασία

Κατά την προσέλευση σας στο εργαστήριο θα πρέπει να έχετε υλοποιήσει σε κώδικα VHDL το παρακάτω κύκλωμα.

Ζητούμενα

Να σχεδιάσετε και να υλοποιήσετε ένα κύκλωμα που έχει εισόδους και εξόδους όπως στον πίνακα 3.

Όνομα	Είσοδος / Έξοδος	Πλάτος σε bit	Αντιστοίχιση στο Board
RST	είσοδος	1	PB0
CLK	είσοδος	1	MCLK
IN0	είσοδος	1	PB1
IN1	είσοδος	1	PB2
IN2	είσοδος	1	PB3
LED	έξοδος	8	LD0-LD7

Πίνακας 3: Είσοδοι - έξοδοι του κυκλώματος

Το κύκλωμα λειτουργεί ως εξής:

Τροφοδοσία/Reset κυκλώματος:

Μετάβαση στην κατάσταση A.

Πάτημα button 0:

Εάν είσαι στην κατάσταση A -> B.

Εάν είσαι στην κατάσταση B -> C.

Εάν είσαι στην κατάσταση C -> A.

Πάτημα button 1:

Εάν είσαι στην κατάσταση A -> C.

Εάν είσαι στην κατάσταση C -> B.

Εάν είσαι στην κατάσταση B -> A.

Πάτημα button 2:

Εάν είσαι στην κατάσταση A -> A.

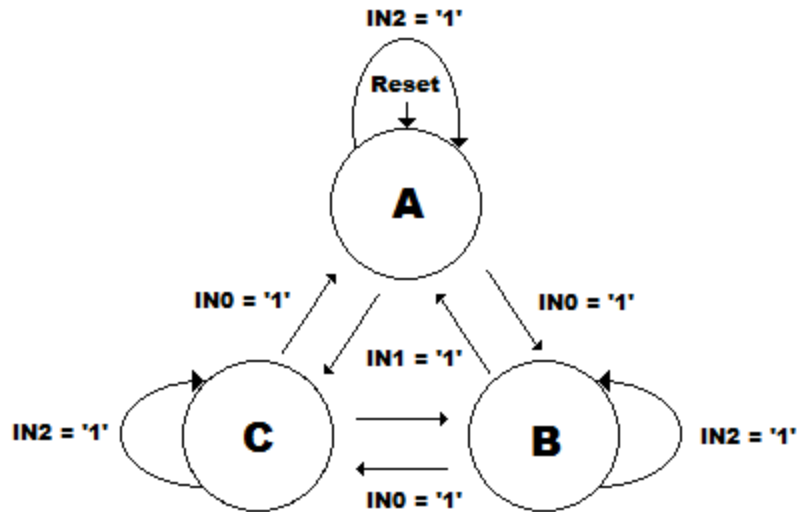
Εάν είσαι στην κατάσταση C -> C.

Εάν είσαι στην κατάσταση B -> B.

Στην **κατάσταση A** όλα τα led αναμμένα.

Στην **κατάσταση B** τα δύο(2) δεξιά και τα δύο αριστερά led αναμμένα και τα υπόλοιπα σβηστά (Led: 0,1,6,7).

Στην **κατάσταση C** τα τέσσερα (4) μεσαία led αναμμένα και τα υπόλοιπα σβηστά (Led: 2,3,4,5).



Πίνακας 4: Σχηματική παρουσίαση της FSM

Παρατηρήσεις/Σημειώσεις

Θεωρούμε την περίπτωση να πατηθούν και τα δύο button ταυτόχρονα ως μία αδύνατη κατάσταση, οπότε την αγνοούμε.

Παραδοτέα:

Πηγαίος κώδικας VHDL, κυματομορφές προσομοίωσης, παρουσίαση κυκλώματος.

Βαθμολογία:

Διεξαγωγή εργαστηρίου	Σύνολο: 70%
	Προετοιμασία 20%
	Προσομοίωση 30%
	Σωστή λειτουργία του κυκλώματος στο Board 20%
Αναφορές	Σύνολο: 30%

ΠΡΟΣΟΧΗ!

- 1) Η έλλειψη προετοιμασίας οδηγεί στην απόρριψη στη συγκεκριμένη εργαστηριακή άσκηση.
- 2) Η διαπίστωση αντιγραφής σε οποιοδήποτε σκέλος της άσκησης οδηγεί στην άμεση απόρριψη από το σύνολο των εργαστηριακών ασκήσεων.
- 3) Ο βαθμός της αναφοράς μετράει στον τελικό βαθμό του εργαστηρίου μόνο αν ο βαθμός της διεξαγωγής του εργαστηρίου είναι (35/70)%.