

## EECS1010 Design Assignment 02

Student ID: 107070008

Name: 陳睿芊

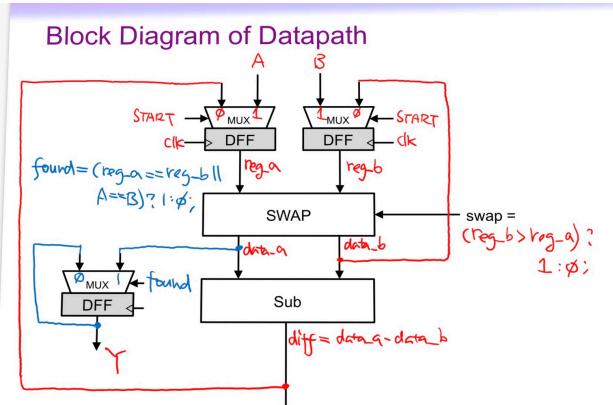
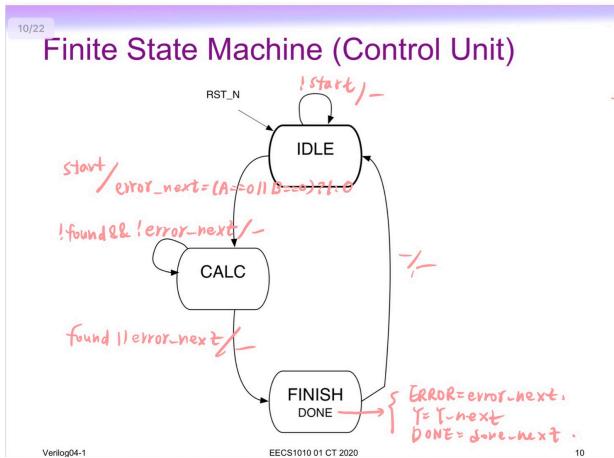
### 1. Design Concept and Description

我的 design concept 是參考老師的講義做出來的，基本上是一樣的，不過因為變數名稱有些取不一樣的名字，這邊還是都放上來作參考，排起來報告較為完整：

a)

FSM:

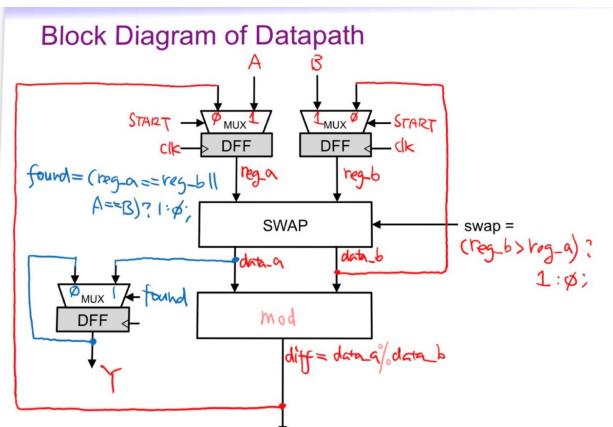
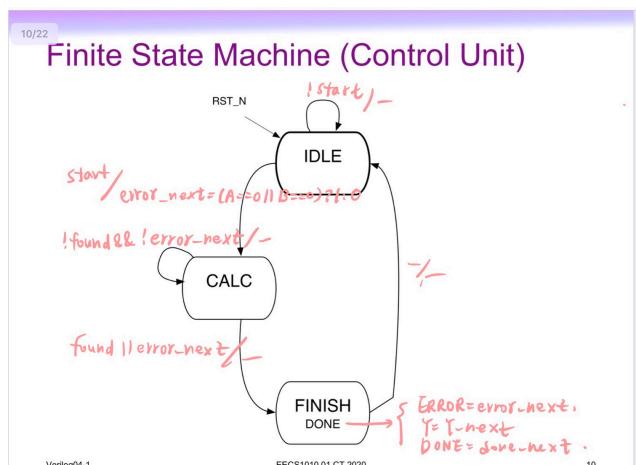
Block diagram



b)

FSM:

Block diagram



### 2. Simulation and Discussion

我在 testbench 裡丟的測資除了前面的(21,6) (75,60) 外，又加了(8,0) (0,0)(145,5)

前面兩筆是用老師給的範例，8,0 是為了測試 error 的檔案，0,0 也是，想說連續到

都是 error 的測資行不行，至於後面的 145,5 除了想嘗試大一點的數字，也想試試測，在跑完 error 之後再跑其他測資會不會壞掉。

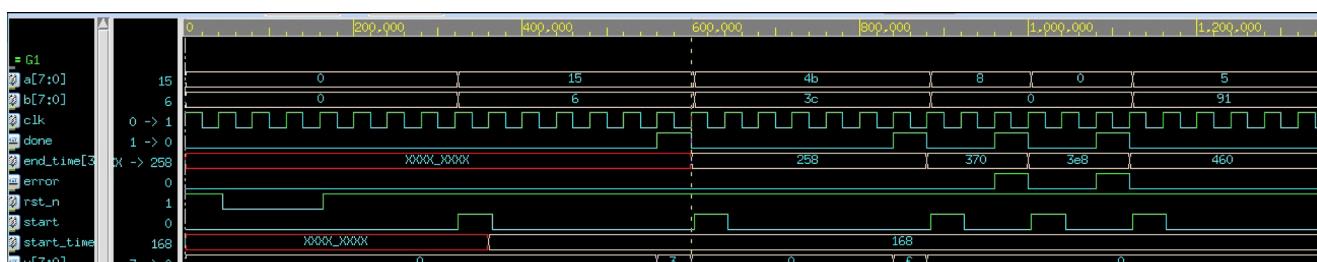
a)

simulation screenshot:

340 CLK=0 RST_N=1 START=1 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	360 CLK=1 RST_N=1 START=1 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	384 CLK=1 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	408 CLK=0 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	432 CLK=1 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	448 CLK=1 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	460 CLK=0 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	480 CLK=1 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	504 CLK=0 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	528 CLK=1 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	540 CLK=1 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	560 CLK=1 RST_N=1 START=0 A= 21 B= 6 DONE=1 Y= 3 ERROR=0	584 CLK=0 RST_N=1 START=0 A= 21 B= 6 DONE=1 Y= 3 ERROR=0	608 CLK=1 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	632 CLK=0 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	640 CLK=1 RST_N=1 START=1 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	644 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	664 CLK=0 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	688 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	700 CLK=0 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	724 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	740 CLK=0 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	760 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	780 CLK=0 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	800 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	824 CLK=0 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	840 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=1 Y= 15 ERROR=0	860 CLK=0 RST_N=1 START=0 A= 75 B= 60 DONE=1 Y= 15 ERROR=0	880 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	904 CLK=1 RST_N=1 START=1 A= 8 B= 0 DONE=0 Y= 0 ERROR=0	920 CLK=1 RST_N=1 START=1 A= 8 B= 0 DONE=0 Y= 0 ERROR=0	924 CLK=1 RST_N=1 START=0 A= 8 B= 0 DONE=0 Y= 0 ERROR=0	944 CLK=0 RST_N=1 START=0 A= 8 B= 0 DONE=0 Y= 0 ERROR=0	964 CLK=1 RST_N=1 START=0 A= 8 B= 0 DONE=0 Y= 0 ERROR=1	980 CLK=0 RST_N=1 START=0 A= 8 B= 0 DONE=1 Y= 0 B= 1	1000 CLK=1 RST_N=1 START=0 A= 8 B= 0 DONE=0 Y= 0 ERROR=0	1004 CLK=1 RST_N=1 START=1 A= 0 B= 0 DONE=0 Y= 0 ERROR=0	1020 CLK=0 RST_N=1 START=1 A= 0 B= 0 DONE=0 Y= 0 ERROR=0	1040 CLK=1 RST_N=1 START=1 A= 0 B= 0 DONE=0 Y= 0 ERROR=0	1056 CLK=0 RST_N=1 START=0 A= 0 B= 0 DONE=0 Y= 0 ERROR=0	1060 CLK=0 RST_N=1 START=0 A= 0 B= 0 DONE=0 Y= 0 ERROR=0	1080 CLK=1 RST_N=1 START=0 A= 0 B= 0 DONE=1 Y= 0 B= 1	1100 CLK=0 RST_N=1 START=0 A= 0 B= 0 DONE=1 Y= 0 B= 1	1120 CLK=1 RST_N=1 START=0 A= 0 B= 0 DONE=0 Y= 0 ERROR=0	1124 CLK=1 RST_N=1 START=1 A= 5 B= 145 DONE=0 Y= 0 ERROR=0	1140 CLK=0 RST_N=1 START=1 A= 5 B= 145 DONE=0 Y= 0 ERROR=0	1160 CLK=1 RST_N=1 START=1 A= 5 B= 145 DONE=0 Y= 0 ERROR=0	1164 CLK=1 RST_N=1 START=0 A= 5 B= 145 DONE=0 Y= 0 ERROR=0	1180 CLK=0 RST_N=1 START=0 A= 5 B= 145 DONE=0 Y= 0 ERROR=0	1200 CLK=1 RST_N=1 START=0 A= 5 B= 145 DONE=0 Y= 0 ERROR=0	1220 CLK=0 RST_N=1 START=0 A= 5 B= 145 DONE=0 Y= 0 ERROR=0	1240 CLK=1 RST_N=1 START=0 A= 5 B= 145 DONE=0 Y= 0 ERROR=0	1260 CLK=0 RST_N=1 START=0 A= 5 B= 145 DONE=0 Y= 0 ERROR=0	1280 CLK=1 RST_N=1 START=0 A= 5 B= 145 DONE=0 Y= 0 ERROR=0	1300 CLK=0 RST_N=1 START=0 A= 5 B= 145 DONE=0 Y= 0 ERROR=0	1320 CLK=1 RST_N=1 START=0 A= 5 B= 145 DONE=0 Y= 0 ERROR=0	1340 CLK=0 RST_N=1 START=0 A= 5 B= 145 DONE=0 Y= 0 ERROR=0
--	--	--	--	--	--	--	--	--	--	--	--	--	--	---	---	---	---	---	---	---	---	---	---	---	---	--	--	---	---	---	---	---	---	--	--	--	--	--	--	--	---	---	--	--	--	--	--	--	--	--	--	--	--	--	--	--

2060 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2080 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2100 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2124 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2140 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2160 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2180 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2200 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2224 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2240 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2260 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2280 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2300 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2320 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=1 Y= 5 ERROR=0
2340 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=1 Y= 5 ERROR=0
2360 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2380 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2400 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2420 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2440 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2460 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2480 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2500 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2520 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2540 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2560 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2580 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2600 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2620 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2640 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2660 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
2680 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0

nWave screenshot:



## Synthesize area screenshot:

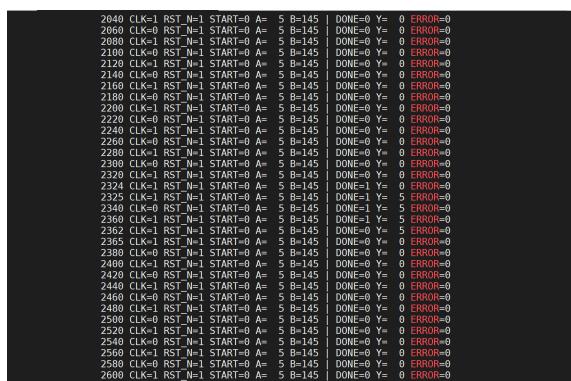
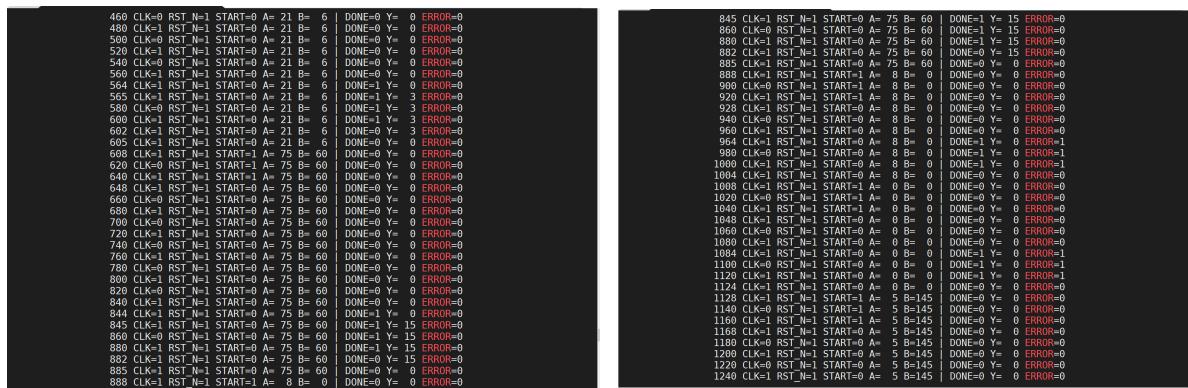
```
Information: Updating design information... (UID-85)
Library(s) Used:
    slow (File: /theda21_2/CBDK_IC_Contest/cur/SynopsysDC/db/slow.db)

Number of ports:          55
Number of nets:           204
Number of cells:          155
Number of combinational cells: 125
Number of sequential cells: 28
Number of macros/black boxes: 0
Number of buf/inv:         40
Number of references:     26

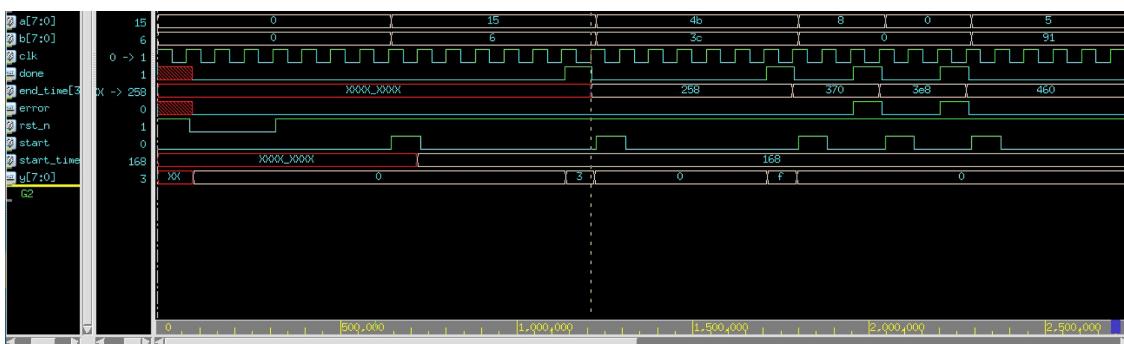
Combinational area:      1057.480205
Buf/Inv area:            142.581598
Noncombinational area:   718.000210
Macro/Black Box area:    0.000000
Net Interconnect area:   undefined (No wire load specified)

Total cell area:          1775.480414
Total area:               undefined
```

## Synthesize simulation screenshot:



## Synthesize nWave screenshot:



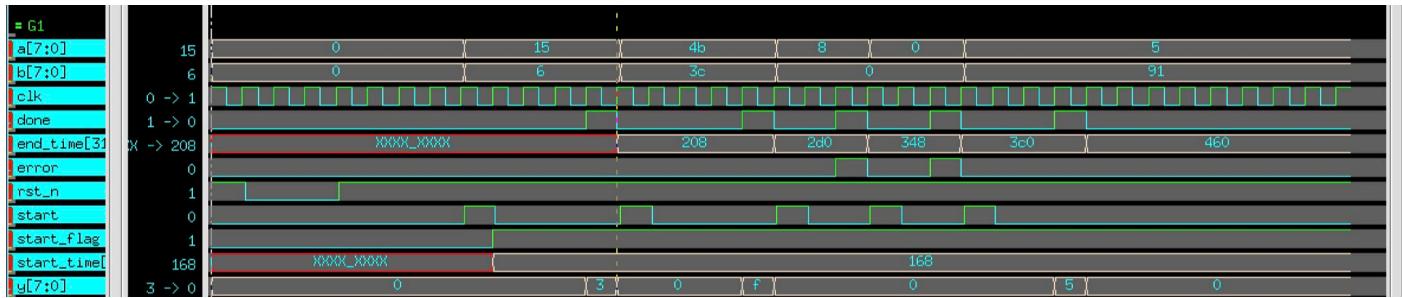
b)

simulation screenshot:

208 CLK=1 RST_N=1 START=0 A= 0 B= 0   DONE=0 Y= 0 ERROR=0
220 CLK=1 RST_N=1 START=0 A= 0 B= 0   DONE=0 Y= 0 ERROR=0
240 CLK=1 RST_N=1 START=0 A= 0 B= 0   DONE=0 Y= 0 ERROR=0
260 CLK=0 RST_N=1 START=0 A= 0 B= 0   DONE=0 Y= 0 ERROR=0
280 CLK=0 RST_N=1 START=0 A= 0 B= 0   DONE=0 Y= 0 ERROR=0
300 CLK=0 RST_N=1 START=0 A= 0 B= 0   DONE=0 Y= 0 ERROR=0
320 CLK=1 RST_N=1 START=0 A= 0 B= 0   DONE=0 Y= 0 ERROR=0
340 CLK=1 RST_N=1 START=1 A= 21 B= 0   DONE=0 Y= 0 ERROR=0
360 CLK=1 RST_N=1 START=1 A= 21 B= 6   DONE=0 Y= 0 ERROR=0
380 CLK=1 RST_N=1 START=0 A= 21 B= 6   DONE=0 Y= 0 ERROR=0
400 CLK=1 RST_N=1 START=0 A= 21 B= 6   DONE=0 Y= 0 ERROR=0
420 CLK=0 RST_N=1 START=0 A= 21 B= 6   DONE=0 Y= 0 ERROR=0
440 CLK=1 RST_N=1 START=0 A= 21 B= 6   DONE=0 Y= 0 ERROR=0
460 CLK=1 RST_N=1 START=0 A= 21 B= 6   DONE=0 Y= 0 ERROR=0
480 CLK=1 RST_N=1 START=0 A= 21 B= 6   DONE=1 Y= 3 ERROR=0
500 CLK=0 RST_N=1 START=0 A= 21 B= 6   DONE=1 Y= 3 ERROR=0
520 CLK=1 RST_N=1 START=0 A= 21 B= 6   DONE=0 Y= 0 ERROR=0
540 CLK=1 RST_N=1 START=1 A= 75 B= 68   DONE=0 Y= 0 ERROR=0
560 CLK=1 RST_N=1 START=1 A= 75 B= 68   DONE=0 Y= 0 ERROR=0
580 CLK=1 RST_N=1 START=0 A= 75 B= 68   DONE=0 Y= 0 ERROR=0
600 CLK=0 RST_N=1 START=0 A= 75 B= 68   DONE=0 Y= 0 ERROR=0
620 CLK=0 RST_N=1 START=0 A= 75 B= 68   DONE=0 Y= 0 ERROR=0
640 CLK=0 RST_N=1 START=0 A= 75 B= 68   DONE=0 Y= 0 ERROR=0
660 CLK=0 RST_N=1 START=0 A= 75 B= 68   DONE=0 Y= 0 ERROR=0
680 CLK=1 RST_N=1 START=0 A= 75 B= 68   DONE=1 Y= 15 ERROR=0
700 CLK=0 RST_N=1 START=0 A= 75 B= 68   DONE=1 Y= 15 ERROR=0
724 CLK=1 RST_N=1 START=1 A= 8 B= 0   DONE=0 Y= 0 ERROR=0
740 CLK=0 RST_N=1 START=0 A= 8 B= 0   DONE=0 Y= 0 ERROR=0
760 CLK=1 RST_N=1 START=1 A= 8 B= 0   DONE=0 Y= 0 ERROR=0
780 CLK=1 RST_N=1 START=0 A= 8 B= 0   DONE=0 Y= 0 ERROR=0
800 CLK=1 RST_N=1 START=0 A= 8 B= 0   DONE=1 Y= 15 ERROR=0
820 CLK=0 RST_N=1 START=0 A= 8 B= 0   DONE=1 Y= 15 ERROR=0
840 CLK=1 RST_N=1 START=0 A= 8 B= 0   DONE=0 Y= 0 ERROR=0
860 CLK=1 RST_N=1 START=1 A= 0 B= 0   DONE=0 Y= 0 ERROR=0
880 CLK=0 RST_N=1 START=0 A= 0 B= 0   DONE=0 Y= 0 ERROR=0
900 CLK=1 RST_N=1 START=0 A= 0 B= 0   DONE=0 Y= 0 ERROR=0
920 CLK=1 RST_N=1 START=0 A= 0 B= 0   DONE=1 Y= 0 ERROR=1
940 CLK=1 RST_N=1 START=0 A= 0 B= 0   DONE=0 Y= 0 ERROR=0
960 CLK=1 RST_N=1 START=0 A= 0 B= 0   DONE=0 Y= 0 ERROR=0
980 CLK=1 RST_N=1 START=1 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1000 CLK=1 RST_N=1 START=1 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1004 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1012 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1040 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1060 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1080 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1100 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1110 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1118 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1120 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1130 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1180 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1200 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1220 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1240 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1260 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1280 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1300 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1320 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1340 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1360 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1380 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1400 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1440 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0

940 CLK=0 RST_N=1 START=0 A= 0 B= 0   DONE=1 Y= 0 ERROR=1
960 CLK=1 RST_N=1 START=0 A= 0 B= 0   DONE=0 Y= 0 ERROR=0
980 CLK=1 RST_N=1 START=1 A= 0 B= 0   DONE=0 Y= 0 ERROR=0
1000 CLK=1 RST_N=1 START=1 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1004 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1012 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1040 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1060 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1080 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1100 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1110 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1118 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1120 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1130 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1180 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1200 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1220 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1240 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1260 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1280 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1300 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1320 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1340 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1360 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1380 CLK=0 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
1400 CLK=1 RST_N=1 START=0 A= 5 B=145   DONE=0 Y= 0 ERROR=0
>> Latency: 1444 cycles! <<
Simulation complete via \$finish() at time 1444 NS + 0
./da2b_t.v:88 \$finish;
ncsim> exit
[1d01@glc56 ~]# da2a_b\$

nWave screenshot:



Synthesize screenshot:

```
Information: updating design information... (0id=85)
Library(s) Used:
    slow (File: /theda21_2/CBDK_IC_Contest/cur/SynopsysDC/db/slow.db)

Number of ports: 105
Number of nets: 403
Number of cells: 301
Number of combinational cells: 270
Number of sequential cells: 28
Number of macros/black boxes: 0
Number of buf/inv: 80
Number of references: 25

Combinational area: 2581.745422
Buf/Inv area: 278.373596
Noncombinational area: 718.000210
Macro/Black Box area: 0.000000
Net Interconnect area: undefined (No wire load specified)

Total cell area: 3299.745632
Total area: undefined
```

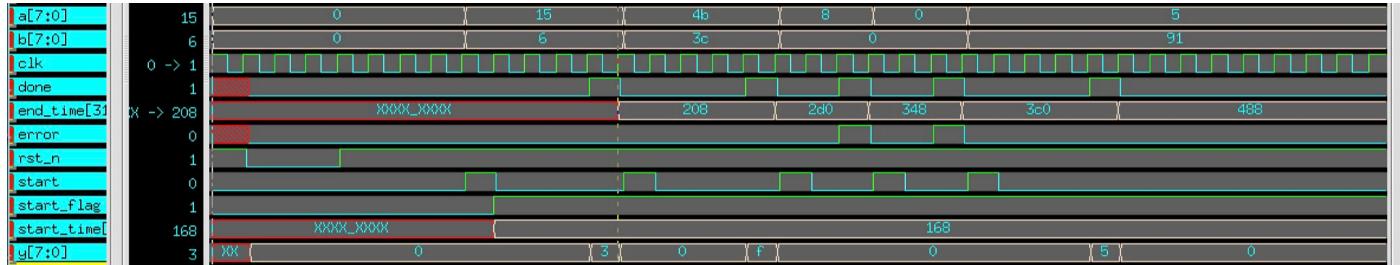
Synthesize simulation screenshot:

360 CLK=1 RST_N=1 START=1 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	723 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0
364 CLK=1 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	724 CLK=0 RST_N=1 START=1 A= 8 B= 0 DONE=0 Y= 0 ERROR=0
380 CLK=0 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	726 CLK=1 RST_N=1 START=1 A= 8 B= 0 DONE=0 Y= 0 ERROR=0
400 CLK=1 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	727 CLK=1 RST_N=1 START=0 A= 8 B= 0 DONE=0 Y= 0 ERROR=0
420 CLK=0 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	728 CLK=1 RST_N=1 START=0 A= 8 B= 0 DONE=0 Y= 0 ERROR=0
440 CLK=1 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	729 CLK=1 RST_N=1 START=0 A= 8 B= 0 DONE=0 Y= 0 ERROR=0
460 CLK=0 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	730 CLK=1 RST_N=1 START=0 A= 8 B= 0 DONE=0 Y= 0 ERROR=0
480 CLK=1 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	731 CLK=1 RST_N=1 START=0 A= 8 B= 0 DONE=0 Y= 0 ERROR=0
482 CLK=1 RST_N=1 START=0 A= 21 B= 6 DONE=1 Y= 3 ERROR=0	732 CLK=1 RST_N=1 START=0 A= 8 B= 0 DONE=1 Y= 3 ERROR=0
485 CLK=1 RST_N=1 START=0 A= 21 B= 6 DONE=1 Y= 3 ERROR=0	733 CLK=1 RST_N=1 START=0 A= 8 B= 0 DONE=1 Y= 3 ERROR=0
500 CLK=0 RST_N=1 START=0 A= 21 B= 6 DONE=1 Y= 3 ERROR=0	734 CLK=1 RST_N=1 START=0 A= 8 B= 0 DONE=1 Y= 3 ERROR=0
520 CLK=1 RST_N=1 START=0 A= 21 B= 6 DONE=1 Y= 3 ERROR=0	735 CLK=1 RST_N=1 START=0 A= 8 B= 0 DONE=1 Y= 3 ERROR=0
523 CLK=1 RST_N=1 START=0 A= 21 B= 6 DONE=0 Y= 0 ERROR=0	736 CLK=1 RST_N=1 START=1 A= 0 B= 0 DONE=0 Y= 0 ERROR=0
527 CLK=1 RST_N=1 START=1 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	737 CLK=1 RST_N=1 START=1 A= 0 B= 0 DONE=0 Y= 0 ERROR=0
540 CLK=0 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	738 CLK=1 RST_N=1 START=1 A= 0 B= 0 DONE=0 Y= 0 ERROR=0
560 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	739 CLK=1 RST_N=1 START=1 A= 0 B= 0 DONE=0 Y= 0 ERROR=0
567 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	740 CLK=1 RST_N=1 START=0 A= 0 B= 0 DONE=1 Y= 1 ERROR=1
580 CLK=0 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	741 CLK=1 RST_N=1 START=0 A= 0 B= 0 DONE=1 Y= 1 ERROR=1
600 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	742 CLK=1 RST_N=1 START=0 A= 0 B= 0 DONE=1 Y= 1 ERROR=1
620 CLK=0 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	743 CLK=1 RST_N=1 START=0 A= 0 B= 0 DONE=1 Y= 1 ERROR=1
640 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	744 CLK=1 RST_N=1 START=0 A= 0 B= 0 DONE=1 Y= 1 ERROR=1
660 CLK=0 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	745 CLK=1 RST_N=1 START=0 A= 0 B= 0 DONE=1 Y= 1 ERROR=1
680 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=0 Y= 0 ERROR=0	746 CLK=1 RST_N=1 START=0 A= 0 B= 0 DONE=1 Y= 1 ERROR=1
683 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=1 Y= 0 ERROR=0	747 CLK=1 RST_N=1 START=0 A= 0 B= 0 DONE=1 Y= 1 ERROR=1
685 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=1 Y= 15 ERROR=0	748 CLK=1 RST_N=1 START=0 A= 0 B= 0 DONE=1 Y= 15 ERROR=0
700 CLK=0 RST_N=1 START=0 A= 75 B= 60 DONE=1 Y= 15 ERROR=0	749 CLK=1 RST_N=1 START=0 A= 0 B= 0 DONE=1 Y= 15 ERROR=0
720 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=1 Y= 15 ERROR=0	750 CLK=1 RST_N=1 START=0 A= 0 B= 0 DONE=1 Y= 15 ERROR=0
722 CLK=1 RST_N=1 START=0 A= 75 B= 60 DONE=1 Y= 15 ERROR=0	751 CLK=1 RST_N=1 START=0 A= 0 B= 0 DONE=1 Y= 15 ERROR=0
727 CLK=1 RST_N=1 START=1 A= 8 B= 0 DONE=0 Y= 0 ERROR=0	752 CLK=1 RST_N=1 START=1 A= 0 B= 0 DONE=1 Y= 15 ERROR=0
740 CLK=1 RST_N=1 START=1 A= 8 B= 0 DONE=0 Y= 0 ERROR=0	753 CLK=1 RST_N=1 START=1 A= 0 B= 0 DONE=1 Y= 15 ERROR=0
760 CLK=1 RST_N=1 START=1 A= 8 B= 0 DONE=0 Y= 0 ERROR=0	754 CLK=1 RST_N=1 START=1 A= 0 B= 0 DONE=1 Y= 15 ERROR=0
767 CLK=1 RST_N=1 START=0 A= 8 B= 0 DONE=0 Y= 0 ERROR=0	755 CLK=1 RST_N=1 START=1 A= 0 B= 0 DONE=1 Y= 15 ERROR=0
780 CLK=0 RST_N=1 START=0 A= 8 B= 0 DONE=0 Y= 0 ERROR=0	756 CLK=1 RST_N=1 START=1 A= 0 B= 0 DONE=1 Y= 15 ERROR=0

967 CLK=1 RST_N=1 START=1 A= 5 B=145 DONE=0 Y= 0 ERROR=0
968 CLK=1 RST_N=1 START=1 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1000 CLK=1 RST_N=1 START=1 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1007 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1020 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1040 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1060 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1080 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1100 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1123 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=1 Y= 0 ERROR=0
1125 CLK=1 RST_N=1 START=1 A= 5 B=145 DONE=1 Y= 5 ERROR=0
1140 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=1 Y= 5 ERROR=0
1160 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=1 Y= 5 ERROR=0
1163 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1170 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1200 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1220 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1240 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1260 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1280 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1300 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1320 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1340 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1360 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1380 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1400 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1420 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1440 CLK=1 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
1460 CLK=0 RST_N=1 START=0 A= 5 B=145 DONE=0 Y= 0 ERROR=0
>>> Latency: 20 cycles(s) <<<

Simulation complete via \$finish(1) at time 1487 NS + 0

### Synthesize nWave screenshot



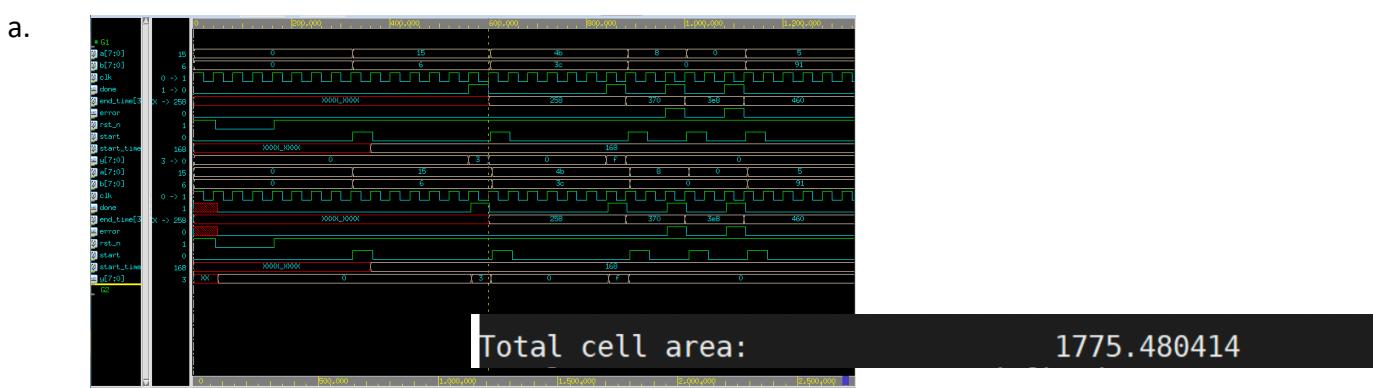
(以上圖片可能因為排版因素，拉得有點小，不過自己試過放大來看都解析度還行)

### 模擬與合成比較：

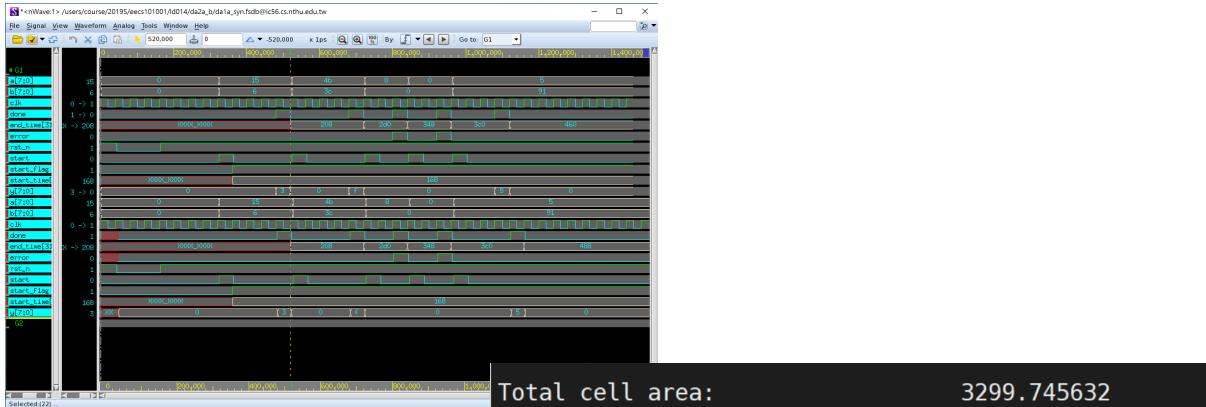
比較上圖的 area report 可以知道 mod 所花費的空間比 sub 多。

比較上圖的 nWave 也可知合成後的信號不像模擬得那麼切齊時脈。

(這邊分別放上比較圖)



b.



### 3. Summary

#### 一、結論：

從截圖的模擬 nwave 可以看出，比起用 `sub` 進行的運算，用 `mod` 的話能用更少的 cycle 算出答案。

#### 二、心得：

在寫 code 的過程中我發生很多錯誤，從一開始錯的超離譜到後來還是有點小錯，真乎很感謝中間給我指點的人。

（以下遇到的問題都純用敘述說明，當時遇到狀況時都急著改掉，沒截到圖）

最開始在寫 code 的時候，我沒有照著老師的模板走，把 `sequential` 和 `combinational` 混用，然後也是因為第一次寫這種思路要比較完整的 verilog code，其實我連 nWave 都看不懂，不知道要怎麼 debug，不過後來經過同學的幫助及詢問助教，還反覆看了老師的課程錄製，那片 04-1 的 verilog design 影片我看了四次以上，終於把完全不知該怎麼 debug 的 code 處理到可以被其他人看懂，並且能有跡可循的找到錯誤。之後試著自己把 nWave 訊號一個一個改了截圖放在一起比較，重於了解他到底在做什麼了！

雖然最後模擬的部分幾乎都做出來了，但合成的地方還是有些奇怪，而且我覺得比模擬更難 debug，雖然最終值還是有跑出來，但還是有些小問題，比如第二題的 timing violation，我認為可能是我設計的寫法不夠嚴謹，但訊號跟訊號之間牽一髮而動全身，如果整個砍掉重練恐怕沒有時間，中間也詢問過助教及同學，我覺得這次的作業真的讓我對於硬體實驗設計有爆炸性的增長，期待未來自我的能力能有所提升。