Ugrađeni Računarski Sistemi

Izvještaj o urađenom projektnom zadatku



Profesor: prof. Dr. Zlatko Bundalo Studenti: Marko Knežić

Asistent: Miladin Sandić Pavle Vignjević

# Uvod – Zadatak

Tekst zadatka:

Napisati C program koji očitava podatke sa tastature te ih prikazuje na 7SEG displejima dostupnim na DE1-SoC razvojnom okruženju. Po pritisku svakog od tastera, karakter se ispisuje na prvom dostupnom 7SEG displeju. Ukoliko su svi dostupni displeji popunjeni, vrši se šiftovanje za 1 mjesto te se novi karakter upisuje na dostupni 7SEG displej, i postupak se ponavlja za svaki novi uneseni karakter. Odabir smijera šiftovanja (desno/lijevo) treba da bude omogućen preko jednog od prekidača dostupnih na DE1-SoC razvojnom okruženju. Na DE1-SoC ploči treba prethodno biti podignut Linux OS. U izvještaju je potrebno priložiti postupak projektovanja, kao i opis korištenih komponenata iz IP kataloga.

# Realizacija

## Plan realizacije

Za rješenje zadatka potrebno je osposobiti DE1-SOC razvojnu ploču za rad(omogućiti rad sa OS-om sa SD kartice, omogućiti rad sedmosegmentnog displeja, omogućiti čitanje pozija prekidača), napraviti Linux/GNU sliku i upisati je na SD karticu, napisati C kod.

## Uvod

Cyclone V уређај је сyстем са једном матрицом на чипу (SoC – System on Chip) који се састоји од два различита дијела HPS (Hard Processor System) дијела и FPGA (Field Programmable Gate Array). HPS у основи саджи (MPU – Microprocessor Unit) микропроцесорску јединицу, контролере флеш меморије, подршку периферним уређајима, могућност уклањања грешака итд., док FPGA дио садржи FPGA fabric (унутрашња структура FPGA), управљачки блок , PCI Express контролере, чврсти меморијски контролер итд. HPS компонента хардвера треба дио софтвера који конфигурише различите могућности које пружа хардвер HPS-a. Ово значи да HPS компонента има мали отисак у FPGA унутрашњој структури, јер је његова једина сврха спојити софтверску и хардверску логику.

Како се Cyclone V SoC може користи у три различите конфигурације:

* FPGA
* HPS
* HPS & FPGA

за израду овог пројектног задатка је кориштена HPS & FPGA konfiguracija.

HPS-FPGA интерфејси пружају различите комуникацијске канале између HPS i FPGA fabric. HPS-FPGA интерфејси укључују:

* **FPGA‐to‐HPS bridge**
* **HPS‐to‐FPGA bridge**
* **Lightweight HPS‐to‐FPGA bridge**
* **FPGA manager interface**
* **Interrupts**
* **HPS debug interface**

Током израде пројектног задатка кориштен је **Lightweight HPS‐to‐FPGA bridge** интерфејс који чини магистрала са 32-битном фиксном ширином података и омогућава HPS-у да савлада трансакције „слејвова“ у FPGA fabric.

## Qsys систем

Циљ је да креирамо систем у којем HPS и FPGA могу да ураде неколико рачунања истовремено. Тачније желимо да имамо следеће могућности:

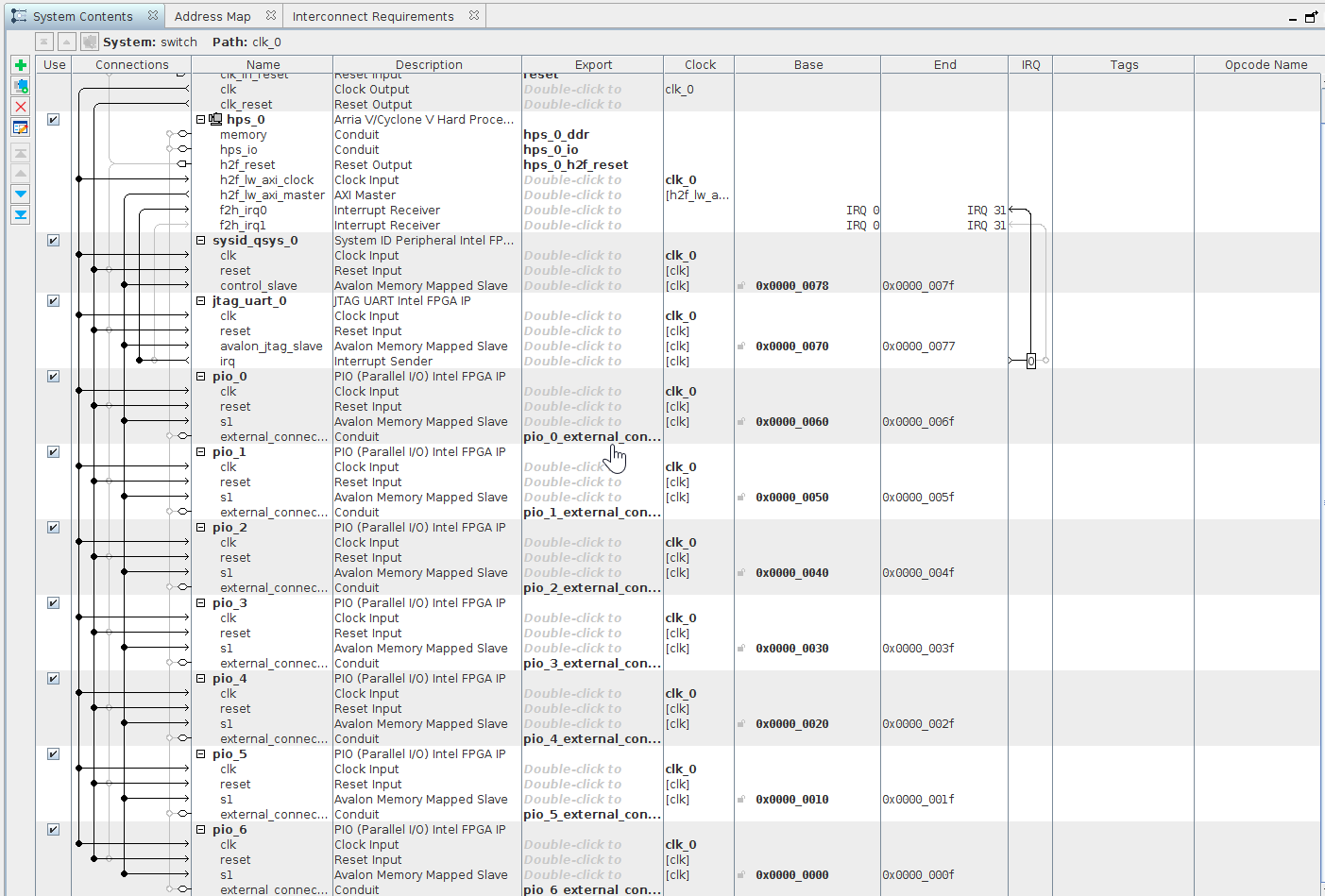
* HPS мора бити у могућности да користи један прекидач и шест 7-сегментних дисплеја повезаних на FPGA дио.
* HPS мора бити у могућности да користи ethernet порт на плочи
* HPS мора бити у могућности да користи micro SD card порт на плочи

Да би смо реализовали претходно наведене кораке користили смо софтвер **Quartus Prime Lite Edition 18.1**. Поред овог софтвера потребно је да имате сачуван и **ModelSim-Intel FPGA Edition као и Cyclone V device support (верзије 18.1) у истом директоријуму гдје се налази и** Quartus Prime Lite Edition 18.0. Додатно је потребно инсталирати и **SoC FPGA Embedded Development Suite (SoC EDS)** (верзија 18.1)(овај софтвер ће вам омогућити да имате приступ embedded\_command\_shell-у).

Све системске компоненте које су потребне HPS-у да би могао да покрене Линукс угрђени систем детаљно су описане у [Embedded Systems Using Quartus and Buildroot for building Embedded Linux Systems (De1‐SOC)]

Поред горе наведених системских компоненти додатно је потребно конфигурисати шест PIO (Parallel I/O) IP компоненти дужине од по 7 бита за мапирање на шест 7-сегментних дисплеја и једну IP компоненту дужине 1 бит за мапирање прекидача који ће нам омогућити да бирамо да ли ће се жељени испис на дисплејима помјерати у лијеву или десну страну (у конкретном случају мапирано је 10 бита тако да се сваки од могућих 10 прекидача може искористи за жељену намјену).

Сљедећа слика приказује Qsys систем (на кориштеној верзији Quartus-а назив је Platform Desgner) са компонентама које су кориштене.



## Generisanje img

## Provjera rada ploče

Po uspješnom boot-ovanju ploče sa Linux/GNU OS-om vršimo testiranje rada same ploče i definisanih potrebnih komponenti. Razvojnu ploču smo povezali USB kablom sa računarom koji na sebi ima pokrenut Linux/GNU OS i instaliran minicom komunikacioni program. Koristimo minicom -s za konfiguraciju serijske veze.

## C kod

# Ishod

# Zaključak

# Literatura