

5.4 หน่วยความจำชนิดสแตติคแรม (Static RAM: SRAM)

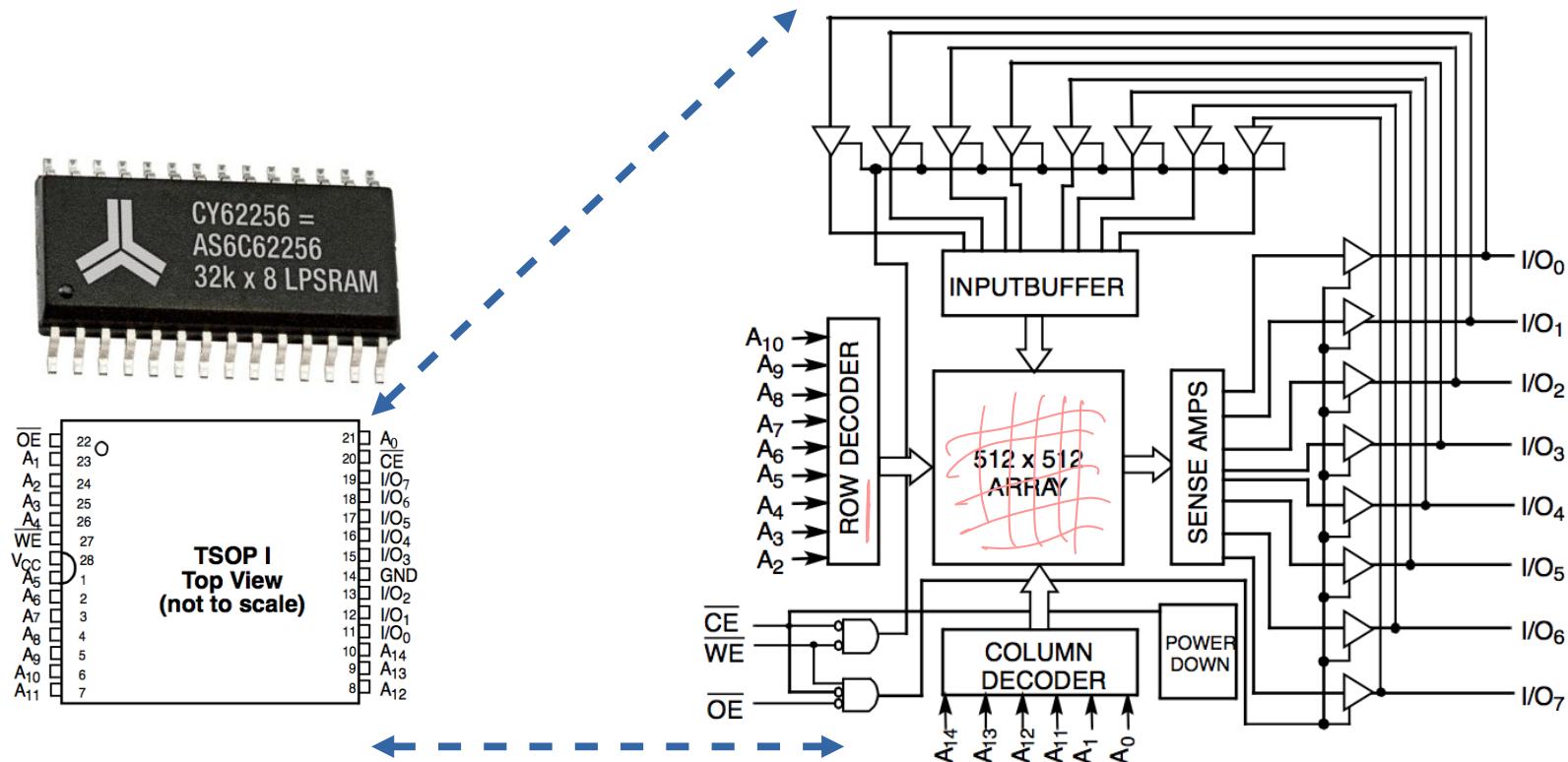
รายละเอียด Hardware (ฟังก์ชัน)

功用ต่าง DRAM / SRAM

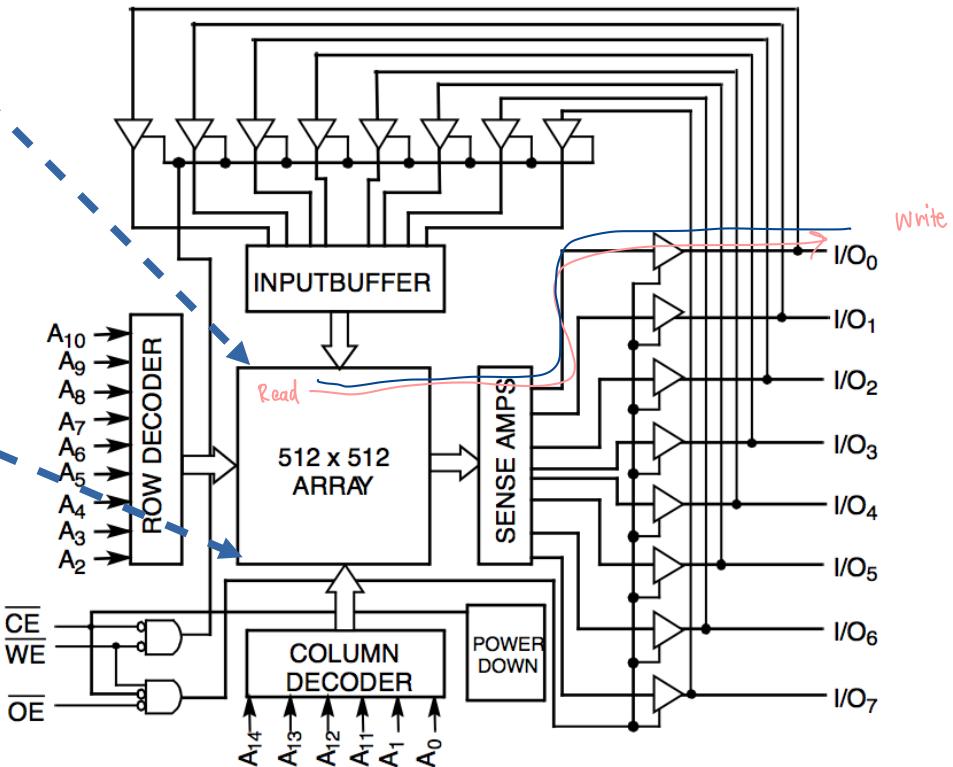
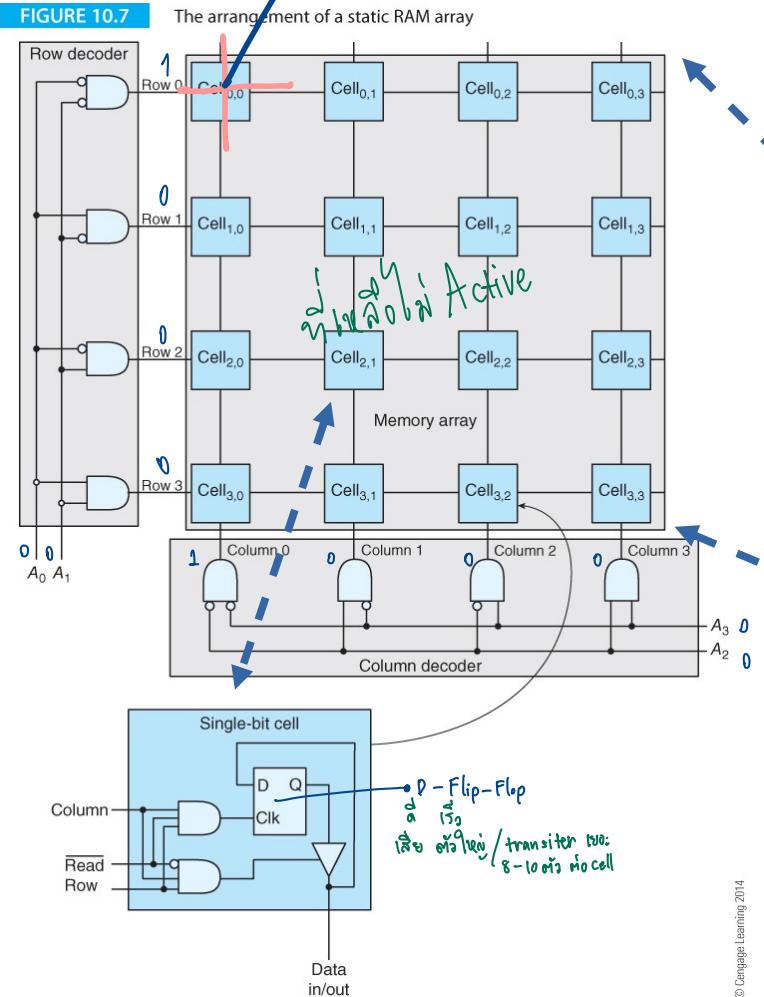
- รีจิสเตอร์ R0-R15 แคชลำดับที่ 1 และ 2 ในชิป BCM2837 สร้างจากหน่วยความจำสแตติคแรมซึ่งมีโครงสร้างที่ไม่ซับซ้อนและสามารถออกแบบให้ผลิตพร้อมกับวงจรทرانซิสเตอร์ในซีพียู นอกจากนี้ หน่วยความจำสแตติคแรมนี้ยังนิยมใช้งานเป็นหน่วยความจำหลักภายในชิปไมโครคอนโทรลเลอร์ ที่ต้องการสมรรถนะตั้งถึงปานกลางโดยมีความจุหลายขนาด ตั้งแต่ 16 กิกะไบต์ ถึงหลายเมบิไบต์
- หน่วยความจำสแตติคแรม (Static RAM: SRAM) หมายเลข CY62256 เป็นกรนีศึกษาชิป CY62256 ใช้เทคโนโลยีการผลิตชนิด CMOS ในปี ค.ศ. 2002
 - ใช้กับแหล่งจ่ายไฟตั้งแต่ 4.5 - 5.5 โวลท์
 - รองรับการทำงานความเร็วสูง เนื่องจากใช้เวลาเข้าถึงน้อยเท่ากับ 55 นาโนวินาที
 - ชิปบริโภคกำลังไฟน้อยโดยมีค่าสูงสุดเพียง 275 มิลลิวัตต์ ระหว่างปฏิบัติงาน
 - ชิปบริโภคกำลังไฟน้อยโดยมีค่าสูงสุดเพียง 28 มิลลิวัตต์ระหว่างไม่ทำงาน (Stand by)



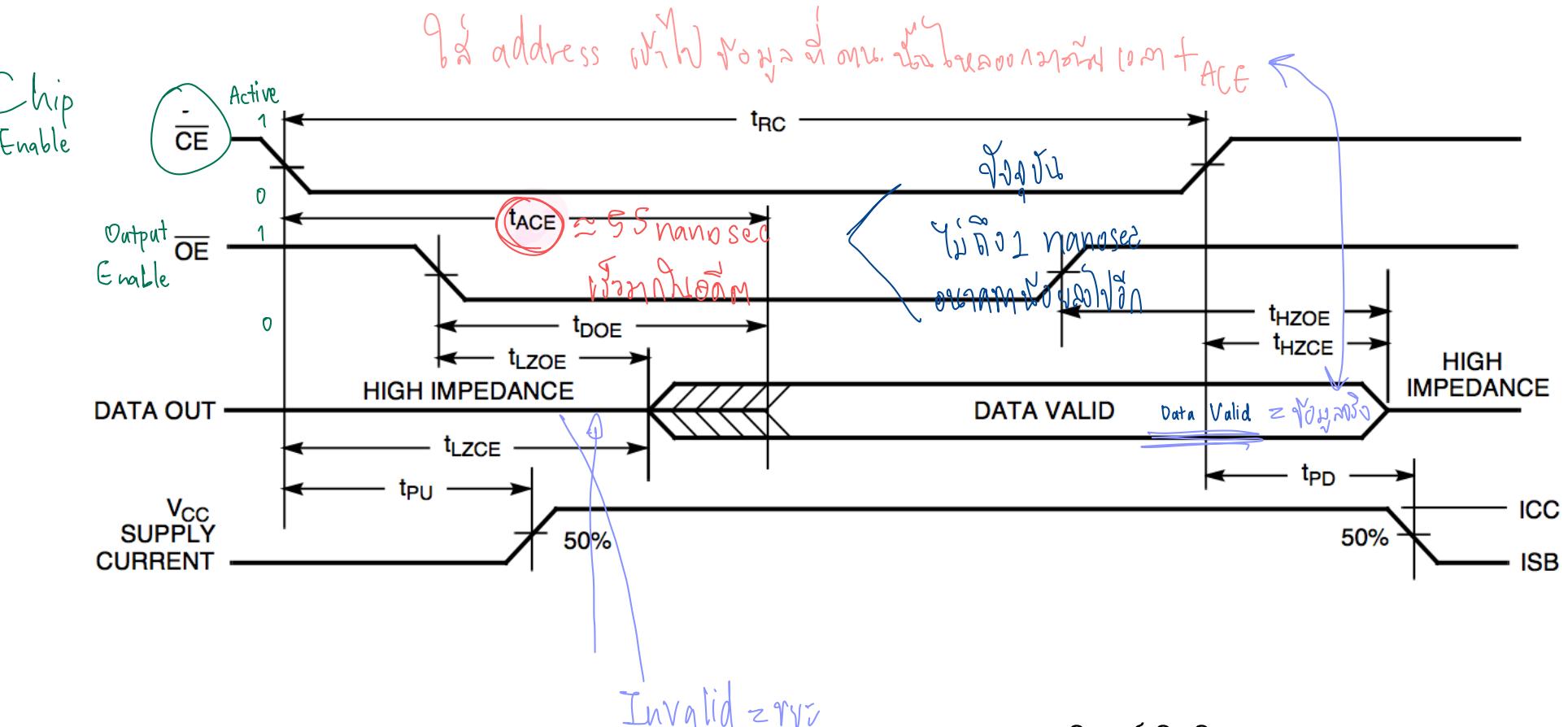
5.4 หน่วยความจำชนิดสแตติคแรม (Static RAM: SRAM)



5.4 หน่วยความจำชนิดสแตติคแรม (Static RAM: SRAM)



5.4 หน่วยความจำชั่วคราวแบบสเตติกแรม (Static RAM: SRAM): Read Cycle

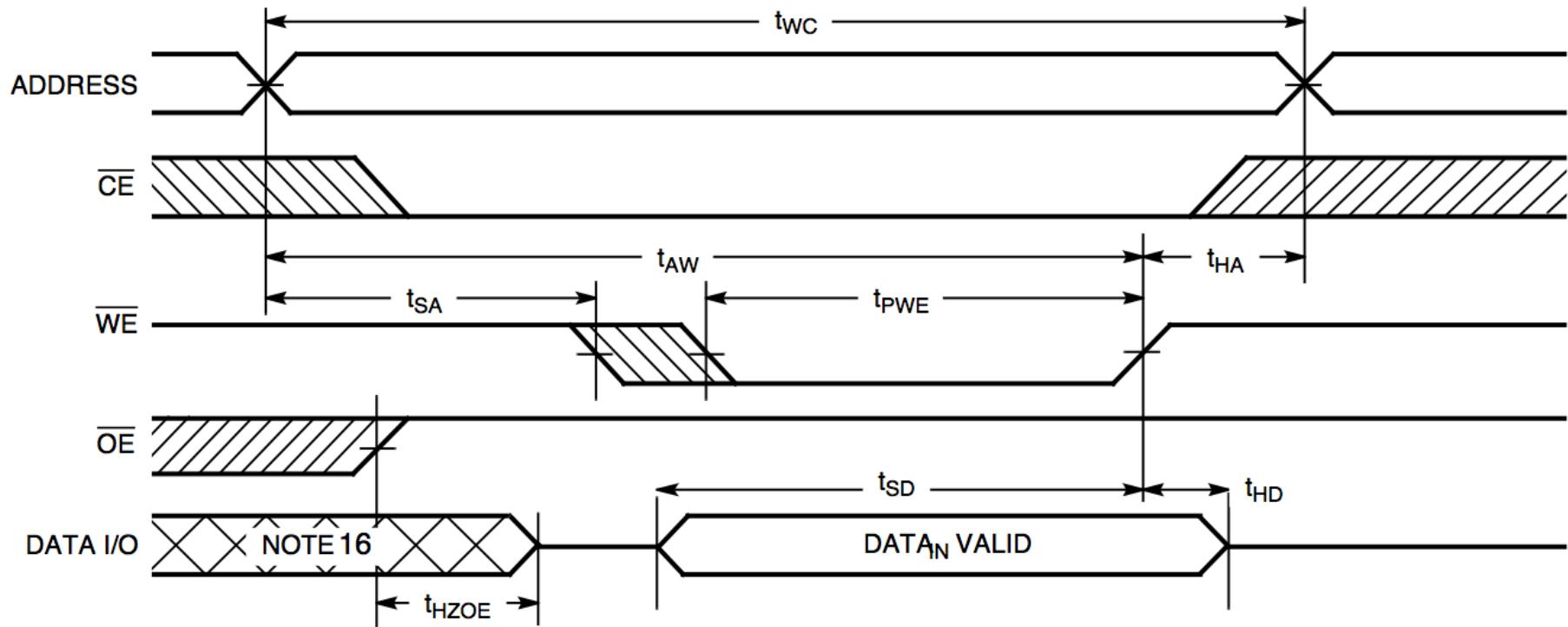


5.4 หน่วยความจำชนิด静态 RAM (Static RAM: SRAM): Read Cycle

- t_{ACE} เรียกว่า เวลาเข้าถึงข้อมูล หรือ Access Time โดยเริ่มนับจากเมื่อขาสัญญาณ \overline{CE} เปลี่ยนเป็น 0 จนข้อมูลที่ถูกต้องปรากฏ
- t_{RC} เรียกว่า คาบเวลาที่สั้นที่สุดในการอ่านข้อมูลจาก static RAM (Read Cycle Time) อย่างต่อเนื่อง โดย $t_{RC} > t_{ACE}$
- t_{HZOE} เรียกว่า เวลาที่ข้อมูลบนบัสข้อมูลยังถูกต้อง (Valid) เมื่อขาสัญญาณ \overline{OE} เปลี่ยนเป็น 1 แล้ว
- t_{HZCE} เรียกว่า เวลาที่ข้อมูลบนบัสข้อมูลยังถูกต้อง (Valid) เมื่อขาสัญญาณ \overline{CE} เปลี่ยนเป็น 1 แล้ว



5.4 หน่วยความจำชนิดสแตติคแรม (Static RAM: SRAM): Write Cycle



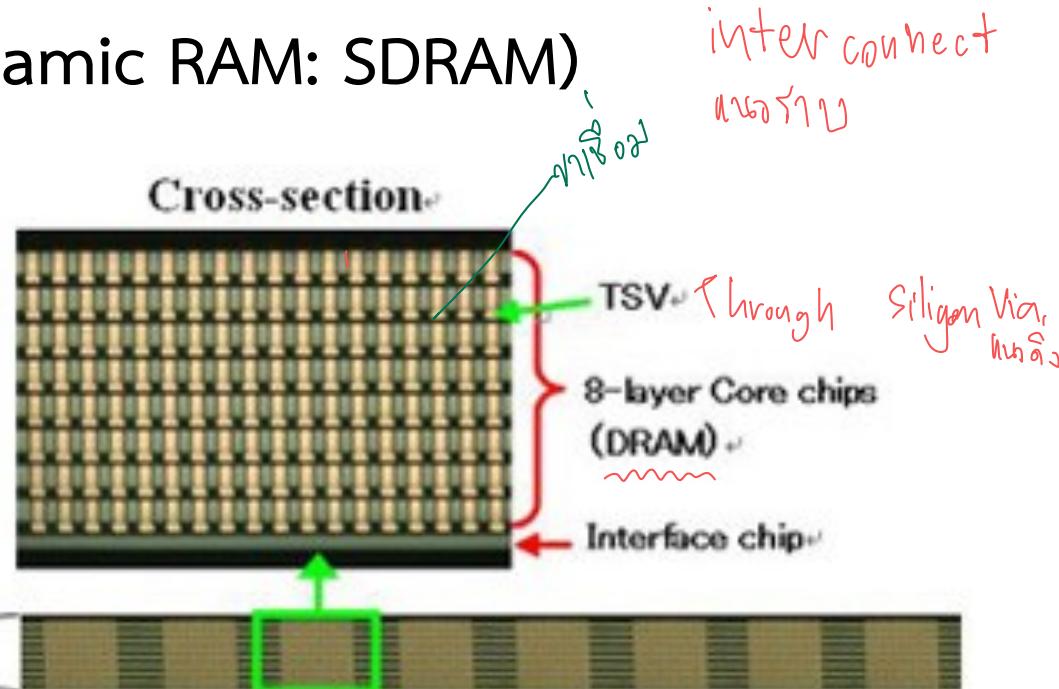
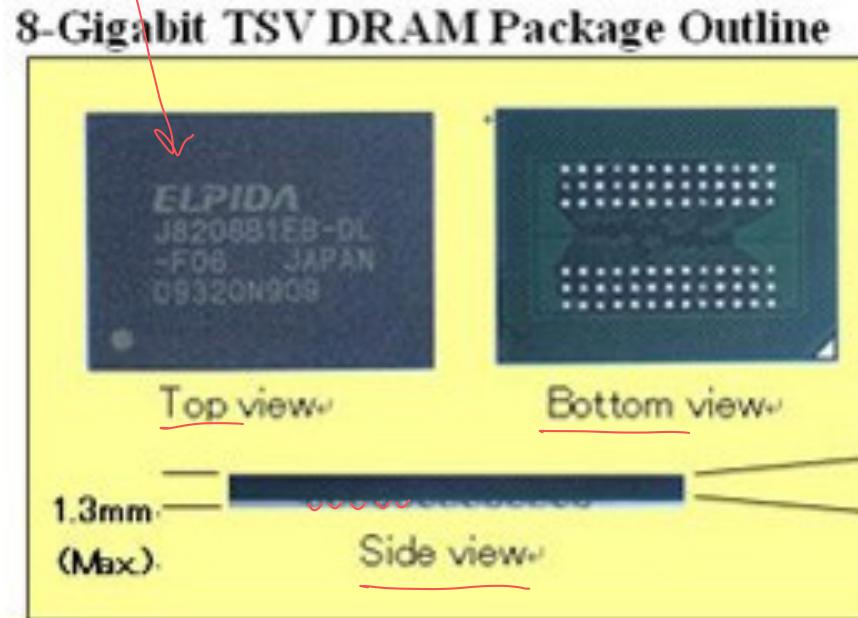
5.4 หน่วยความจำชนิดสแตติคแรม (Static RAM: SRAM): Write Cycle

- t_{SD} เรียกว่า เวลาที่จะตรึงข้อมูลไว้ (Data Stable Time) ก่อน Write Enable (\overline{WE}) เปลี่ยนเป็น 1
- t_{HD} เรียกว่า เวลาที่จะตรึงข้อมูลไว้ (Data Hold Time) เมื่อ Write Enable (\overline{WE}) = 1 แล้ว
- t_{WC} เรียกว่า คาบเวลาที่สั้นที่สุดในการเขียนข้อมูลในสแตติคแรม (Write Cycle Time) อย่างต่อเนื่อง
- t_{AW} เรียกว่า เวลาเข้าถึงสำหรับการเขียน (Access Write Time)

5.5 หน่วยความจำหลักชนิดไดนามิกแรม (Synchronous Dynamic RAM: SDRAM): DDR4 SDRAM 16GiB for PC & 4GiB & 8GiB for Notebook

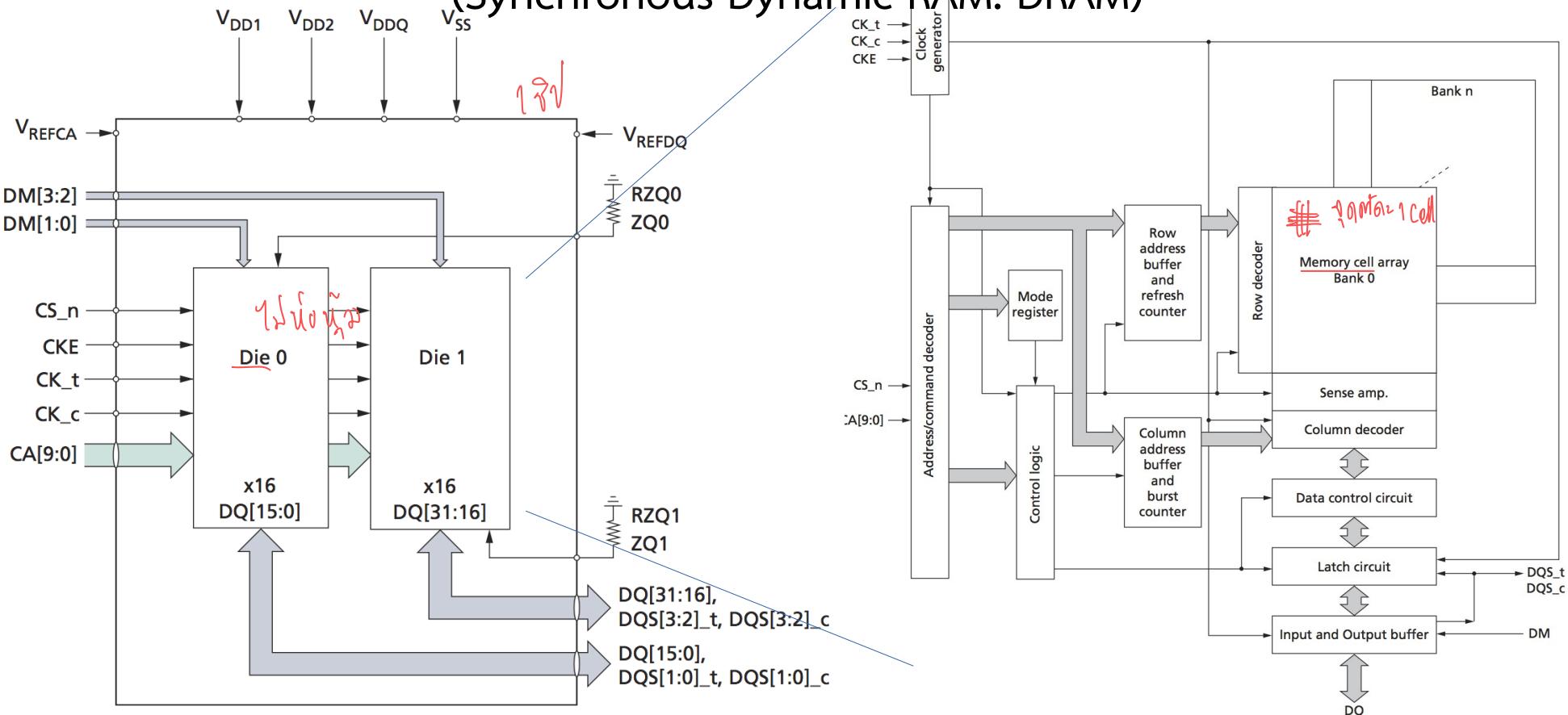


5.5 หน่วยความจำหลักชนิดซิงโครนัสไนดามิคแรม^{จุ๊บ} (Synchronous Dynamic RAM: SDRAM)



5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิกแรม

(Synchronous Dynamic RAM: DRAM)



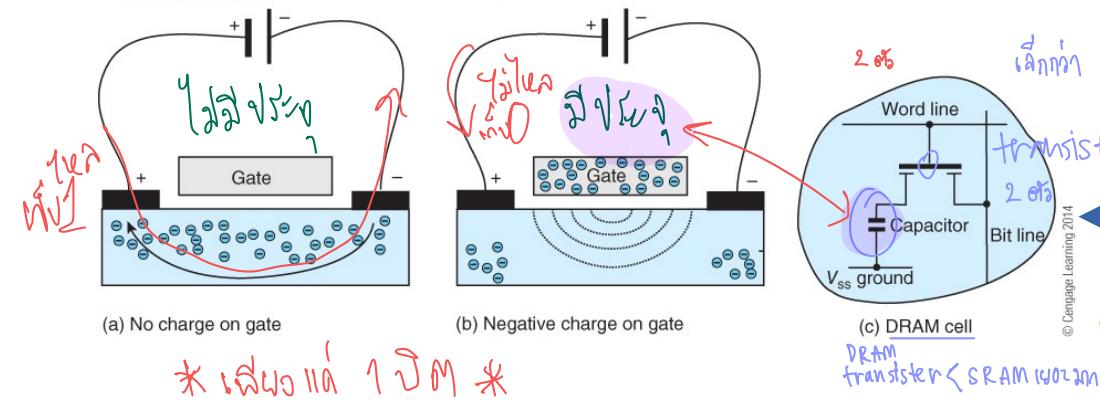
5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิกแรม (Synchronous Dynamic RAM: DRAM)

- โครงสร้างของหน่วยความจำชนิด DDR2 จำนวน 2 ดาย (die) แต่ละดายประกอบด้วย แผงอะเรย์ DRAM จำนวน 8 ชั้น หรือ 8 แบงค์ (Bank) ชั้นละ 32 เมกะเซลล์ \times 16 บิต คิดเป็น $2 \times 8 \times 32$ เมกะเซลล์ \times 16 บิต \times ต่อ 1 ชิพ หรือ $2^1 \times 2^3 \times 2^5 \times 2^{20} \times 2^4 = 2^{33} = 2^3 \times 2^{30} = 8 \text{ Gbits} = 1 \text{ GByte}$
- แบงค์ที่ 0 ถึง 7 แต่ละแบงค์ประกอบด้วยวงจรถอดรหัสแอดเดรส (Address Decoder) ในแนวนอน (Row Decoder) และแนวตั้ง (Column Decoder)

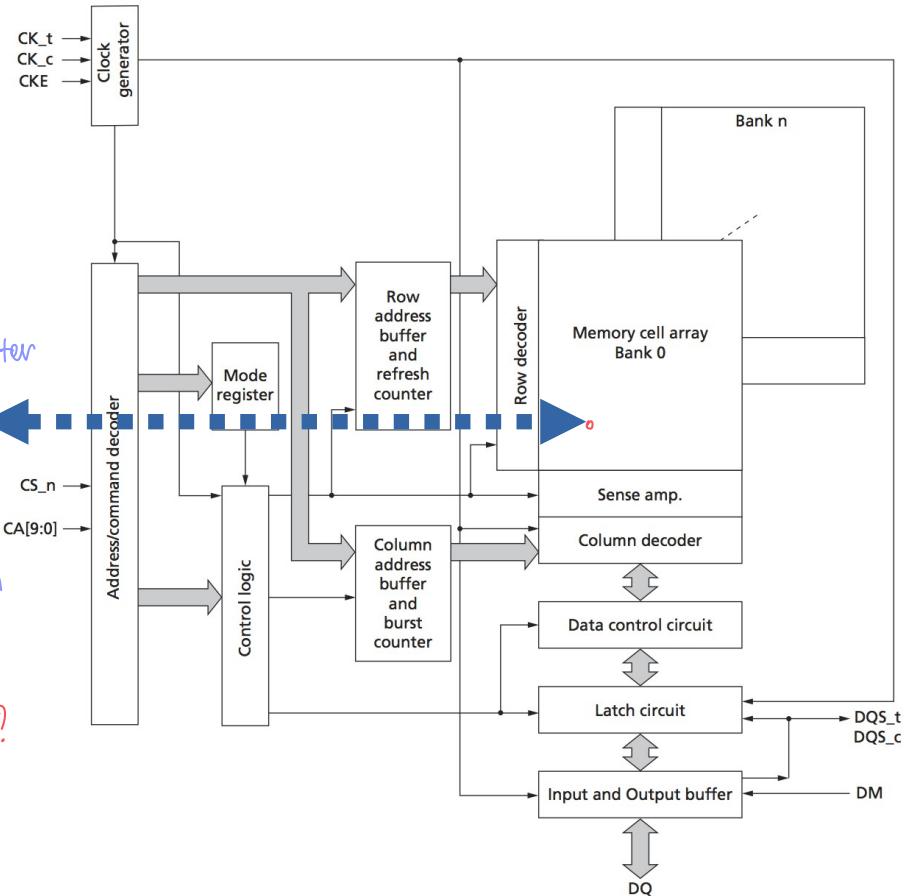
5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิกแรม

(Synchronous Dynamic RAM: DRAM): Memory Cell

FIGURE 10.16 The effect of a charged gate on electron flow



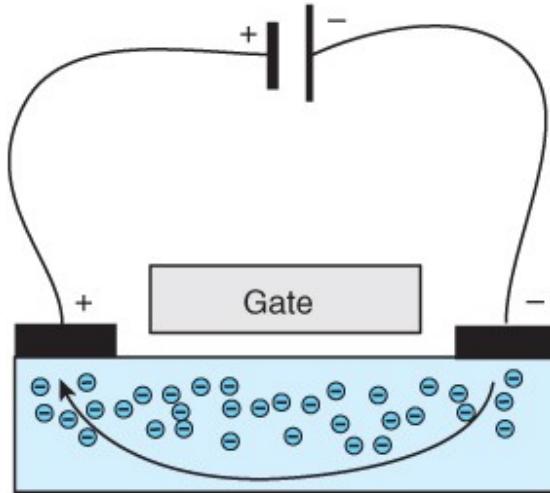
ไม่ต้องบันทึกข้อมูล S RAM ก็ได้



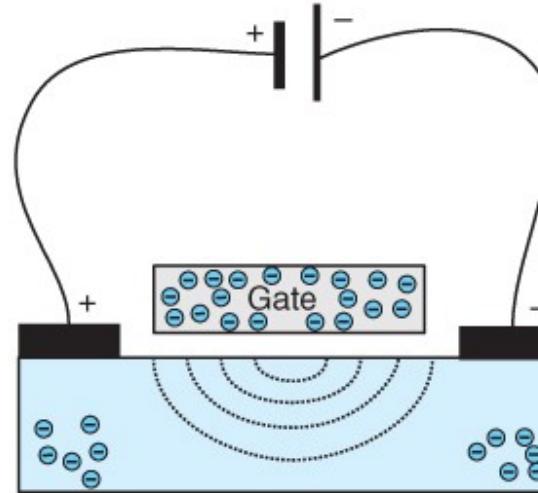
5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิกแรม^{(Synchronous Dynamic RAM: DRAM): Memory Cell}

FIGURE 10.16

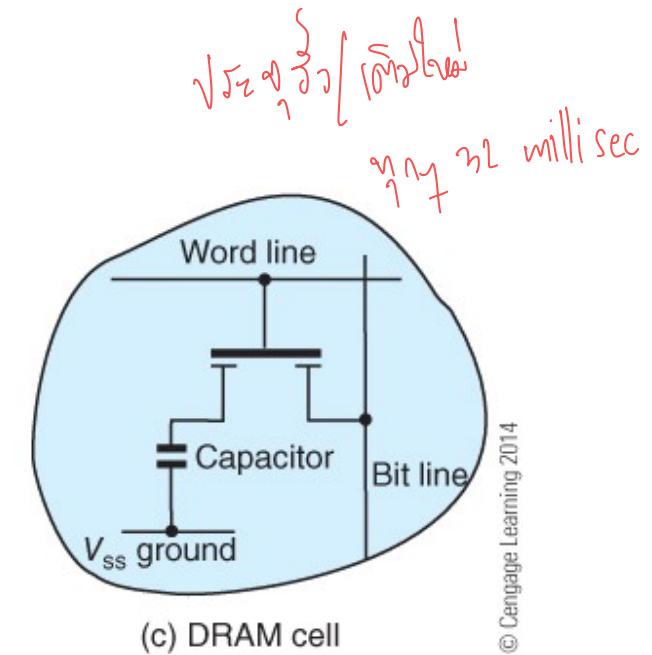
The effect of a charged gate on electron flow



(a) No charge on gate



(b) Negative charge on gate



(c) DRAM cell

© Cengage Learning 2014

5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิกแรม^(Synchronous Dynamic RAM: SDRAM)

แบ่งเป็น 0 ถึง 7 แต่ละแบ่งเป็นชิปประกอบด้วยวงจรลอกหัสแอดเดรส (Address Decoder) ในแนวอน (Row Decoder) และแนวตั้ง (Column Decoder) ภายในชิปประกอบด้วยขาสัญญาณต่างๆ เรียงตามลำดับความสำคัญ ดังนี้

- CS_n หรือ (Chip Select Not) หรือ \overline{CS} ใช้เปิด/ปิดการทำงานของชิป เพื่อช่วยประหยัดพลังงาน
- CKE (Clock Enable) เมื่อสัญญาณ $\overline{CS}=0$ เพื่อให้ชิปทำงาน หลังจากนั้น สัญญาณ CKE ใช้สำหรับเปิด/ปิดการทำงานของคล็อกที่จ่ายให้กับชิป DRAM นี้ ซึ่งมีความสามารถควบคุมสัญญาณ CKE=0 เพื่อพักรажใช้งาน DRAM ชั่วคราวเพื่อช่วยประหยัดพลังงาน
- CK (Clock) และ CK# (Clock Not) คือ สัญญาณคล็อกสองสัญญาณที่มีเฟส (Phase) หรือขั้วตรงข้ามกัน เรียกว่า คู่ดิฟเฟอเรนเชียล (Differential Pair) หน่วยเป็นเมกะเฮิร์ตซ์ สัญญาณคล็อกความถี่สูงสุด 400 เมกะเฮิร์ตซ์

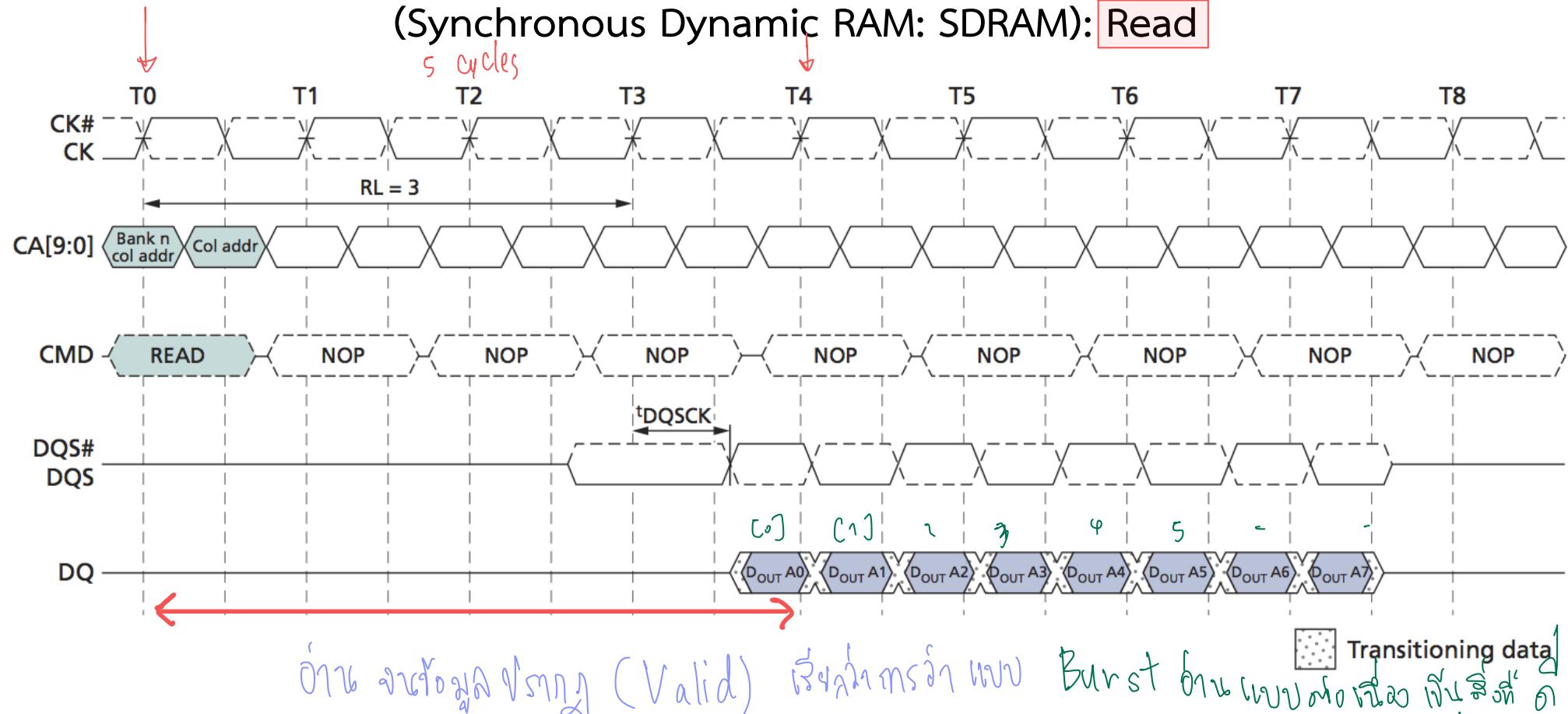
ชิป DDR4 ล่าสุดสำหรับคอมพิวเตอร์ตั้งโต๊ะความถี่สูงสุด มากกว่า 3,000 เมกะเฮิร์ตซ์ และมีแนวโน้มเพิ่มขึ้นตามเทคโนโลยีการผลิตที่พัฒนาอย่างต่อเนื่อง ผู้อ่านสามารถค้นคว้าเพิ่มเติมได้ที่ [wikipedia](#)

5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิกแรม (Synchronous Dynamic RAM: SDRAM)

- Command/Address CA[0:9] ขนาด 10 บิต ใช้มัลติเพล็กซ์ (Multiplex) สัญญาณคำสั่ง (Command) และแอดเดรส (Address) เพื่อรับคำสั่ง (Command) และสัญญาณแอดเดรส (Address) ต่างๆ ห่วงเวลาเดียวกัน
 - ชีพียุจะส่งคำสั่ง (Command) ต่างๆ ดังนี้ Activate, Burst Read, Burst Write, Refresh, Power Down, Precharge และ Burst Terminate เป็นต้น เพื่อกำหนดให้การทำงานของหน่วยความจำ DRAM ได้แก่ Power Up, Deep Power Down, Active, Idle, Reading, Writing, Precharging, Refreshing เป็นต้น
 - สัญญาณแอดเดรสแถว (Row Address) จำนวน 14 บิต และแอดเดรสคอลัมน์ (Column Address) จำนวน 11 บิต จะพากเก็บในวงจรบัฟเฟอร์ เพื่อป้อนให้กับวงจรดอร์หัส (Decoder) คล้ายกับการทำงานของหน่วยความจำ SRAM ในหัวข้อที่ [5.13 การรับสัญญาณแอดเดรสเกิดขึ้น ณ ขอบขาขึ้นและขอบขาลงของแต่ละสัญญาณคล็อก](#)

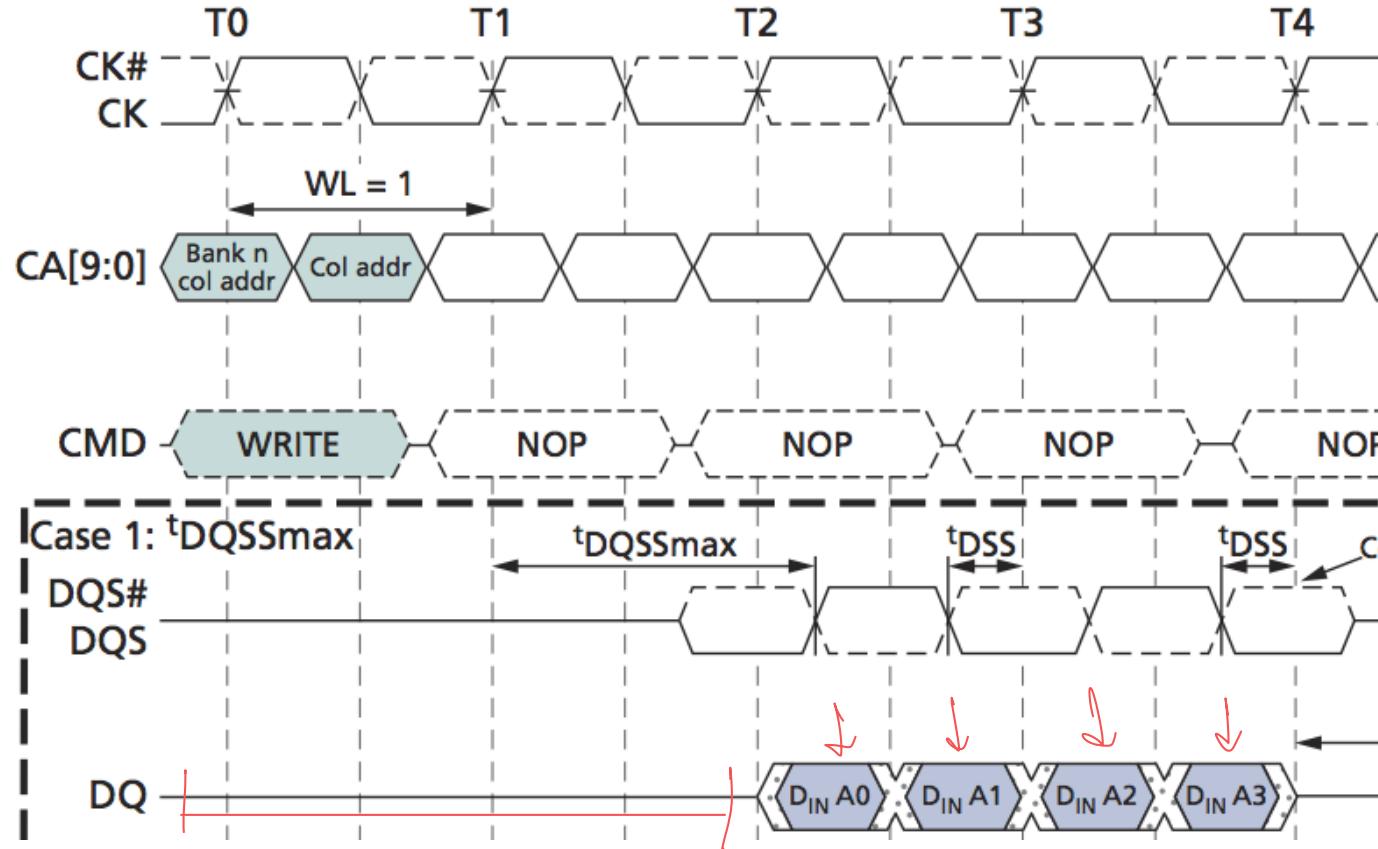
5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิกแรม

(Synchronous Dynamic RAM: SDRAM): Read



5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิกแรม

(Synchronous Dynamic RAM: SDRAM): Write



5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิกแรม^(Synchronous Dynamic RAM: SDRAM)

- ผู้ผลิตเครื่องคอมพิวเตอร์โน้ตบุ๊ค โทรศัพท์เคลื่อนที่สมาร์ทโฟน และอุปกรณ์พกพาต่างนิยมออกแบบติดตั้งชิพหน่วยความจำ DRAM บนเมนบอร์ด (Main Board) เช่นเดียวกับบอร์ด Pi3 เพื่อลดขนาดและปริมาตรของเครื่องให้มีขนาดเท่ากับบอร์ดเครดิต
- ข่าวการผลิต DRAM ยังไม่สามารถรวมกับข่าวการผลิตไมโครโปรเซสเซอร์ได้ ผู้ผลิตจึงจำเป็นต้องผลิตชิพ DRAM เแยกต่างหาก
- ความถี่ของคลีอก ความจุ (กิบีไบท์) ต่อชิพเพิ่มสูงขึ้นเรื่อยๆ การระบายน้ำร้อนออกจากชิพ DRAM จึงมีความยากและท้าทายเพิ่มขึ้น

5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิกแรม

ศูนย์ = เต็มบูรณา

(Synchronous Dynamic RAM: SDRAM): Refresh

จุดที่ ๔

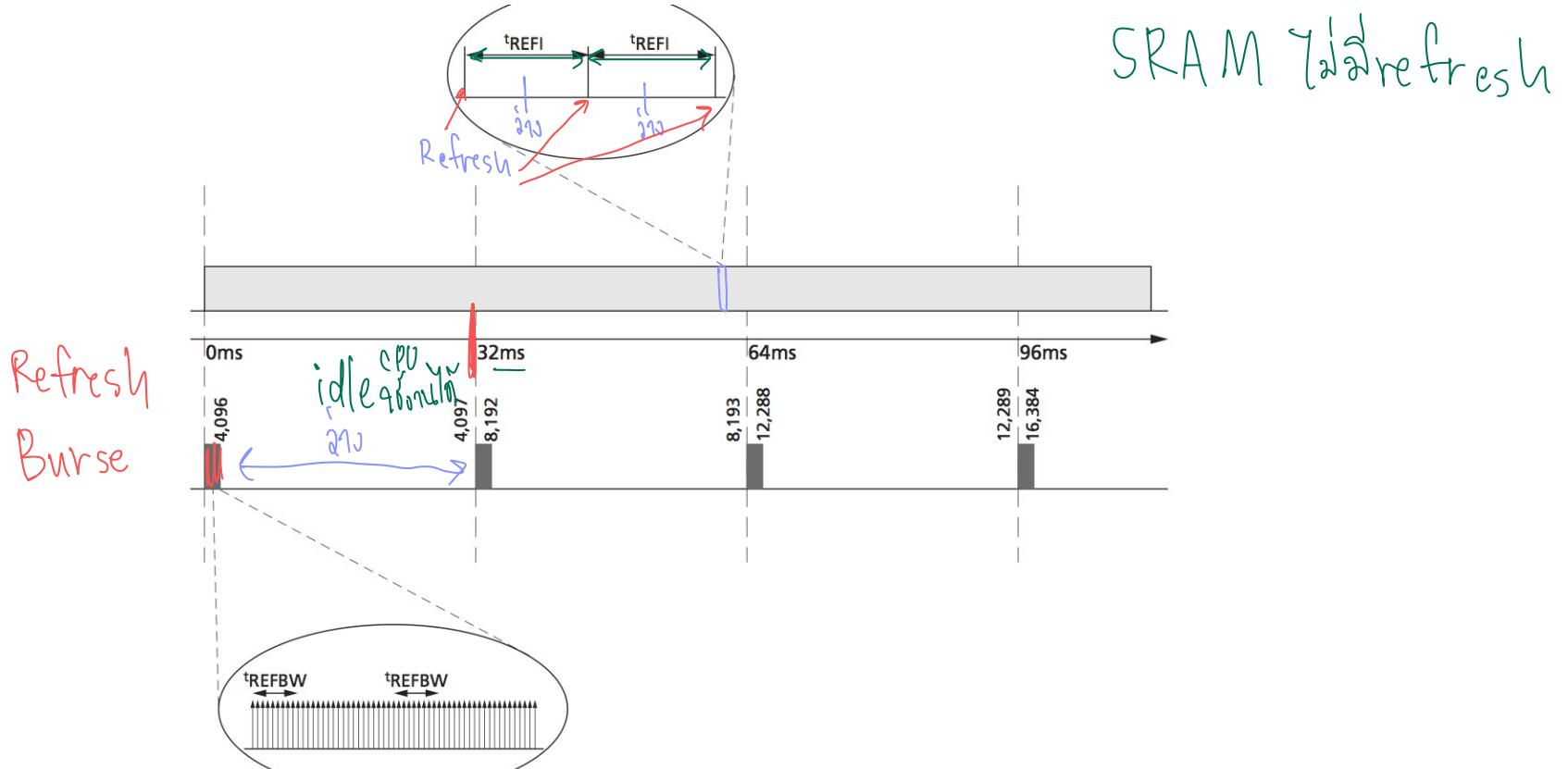
การรีเฟรช (Refresh) คือ การอ่านข้อมูลที่อยู่ในบิทเซลล์ต่างๆ และเขียนข้อมูลเดิม เพื่อป้องกันไม่ให้ประจุที่เก็บอยู่ในบิทเซลล์ต่างๆ รั่วไหลหายไป เนื่องจากเซลล์ต่างๆ ที่ใช้เก็บข้อมูล ทำหน้าที่มี ('1') หรือไม่มี ('0') ประจุไฟฟ้า สำหรับบิทเซลล์ที่มีประจุ จะเหล่านี้อาจรั่วไหลหายไปเมื่อเวลาผ่านไปไม่กี่มิลลิวินาที เมื่อจำนวนประจุลดลง ทำให้การแยกแยะระหว่างบิทเซลล์ที่มีและไม่มีประจุยากขึ้น และอาจทำให้ตัวความไม่ถูกต้องและเกิดข้อผิดพลาดในการอ่านข้อมูล

วงจรควบคุมจะส่งคำสั่งรีเฟรชทุกๆ 32 มิลลิวินาที หากมีการรีเฟรชดำเนินการอยู่ การอ่านหรือเขียนหน่วยความจำจะต้องหยุดรอ เพื่อให้กระบวนการรีเฟรชนั้นเสร็จสิ้น ในทำงานองเดียวกัน หากมีการอ่านหรือเขียนข้อมูลจริงอยู่ การรีเฟรชจะต้องหยุดรอ ก่อน เพื่อให้กระบวนการอ่านหรือเขียนนั้นเสร็จสิ้น

หน่วยความจำสแตติคแรมไม่ต้องมีการรีเฟรชข้อมูล เนื่องจากการจัดเก็บข้อมูลใช้วิธีการเก็บข้อมูลที่แตกต่างกับหน่วยความจำ DRAM ทำให้ SRAM มีสมรรถนะและประสิทธิภาพสูงกว่า แต่ต้องใช้จำนวนทรานซิสเตอร์ต่อบิทเซลล์มากกว่า จึงทำให้ใช้พื้นที่บนแผ่นซิลิคอนต่อความจุข้อมูล 1 บิทใหญ่กว่าเซ็นเซอร์ ผู้อ่านสามารถค้นคว้าเพิ่มเติมได้ที่ [wikipedia](#)

5.5 หน่วยความจำหลักชนิดซิงโครนัสไดนามิกแรม

(Synchronous Dynamic RAM: SDRAM): Refresh



สรุปท้ายบท

หน่วยความจำลำดับชั้นอาศัยเทคโนโลยีหน่วยความจำหลายชนิด หลายขนาดความจุเข้าด้วยกัน ยกตัวอย่าง เช่น

- เทคโนโลยี SRAM เป็นหน่วยความจำขนาดเล็กแต่เวลาเข้าถึงสั้น นำมาใช้งานเป็น Register และ Cache L₁, L₂, L₃ TLB ลำดับต่างๆ
- เทคโนโลยี SDRAM เป็นหน่วยความจำความจุมากกว่าแต่เวลาเข้าถึงนานกว่า SRAM นำมาใช้งานเป็น หน่วยความจำหลัก Main Memory
- เทคโนโลยีหน่วยความจำแฟลช เป็นหน่วยความจำความจุมากกว่าแต่เวลาเข้าถึงนานกว่า SDRAM นำมาใช้งานเป็นอุปกรณ์เก็บรักษาข้อมูล รายละเอียดเพิ่มเติมในบทที่ 7 จั่งหวัดในเมือง

เพื่อให้คอมพิวเตอร์มีความจุเพียงพอและตอบสนองต่อความต้องการใช้งานระบบโดยเฉลี่ยได้รวดเร็วขึ้น โดยการผ่านจุดเด่นของหน่วยความจำแต่ละชนิดเข้าด้วยกัน และช่วยประยุกต์ต้นทุนของระบบ หัวใจแห่ง

References

- https://www.researchgate.net/figure/Block-Diagram-of-Micro-SD-card_fig6_306236972
- <https://gabrieletolomei.wordpress.com/miscellanea/operating-systems/in-memory-layout/>
- <https://freedompenguin.com/articles/how-to/learning-the-linux-file-system>
- <https://www.techpowerup.com/174709/arm-launches-cortex-a50-series-the-worlds-most-energy-efficient-64-bit-processors>
- https://www.researchgate.net/figure/NVIDIA-Tegra-2-mobile-processor-11_fig1_221634532
- Harris, D. and S. Harris (2013). Digital Design and Computer Architecture (1st ed.). USA: Morgan Kauffman Publishing.
- <https://learn.adafruit.com/resizing-raspberry-pi-boot-partition/edit-partitions>