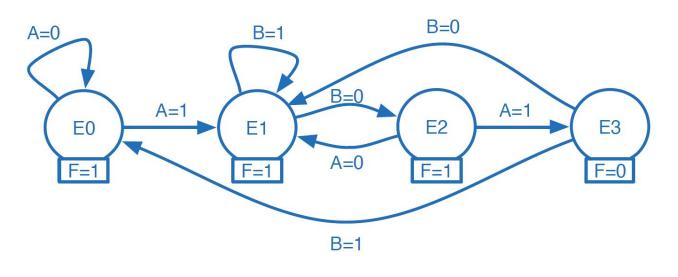
Preparatório para Exercício 3 Circuitos Sequenciais: Projeto FSM

Tarefa: Implementar a FSM em VHDL e testar no emulador online conforme o diagrama de estados:



Para obter o circuito desejado use a abordagem de resolução de projeto FSM aprendida nas aulas teóricas:

- 1) Codificar os estados;
- 2) Montar a tabela de transição de estados;
- **3)** Projetar a lógica combinacional (lógica do próximo estado e saídas);

Para implementação prática:

- 4) Escolher o registrador apropriado;
- 5) Descrever os componentes em VHDL (bloco combinacional e registrador);
- 6) Integrar os componentes através de um arquivo de topo;
- 7) Associar entradas e saídas;

OBS: Para testar o circuito no emulador, pode substituir o clock por um sinal de entrada como botão (KEY), ou usar CLK_1 (alterar o mapper para usar clk_1hz)

Dica: utilize os leds para visualizar a saída F, os estados atuais (q) e seguintes (Q) e conferir o funcionamento do circuito.

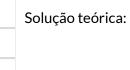
Lógica
Combinacional

Estado m

Registrador
(m bits)

Próximo Estado

Nos slides seguintes está o gabarito da parte teórica (que também será cobrada no exercício):



Codificação estados

Estado atual (EA)=q1q0
Proximo Estado (PE)=Q1Q0

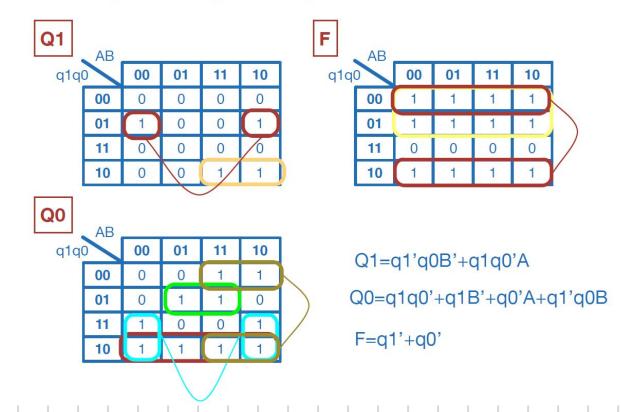
EA	q1	q0
E0	0	0
E1	0	1
E2	1	0
E3	1	1

Posso usar também a nomenclatura s e n Aqui usei q para estado atual e Q para próximo estado



Solução teórica:

Obtenção da lógica do próximo estado e saída F



Solução teórica:

Desenho do circuito

