

Universidade Federal de Santa Catarina  
EEL51015: Técnicas e Circuitos Digitais  
Semestre: 2022/2 - EXERCÍCIO 1a

## Circuito Multi-Função

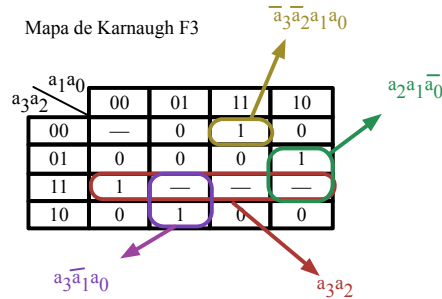
Sendo  $A = \{a_3a_2a_1a_0\}$  uma entrada de 4 bits que permite um número inteiro pertencente ao intervalo  $[1; 12]$ , deseja-se projetar um circuito lógico com quatro saídas,  $F3$ ,  $F2$ ,  $F1$  e  $F0$ , que sigam as seguintes regras:

- $F3$  forneça um '1' lógico quando  $A$  é um múltiplo de 3;
- $F2$  forneça um '1' lógico quando  $A$  é um número par;
- $F1$  forneça um '1' lógico quando  $A$  é maior que 5;
- $F0$  forneça um '1' lógico quando  $A$  é um número primo.

As saídas são '0' no resto do intervalo de  $A$ . A continuação é mostrada a tabela de verdade para o circuito proposto:

Entrada $A$					Saídas			
$A_{(10)}$	$a_3$	$a_2$	$a_1$	$a_0$	$F3$	$F2$	$F1$	$F0$
0	0	0	0	0	—	—	—	—
1	0	0	0	1	0	0	0	0
2	0	0	1	0	0	1	0	1
3	0	0	1	1	1	0	0	1
4	0	1	0	0	0	1	0	0
5	0	1	0	1	0	0	0	1
6	0	1	1	0	1	1	1	0
7	0	1	1	1	0	0	1	1
8	1	0	0	0	0	1	1	0
9	1	0	0	1	1	0	1	0
10	1	0	1	0	0	1	1	0
11	1	0	1	1	0	0	1	1
12	1	1	0	0	1	1	1	0
13	1	1	0	1	—	—	—	—
14	1	1	1	0	—	—	—	—
15	1	1	1	1	—	—	—	—

A seguir é apresentado o mapa de Karnaugh para  $F3$  e os agrupamentos para a obtenção da função lógica mais simples possível.



$$F3 = \overline{a_3} \overline{a_2} a_1 a_0 + a_2 a_1 \overline{a_0} + a_3 \overline{a_1} a_0 + a_3 a_2$$

$$F2 =$$

$$F1 =$$

$$F0 =$$

1. Com o objetivo de realizar esse projeto, obtenha numa folha em branco os mapas de Karnaugh associados aos bits de saída  $F2$ ,  $F1$  e  $F0$  e, a partir deles, obtenha a função lógica mais simples possível indicando os agrupamentos no mapa e entregar ao professor. **[3.9 pontos]**.
2. Implementar o circuito no Quartus usando VHDL e verificar o funcionamento em simulação usando Modelsim para o intervalo de  $A$  entre 1 e 12. Pode usar o modelo *circuito\_multi.vhd* disponível no Moodle e preencher as equações lógicas obtidas para  $F2$ ,  $F1$ ,  $F0$ . Mostre a simulação junto com o arquivo VHDL *circuito\_multi* preenchido ao professor. **[3 pontos]**.
3. Implementar o circuito na FPGA e verificar o funcionamento para o intervalo de  $A$  entre 1 e 12. Para a emulação troque  $A(3 \dots 0)$  pelos Switches  $SW(3 \dots 0)$ , e  $F3$ ,  $F2$ ,  $F1$  e  $F0$  por  $LEDR(3)$ ,  $LEDR(2)$ ,  $LEDR(1)$  e  $LEDR(0)$ , respectivamente. Troque a entidade do arquivo para *usertop* (pode usar o modelo dado). Mostre ao professor o funcionamento na placa e o VHDL *usertop* preenchido. **[3.1 pontos]**.