

西安交通大学考试题 A 卷

成绩

课 程 计算机组成原理 A

系 别 _____

考 试 日 期 2013 年 1 月 18 日

专业班号 _____

姓 名 _____

学 号 _____ 期中 期末

一、多选一填空：（答案请直接填在空中）（10 分）

1、某机指令字长 20 位，每个操作数的地址码为 8 位，指令分别为零地址、一地址和二地址 3 种格式。分别采用定长操作码和变长操作码方案时，二地址指令的最多条数是_____。

- A.14 条，15 条
- B.15 条，16 条
- C.16 条，15 条
- D.15 条，14 条

2、下列有关存储系统的叙述中，错误的是_____。

- A.Cache-主存之间的信息调度功能全部由硬件技术实现
- B.主存-辅存层次的主要作用是为程序员提供交大的访存空间
- C.Cache-主存层次在提高 CPU 访存速度的同时增加了存储器的容量
- D.主存-辅存之间的信息调度功能通过软硬件结合的技术实现

3、用 $64K \times 1$ 位的 DRAM 芯片构成 $1M \times 16$ 位的主存储器，芯片内部存储元排列成正方形整列，其刷新最大时间间隔为 4ms。则采用异步刷新时，两次刷新操作的最大时间间隔为_____。

- A. $18\mu s$
- B. $17\mu s$
- C. $16\mu s$
- D. $15\mu s$

4、某 CRT 显示器，采用逐行光栅扫描方式，其帧频为 50Hz，行频为 30KHz，点频为 24MHz，那么该显示器的分辨率为_____。

- A. 800×600
- B. 1024×728
- C. 1024×1024
- D. 1280×720

5、假设磁盘采用 DMA 方式与主机交换信息，其数据传输率为 8Mbps，平均传输的数据块长度为 4KB，若忽略预处理时间，则该磁盘机向 CPU 发出中断请求的间隔时间最少是_____。

- A. 500 μ s
- B. 512 μ s
- C. 4000 μ s
- D. 4096 μ s

6、假设某计算机的时钟频率为 20MHz，其系统总线可并行传输 4 字节信息，一个总线周期占用 2 个时钟周期，则总线带宽是_____。

- A. 10MBps
- B. 20MBps
- C. 30MBps
- D. 40MBps

7、在下列叙述中，可以提高乘法运算速度的方法是_____。

- I、先行进位加法
- II、补码减法
- III、阵列乘法

- IV、多为乘法
- V、阵列除法

- A. 全部可以
- B. 仅 I、III、IV
- C. 仅 I 和 III
- D. 仅 III 和 IV

8、下列关于 RISC 机的描述中，不正确的是_____。

- A. 指令种类少，格式和寻址方式比较规整
- B. 通常采用优化编译技术
- C. 通常采用微程序技术实现控制单元
- D. 采用了流水线技术

9、设某计算机的 CPU 主频为 10MHz，每条指令的指令周期平均有 5 个时钟周期，则该机的平均指令执行速度是_____。

- A. 1MIPS
- B. 2MIPS
- C. 4MIPS
- D. 8MIPS

10、下列有关微指令和微程序的描述中，不正确的是_____。

- A. 每条微指令中都包含顺序控制字段
- B. 微程序解释执行机器指令
- C. 微程序存放在 CPU 中
- D. 执行一条微指令可以发出多条微命令

二、简答题：（每小题 5 分，共 15 分）

1、设磁盘存储器有 6 个记录扇面，共有 100 道题，分 8 个扇区，每扇区存储 1K 字节，转速为 7200 转/分，则该扇面存储器的总容量是多少字节？数据传输率是多少（Bps）？平均等待时间又是多少？

2、请列出补码一位乘比较法中每部部分积运算的运算规则表，并分析移位次数、运算次数等规则。

3、在微指令格式设计中，微地址的形成方法有哪几种？请简述它们获得后继微地址的方法。假设某机有 100 条指令，平均每条指令由 5 条伪指令编制的微程序实现，其中有一条取指伪指令是所有指令公用的。已知微指令长度为 32 位，则控制存储器容量至少需要多大？

三、指令系统设计：（15 分）

某 32 位计算机，CPU 中有 32 个通用寄存器，主存容量为 4GB。指令字节等于机器字长，若该机指令系统可完成 138 种操作，操作码位数固定，且具有立即寻址、直接寻址、间接寻址、寄存器间接寻址、变址寻址（通用寄存器作为变址寄存器）、基址寻址（通用寄存器作为基址寄存器）和相对寻址 7 种方式。

试回答：（要求：答案中数据用 2 的幂形式表示）

- (1) 画出一地址指令格式，并指出各字段的位数及作用；
- (2) 直接寻址的最大范围；
- (3) 变址寻址的范围；
- (4) 基址寻址的位移量范围；
- (5) 相对寻址的位移量范围。

四、主存设计：（15 分）

在某计算机中，主存储器可配置的最大容量为 16MB，其中，最低 1MB 为 ROM 区域，由 $1M \times 4$ 位 EPROM 芯片组成，其余空间全部为 RAM 区域，由 $1M \times 8$ 位 SRAM 芯片组成，某用户在购买该计算机时仅配置了 8MB 的主存，使用一年后该用户欲将其主存容量提升至最大

请问：

(1) 假设该计算机采用单总线结构，那么，在其系统总线中数据线和地址线分别最少是多少位？

(2) 若系统总线中有 R/W (读/写) 和 $MREQ$ (访存) 控制信号，请按照该用户初始购买计算机时主存配置情况，画出主存的原理性组成逻辑图，并通过系统总线与 CPU 相连。

(3) 用户在提升计算机时，通过购买内存条来扩充主存容量，若市场上有如下几款内存条： $2M \times 8$ 位、 $4M \times 8$ 位、 $8M \times 16$ 位和 $16M \times 16$ 位，请问该用户用该如何选择？

五、中断系统：(15分)

设某机有 A、B、C、D 四级中断，并支持多重中断，其中断响应优先级按降序排列为：D→C→B→A，若要将中断处理优先级改为：A→B→C→D，试问：

1、若中断屏蔽字的每一位对应一级中断，该位为“0”表示允许该级中断，该位为“1”表示屏蔽该级中断，则要实现上述中断处理优先次序，各级中断处理程序的中断屏蔽字应如何设置（请将答案直接填入下表中）

中断处理程序	中断屏蔽字			
	A 级	B 级	C 级	D 级
A 级中断处理程序				
B 级中断处理程序				
C 级中断处理程序				
D 级中断处理程序				

2、若设中断服务程序的执行时间为 $8\mu s$ (其中保存现场、开中断等额外开销需 $3\mu s$)，CPU 平均指令周期为 $1\mu s$ ，CPU 响应中断的延迟时间忽略不计，现行程序的中断屏蔽字为 $0000B$ ，请根据下图所示时间轴给出中断请求时刻，完场上述中断处理优先级所对应的 CPU 执行程序的轨迹。
(答案请直接画在下图中)

六、数据表示与运算：(15分)

假定在一个8位字长的计算机中，定点整数用单字长表示，其中带符号整数用补码表示（符号占1位）；浮点数用双字长表示，阶码为8位移码（包括位符号位），尾数用8位原码（包括1位符号位）。运行如下类C程序段：int x1=-124;

```
int x2=116;  
unsigned int y1=x1;  
float f1=x1;int z1=x1+x2; int z2=x1-x2;
```