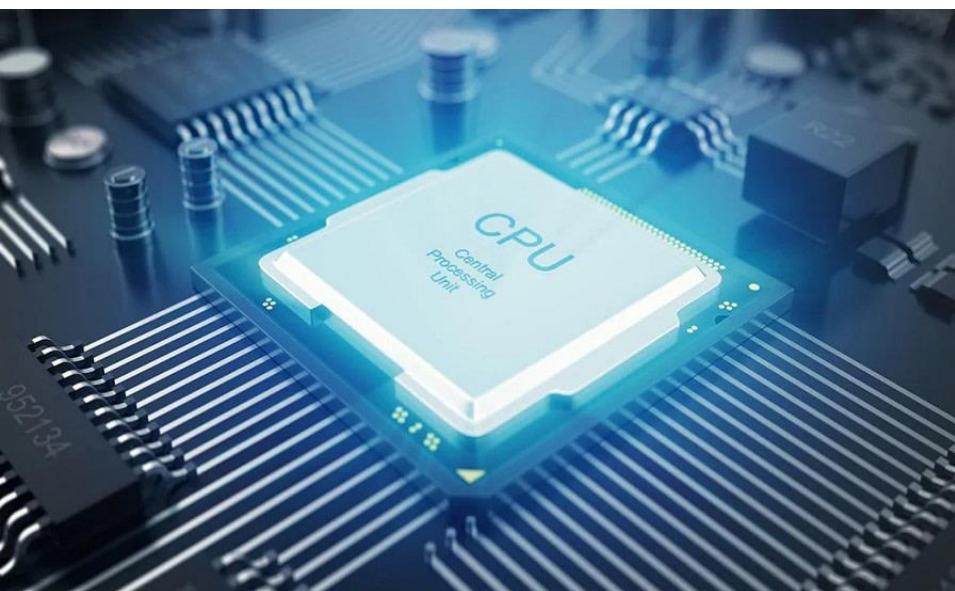


Σχεδίαση Συστημάτων VLSI



Ομάδα 10

ΚΑΡΑΜΗΤΟΠΟΥΛΟΣ ΠΑΝΑΓΙΩΤΗΣ ΑΕΜ 9743

email: karamitopp@ece.auth.gr

ΣΑΡΙΔΑΚΗ ΜΑΡΙΑ ΡΑΦΑΗΛΙΑ ΑΕΜ 9633

email: saridakm@ece.auth.gr

Περιεχόμενα

Σχεδίαση πολυπλέκτη με πύλες μετάδοσης	3
Εισαγωγή.....	3
Υλοποίηση Αντιστροφέα.....	4
Υλοποίηση Πολυπλέκτη 2 σε 1	5
Υλοποίηση πολυπλέκτη 4 σε 1	9
Φυσικό Σχέδιο Πολυπλέκτη 2 σε 1	29
Φυσικό Σχέδιο Πολυπλέκτη 4 σε 1	32
Βιβλιογραφία-Πηγές.....	34

Σχεδίαση πολυπλέκτη με πύλες μετάδοσης

Εισαγωγή

- ✓ Για την σχεδίαση του πολυπλέκτη χρησιμοποιήθηκε η βιβλιοθήκη gpdk 45nm στο virtuoso.
- ✓ Επιλέχτηκε ο πολυπλέκτης να είναι 4 σε 1.
- ✓ Για την υλοποίηση του πολυπλέκτη 4 σε 1 δημιουργήθηκαν: ένας πολυπλέκτης 2 σε 1 και μια πύλη not η οποία θα χρησιμοποιηθεί για το σήμα επίτρεψης του πολυπλέκτη.
- ✓ Χρησιμοποιήθηκαν τα τρανζίστορ nmos1v, και pmos1v της βιβλιοθήκης gpdk
- ✓ Για $W=120\text{ nm}$, $L=45\text{ nm}$ και τάση $V_{GS}=1\text{ V}$ στο NMOS, το ρεύμα είναι $I_d = 70\mu\text{A}$ (σύμφωνα με τις προσομοιώσεις για το N-MOS), οπότε επιλέχθηκαν οι διαστάσεις του PMOS: $W=360\text{ nm}$ (τριπλάσιο), $L = 45\text{ nm}$ ώστε να τραβάει το ίδιο ρεύμα ($70\mu\text{A}$).

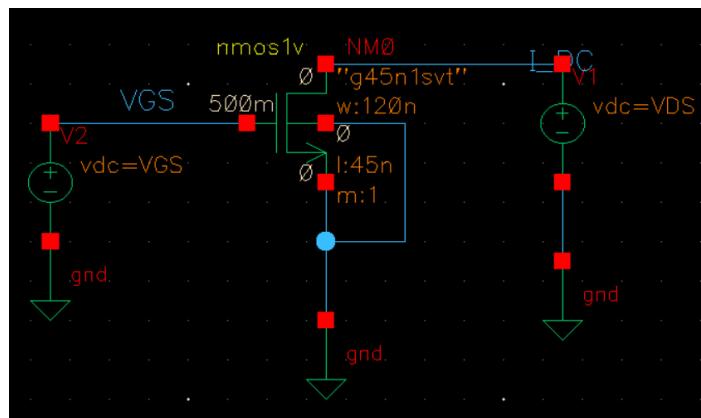


Figure 1 N-MOS

Για την εύρεση των χαρακτηριστικών του κυκλώματος του N-MOS (εικόνα 1) έγινε dc analyses, με τάσεις $V_{GS} \{0.5\text{V}, 0.75\text{V}, 1\text{V}, 1.25\text{V}, 1.5\text{V}, 1.75\text{V}, 2\text{V}\}$ και μεταβλητή την V_{DS} . Οι χαρακτηριστικές που προκύπτουν παρατίθενται στις εικόνες 2-3.

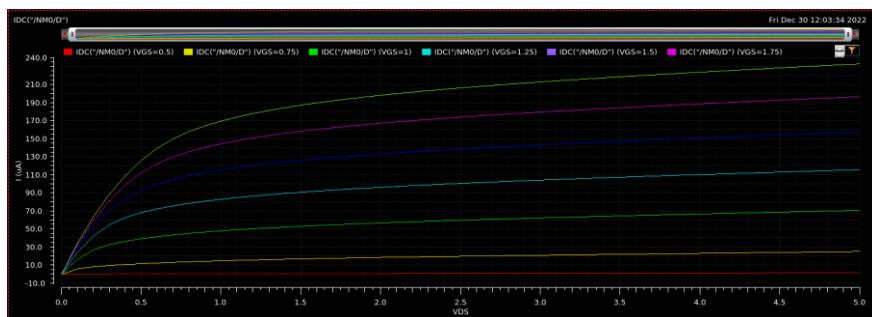


Figure 2 Χαρακτηριστικές N-MOS

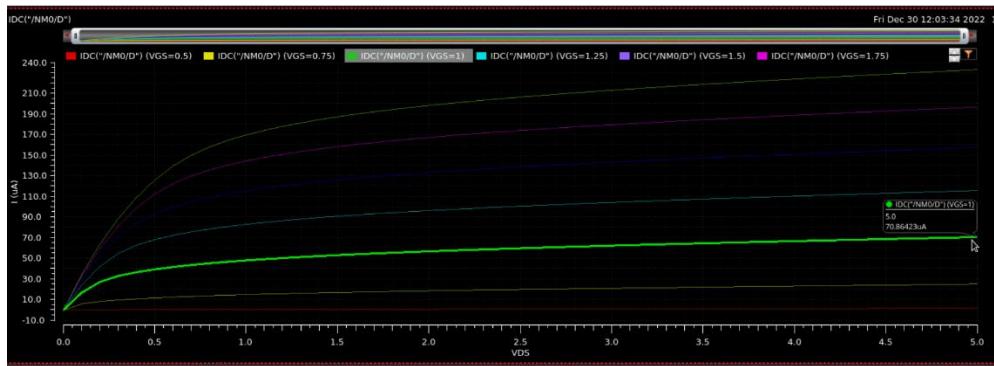


Figure 3 Χαρακτηριστική N-MOS για $V_{GS} = 1$ V

Υλοποίηση Αντιστροφέα

Ο αντιστροφέας είναι απαραίτητος για το σήμα επίτρεψης του πολυπλέκτη.

Χρησιμοποιήθηκαν ένα PMOS, και ένα NMOS.

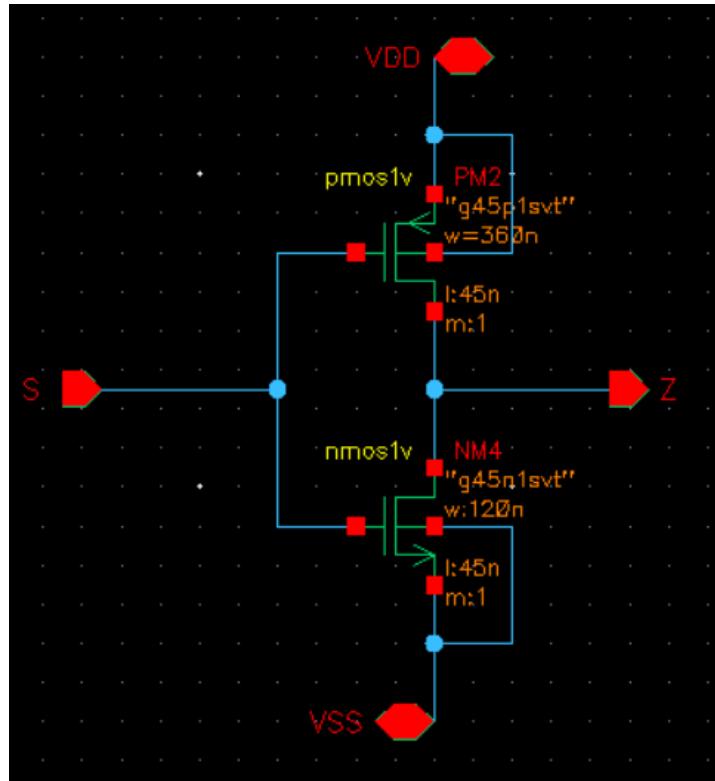


Figure 4 Αντιστροφέας

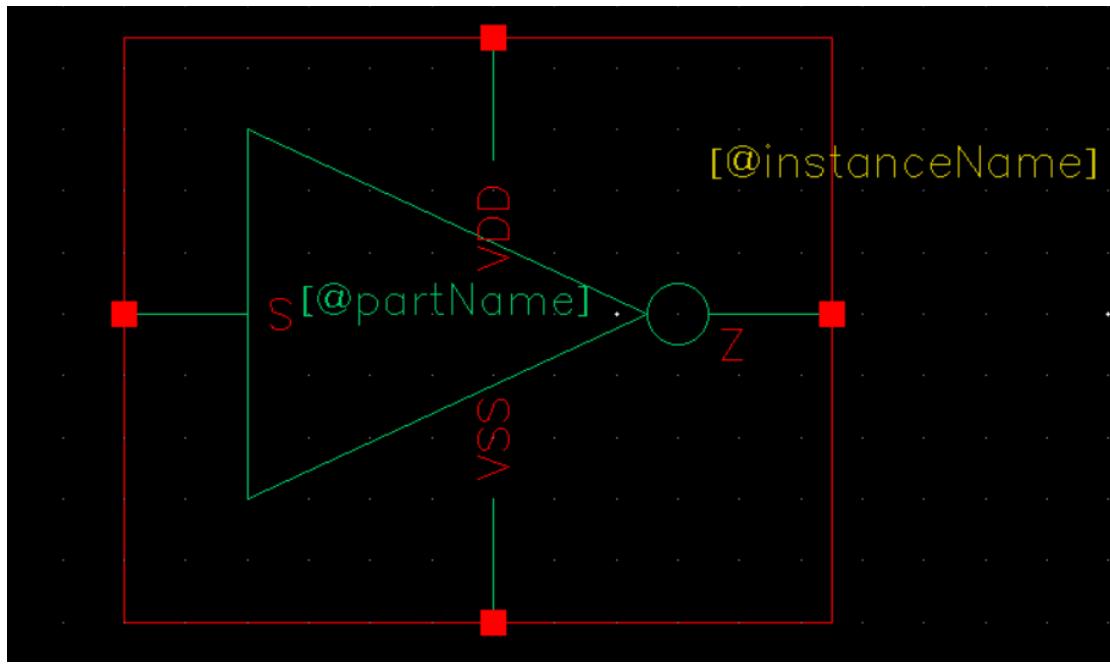


Figure 5 Όψη Αντιστροφεά

Υλοποίηση Πολυπλέκτη 2 σε 1

Χρησιμοποιήθηκε ο αντιστρόφεας, και 2 πύλες μετάδοσης (συνολικά 3 NMOS, 3 PMOS)

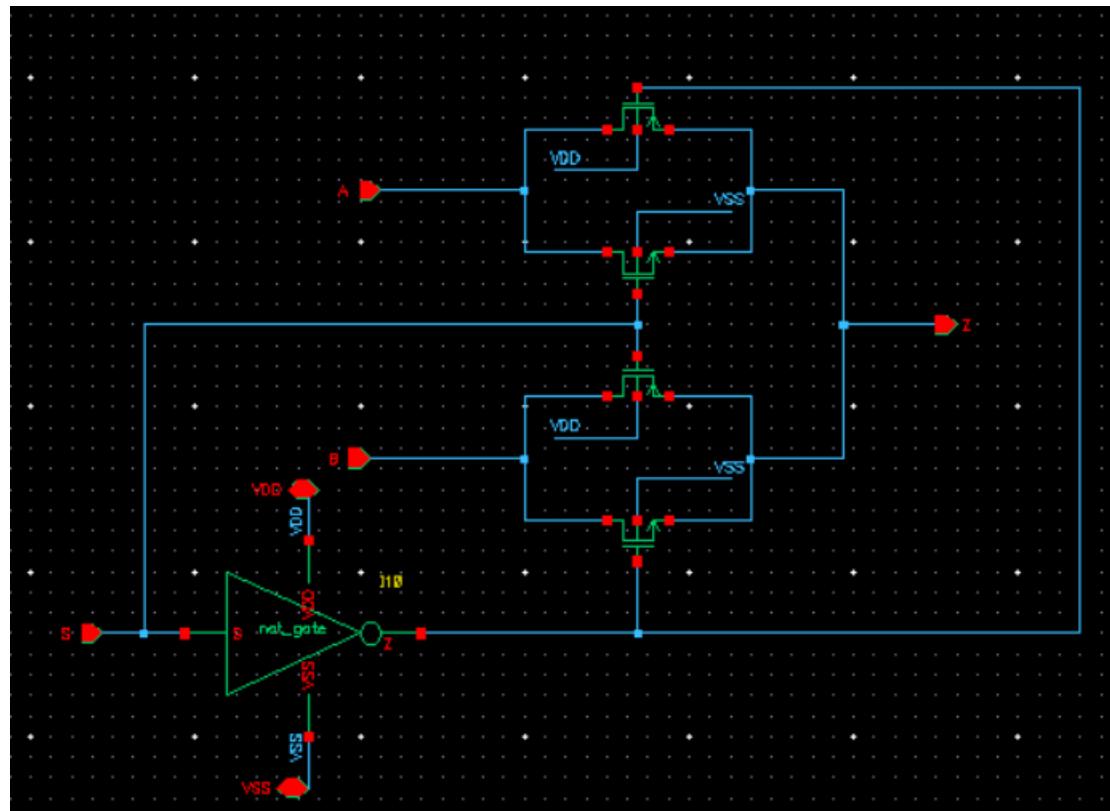


Figure 6 Multiplexer 2 to 1

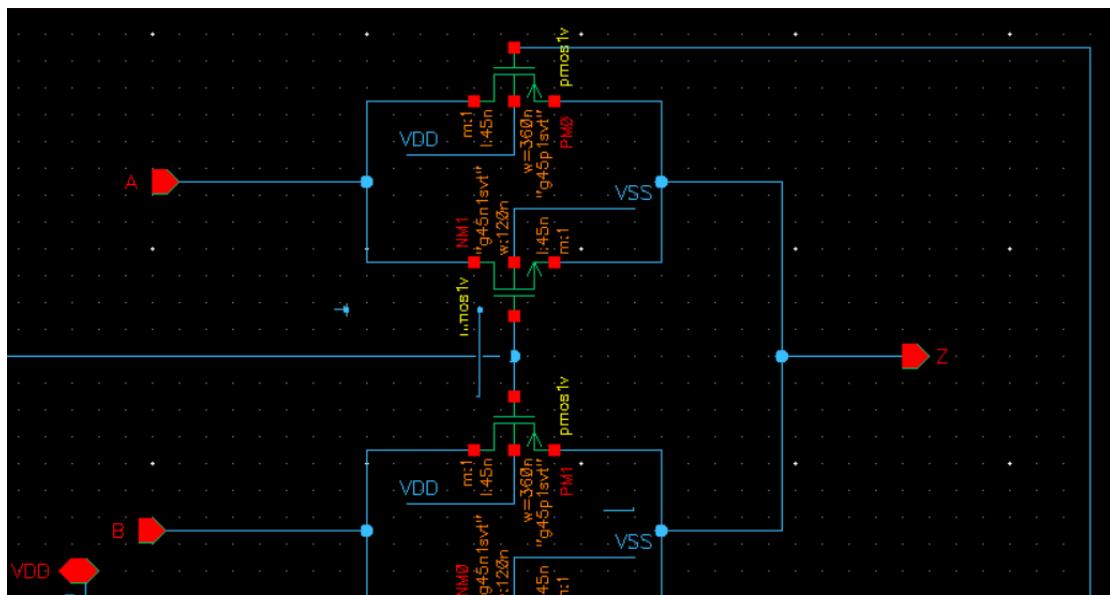


Figure 7 Multiplexer 2 to 1 (Zoom)

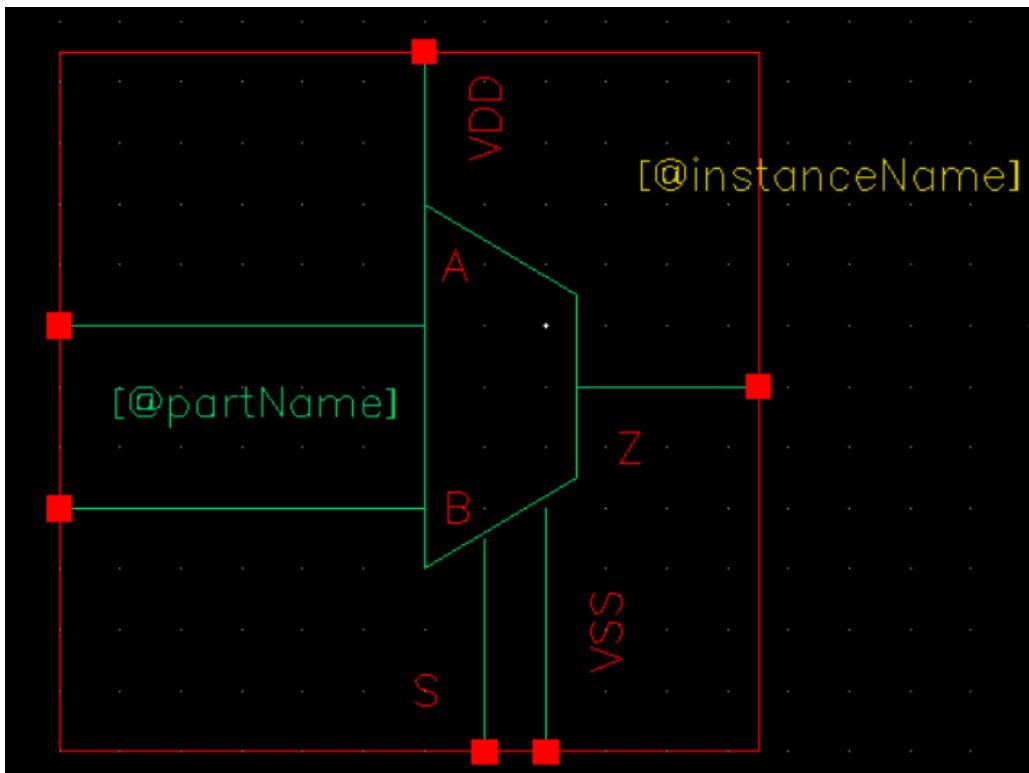


Figure 8 Cell-View Multiplexer 2 to 1

Πίνακας Αλήθειας Πολυπλέκτη 2 σε 1

S (σήμα επιλογής)	Z (Εξοδος)
1	A
0	B

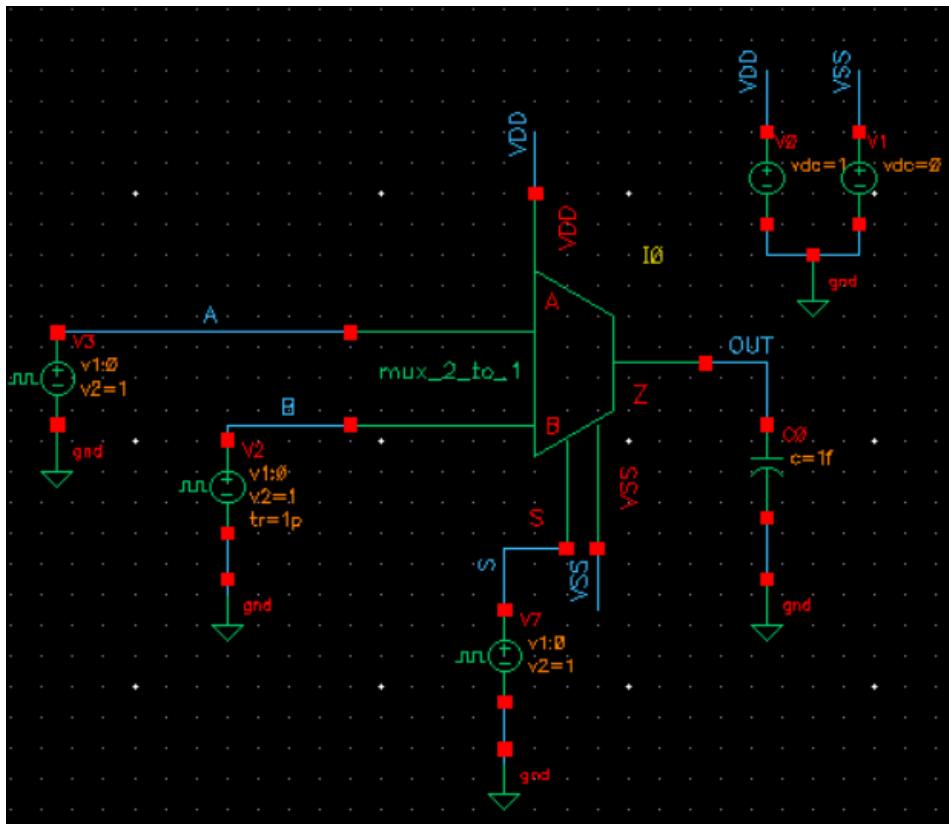


Figure 9 Multiplexer 2 to 1 (testbench)

- ✓ Στο testbench για φορτίο χρησιμοποιήθηκε ένας πυκνωτής 1f
- ✓ Για την παραγωγή του σήματος A χρησιμοποιήθηκε το κελί vpulse της analogLib, με Voltage 1 = 0 V, Voltage 2 = 1 V, Period = 12ns και Pulse width 6ns.
- ✓ Για την παραγωγή του σήματος B χρησιμοποιήθηκε το κελί vpulse της analogLib, με Voltage 1 = 0 V, Voltage 2 = 1 V, Period = 8ns, Pulse width 4ns, Rise time 1ps και Fall time 1ps. (Χρησιμοποιήθηκαν μόνο ψηφιακοί παλμοί σε αυτήν την δοκιμή, αναλογικά σήματα χρησιμοποιήθηκαν στην 2^η περίπτωση δοκιμής του πολυπλέκτη 4 σε 1)
- ✓ Για την παραγωγή του σήματος επιλογής S χρησιμοποιήθηκε το κελί vpulse της analogLib, με Voltage 1 = 0 V, Voltage 2 = 1 V, Period = 16ns και Pulse width 8ns.
- ✓ Για την τάση τροφοδοσίας (VDD) χρησιμοποιήθηκε το κελί vdc της analogLib, με DC Voltage = 1 V (αφού το τρανζίστορ που επιλέχτηκε είναι 1V).
- ✓ Για το VSS χρησιμοποιήθηκε το κελί vdc της analogLib, με DC Voltage = 0 V.

*Η δοκιμή του κυκλώματος αυτού έγινε με το εργαλείο ADE L

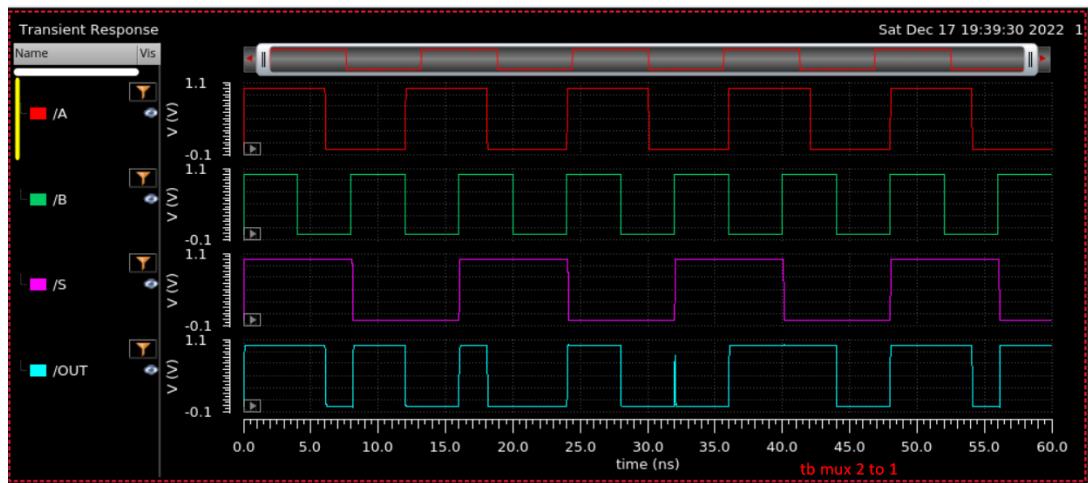


Figure 10 Testbench Mux 2 to 1

- ✓ Το σήμα Α έχει πλάτος 1V, περίοδο 12ns και duty cycle 50%
- ✓ Το σήμα Β έχει πλάτος 1V, περίοδο 8ns και duty cycle 50%
- ✓ Το σήμα S(Select) έχει πλάτος 1V, περίοδο 16ns και duty cycle 50%

Έξοδος (Z)

- Στο διάστημα 0-8ns, $S=1$, άρα $Z=A$ (1 στο διάστημα 0-6ns, 0 στο διάστημα 6-8ns)
- Στο διάστημα 8-16ns, $S=0$, άρα $Z=B$ (1 στο διάστημα 8-12ns, 0 στο διάστημα 12-16ns)
- Στο διάστημα 16-24ns, $S=1$, άρα $Z=A$ (1 στο διάστημα 16-18ns, 0 στο διάστημα 18-24ns)
- Στο διάστημα 24-32ns, $S=0$, άρα $Z=B$ (1 στο διάστημα 24-28ns, 0 στο διάστημα 28-32ns)
- Την χρονική στιγμή 32ns, ο παλμός Β ανεβαίνει, αλλά αλλάζει το σήμα S από 0 σε 1, οπότε για αυτό εμφανίζεται μια στιγμιαία αιχμή.
- Στο διάστημα 32-40ns, $S=1$, άρα $Z=A$ (0 στο διάστημα 32-36ns, 1 στο διάστημα 36-40ns)
- Στο διάστημα 40-48ns, $S=0$, άρα $Z=B$ (1 στο διάστημα 40-44ns, 0 στο διάστημα 44-48ns)

- Στο διάστημα 48-56ns, S=1, άρα Z=A (1 στο διάστημα 48-54ns, 0 στο διάστημα 54-56ns)

Υλοποίηση πολυπλέκτη 4 σε 1

Για την υλοποίηση του πολυπλέκτη 4 σε 1 χρησιμοποιήθηκαν 3 κελιά από πολυπλέκτη 2 σε 1.

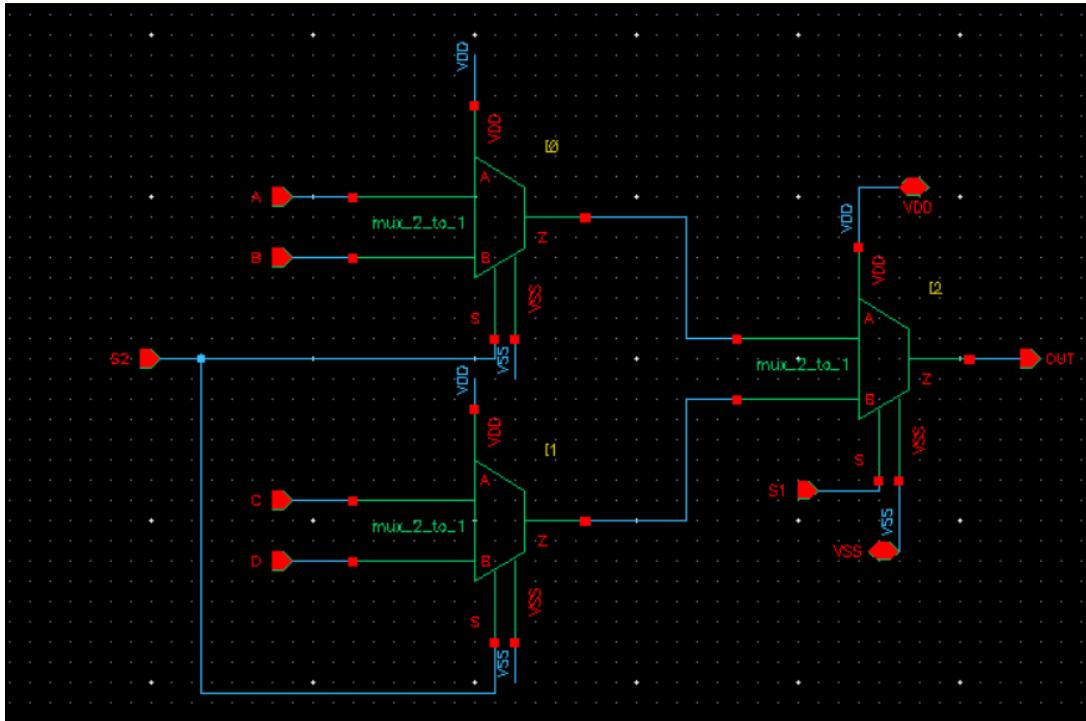


Figure 11 Πολυπλέκτης 4 σε 1

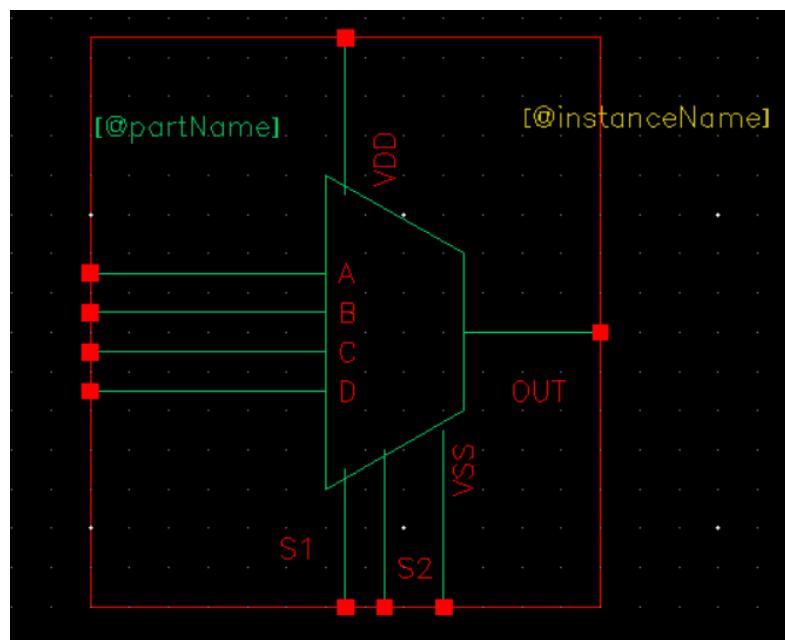


Figure 12 Cell-View Multiplexer 4 to 1

Πίνακας Αλήθειας Πολυπλέκτη 4 σε 1

S1	S2	OUT
1	1	A
1	0	B
0	1	C
0	0	D

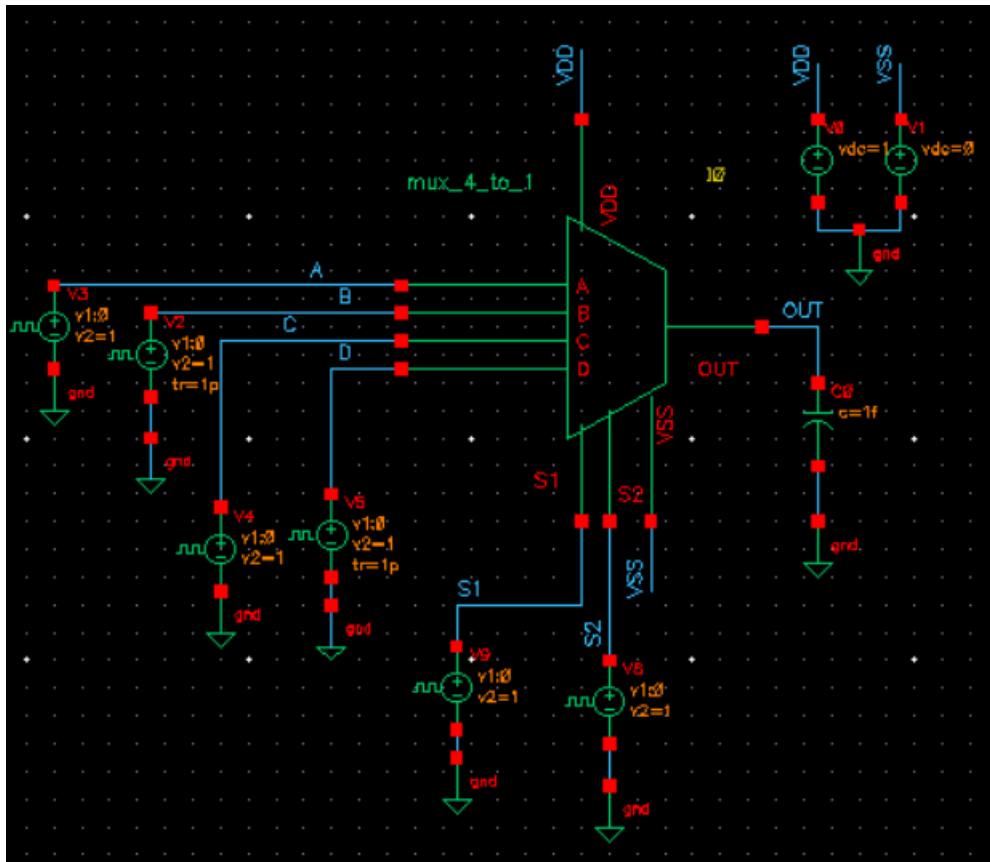


Figure 13 Testbench Mux 4 to 1

- ✓ Στο testbench για φορτίο χρησιμοποιήθηκε ένας πυκνωτής 1f
- ✓ Για την παραγωγή του σήματος Α χρησιμοποιήθηκε το κελί vpulse της analogLib, με Voltage 1 = 0 V, Voltage 2 = 1 V, Period = 12ns και Pulse width 6ns.
- ✓ Για την παραγωγή του σήματος Β χρησιμοποιήθηκε το κελί vpulse της analogLib, με Voltage 1 = 0 V, Voltage 2 = 1 V, Period = 8ns, Pulse width 4ns, Rise time 1ps και Fall time 1ps.
- ✓ Για την παραγωγή του σήματος Ζ χρησιμοποιήθηκε το κελί vpulse της analogLib, με Voltage 1 = 0 V, Voltage 2 = 1 V, Period = 8ns και Pulse width 4ns.

- ✓ Για την παραγωγή του σήματος D χρησιμοποιήθηκε το κελί vpulse της analogLib, με Voltage 1 = 0 V, Voltage 2 = 1 V, Period = 20ns, Pulse width 5ns, Rise time 1ps και Fall time 1ps.
- ✓ Για την παραγωγή του σήματος επιλογής S1 χρησιμοποιήθηκε το κελί vpulse της analogLib, με Voltage 1 = 0 V, Voltage 2 = 1 V, Period = 10ns και Pulse width 5ns.
- ✓ Για την παραγωγή του σήματος επιλογής S2 χρησιμοποιήθηκε το κελί vpulse της analogLib, με Voltage 1 = 0 V, Voltage 2 = 1 V, Period = 16ns και Pulse width 8ns.
- ✓ Για την τάση τροφοδοσίας (VDD) χρησιμοποιήθηκε το κελί vdc της analogLib, με DC Voltage = 1 V (αφού το τρανζίστορ που επιλέχτηκε είναι 1V).
- ✓ Για το VSS χρησιμοποιήθηκε το κελί vdc της analogLib, με DC Voltage = 0 V.

*Η δοκιμή του κυκλώματος αυτού έγινε αρχικά με το εργαλείο ADE L

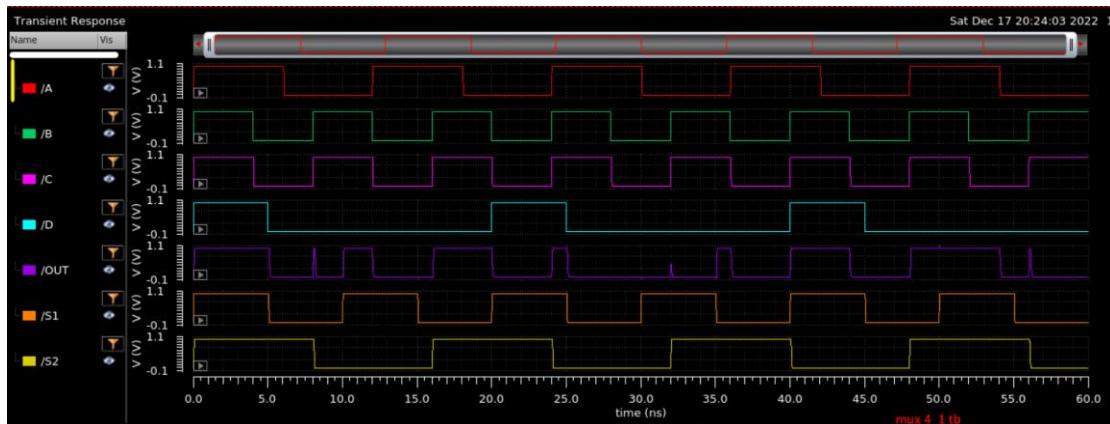


Figure 14 Testbench Mux 4 to 1

- ✓ Το σήμα A έχει πλάτος 1V, περίοδο 12ns και duty cycle 50%
- ✓ Το σήμα B έχει πλάτος 1V, περίοδο 8ns και duty cycle 50%
- ✓ Το σήμα C έχει πλάτος 1V, περίοδο 8ns και duty cycle 50%
- ✓ Το σήμα D έχει πλάτος 1V, περίοδο 20ns και duty cycle 25%
- ✓ Το σήμα S1 έχει πλάτος 1V, περίοδο 10ns και duty cycle 50%
- ✓ Το σήμα S2 έχει πλάτος 1V, περίοδο 16ns και duty cycle 50%

Έξοδος (OUT)

- Στο διάστημα 0-5ns, S1=S2=1, άρα OUT=A (1 στο διάστημα 0-5ns)

- Στο διάστημα 5-8ns, S1=0, S2=1, άρα OUT=C (0 στο διάστημα 5-8ns)
- Στο διάστημα 8-10ns, S1=0, S2=0, άρα OUT=D (0 στο διάστημα 8-10ns)
- Στο διάστημα 10-15ns, S1=1, S2=0, άρα OUT=B (1 στο διάστημα 10-12, 0 στο διάστημα 12-15ns)
- Στο διάστημα 15-16ns, S1=0, S2=0, άρα OUT=D (0 στο διάστημα 15-16ns)
- Στο διάστημα 16-20ns, S1=0, S2=1, άρα OUT=C (1 στο διάστημα 16-20ns)
- Στο διάστημα 20-24ns, S1=1, S2=1, άρα OUT=A (0 στο διάστημα 20-24ns)
- Στο διάστημα 24-25ns, S1=1, S2=0, άρα OUT=B (1 στο διάστημα 24-25ns)
- Στο διάστημα 25-30ns, S1=0, S2=0, άρα OUT=D (0 στο διάστημα 25-30ns)
- Στο διάστημα 30-32ns, S1=1, S2=0, άρα OUT=B (0 στο διάστημα 30-32ns)
- Στο διάστημα 32-35ns, S1=1, S2=0, άρα OUT=A (0 στο διάστημα 32-35ns)
- Στο διάστημα 35-40ns, S1=0, S2=1, άρα OUT=C (1 στο διάστημα 35-36, 0 στο διάστημα 36-40ns)
- Τις χρονικές στιγμές 8ns, 32ns και 56ns παρατηρούνται κάποιες αιχμές γιατί ενώ το σήμα εισόδου μεταβαίνει από μηδέν σε ένα (ή αντίστροφα) μεταβαίνει και το σήμα επιλογής, και στην έξοδο οδηγείται ένα άλλο σήμα εισόδου.

Στην συνέχεια δοκιμάστηκαν στις 2 εισόδους από τις 4 εισόδους του πολυπλέκτη αναλογικά σήματα αντί για ψηφιακούς παλμούς, με την χρήση του κελιού `vsin` της `analogLib`. (Η δοκιμή του κυκλώματος αυτού έγινε αρχικά με το εργαλείο ADE L)

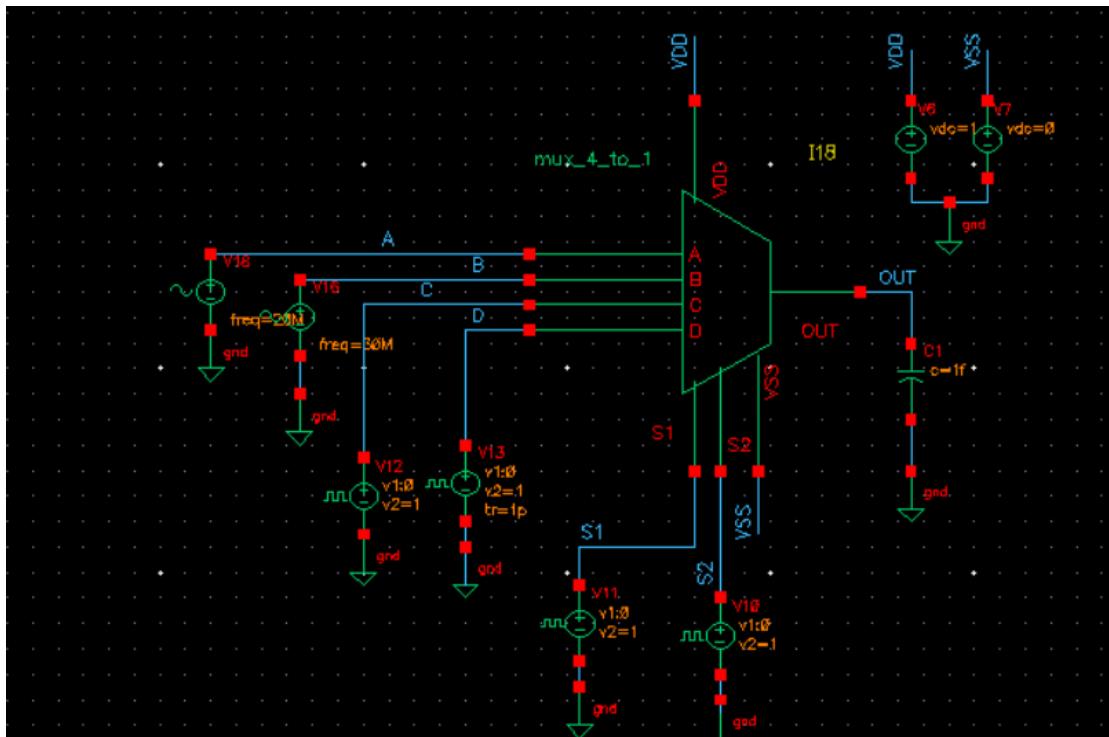


Figure 15 Testbench Mux 4 to 1 (με 2 αναλογικές εισόδους και 2 ψηφιακές)

- ✓ Στο testbench για φορτίο χρησιμοποιήθηκε ένας πυκνωτής 1f
- ✓ Για την παραγωγή του σήματος Α χρησιμοποιήθηκε το κελί vsin της analogLib, με DC voltage = 500 mV, AC magnitude = 500mV, Frequency = 20MHz.
- ✓ Για την παραγωγή του σήματος Β χρησιμοποιήθηκε το κελί vsin της analogLib, με DC voltage = 500 mV, AC magnitude = 500mV, Frequency = 30MHz.
- ✓ Για την παραγωγή του σήματος Κ χρησιμοποιήθηκε το κελί vpulse της analogLib, με Voltage 1 = 0 V, Voltage 2 = 1 V, Period = 8ns και Pulse width 4ns.
- ✓ Για την παραγωγή του σήματος Δ χρησιμοποιήθηκε το κελί vpulse της analogLib, με Voltage 1 = 0 V, Voltage 2 = 1 V, Period = 20ns, Pulse width 5ns, Rise time 1ps και Fall time 1ps.
- ✓ Για την παραγωγή του σήματος επιλογής S1 χρησιμοποιήθηκε το κελί vpulse της analogLib, με Voltage 1 = 0 V, Voltage 2 = 1 V, Period = 100ns και Pulse width 50ns.
- ✓ Για την παραγωγή του σήματος επιλογής S2 χρησιμοποιήθηκε το κελί vpulse της analogLib, με Voltage 1 = 0 V, Voltage 2 = 1 V, Period = 180ns και Pulse width 90ns.

- ✓ Για την τάση τροφοδοσίας (VDD) χρησιμοποιήθηκε το κελί vdc της analogLib, με DC Voltage = 1 V (αφού το τρανζίστορ που επιλέχτηκε είναι 1V).
- ✓ Για το VSS χρησιμοποιήθηκε το κελί vdc της analogLib, με DC Voltage = 0 V.

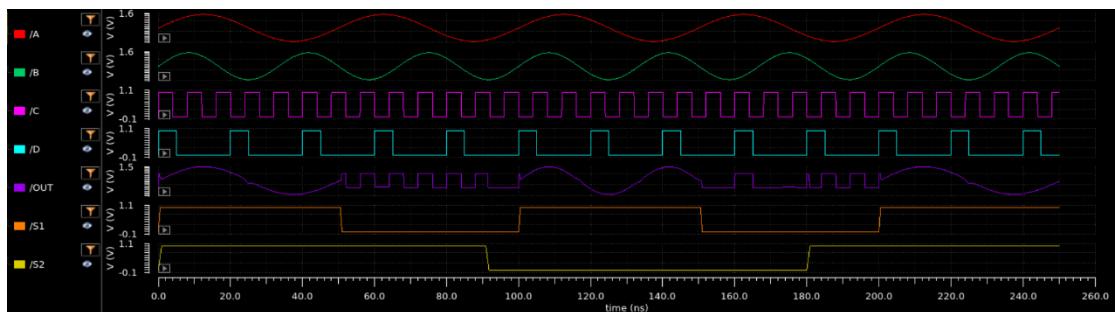


Figure 16 Testbench Mux 4 to 1 (με 2 αναλογικές εισόδους και 2 ψηφιακές)

Έξοδος (OUT)

- Στο διάστημα 0-50ns, S1=S2=1, άρα OUT=A
- Στο διάστημα 50-90ns, S1=0, S2=1, άρα OUT=C
- Στο διάστημα 90-100ns, S1=0, S2=0, άρα OUT=D
- Στο διάστημα 100-150ns, S1=1, S2=0, άρα OUT=B
- Στο διάστημα 150-180ns, S1=0, S2=0, άρα OUT=D
- Στο διάστημα 180-200ns, S1=0, S2=1, άρα OUT=C
- Στο διάστημα 200-260ns, S1=1, S2=1, άρα OUT=A

Στην συνέχεια έγιναν οι ίδιες δοκιμές (tran analysis με stop time τα 260ns) με το εργαλείο ADE Explorer, με Corners Nominal, FF (Temperature = -40°C), SS (Temperature = 125°C).

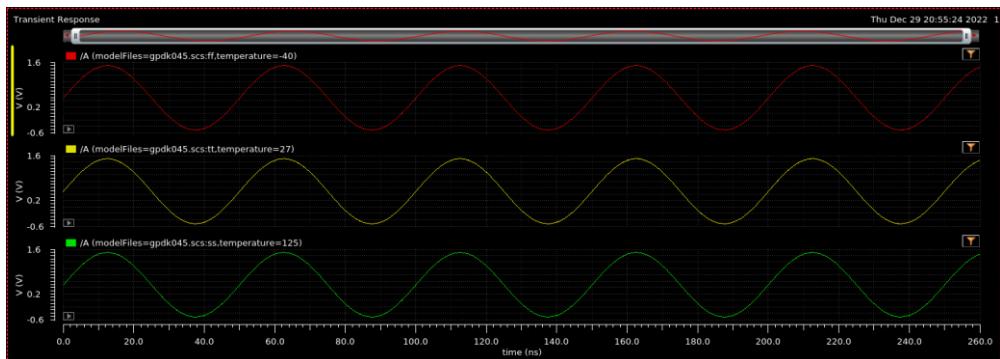


Figure 17 Σήμα A (ADE Explorer)

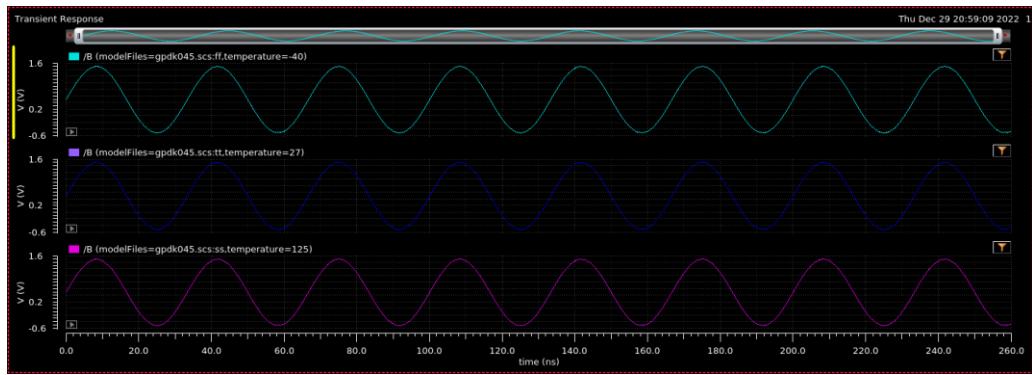


Figure 18 Σήμα B (ADE Explorer)

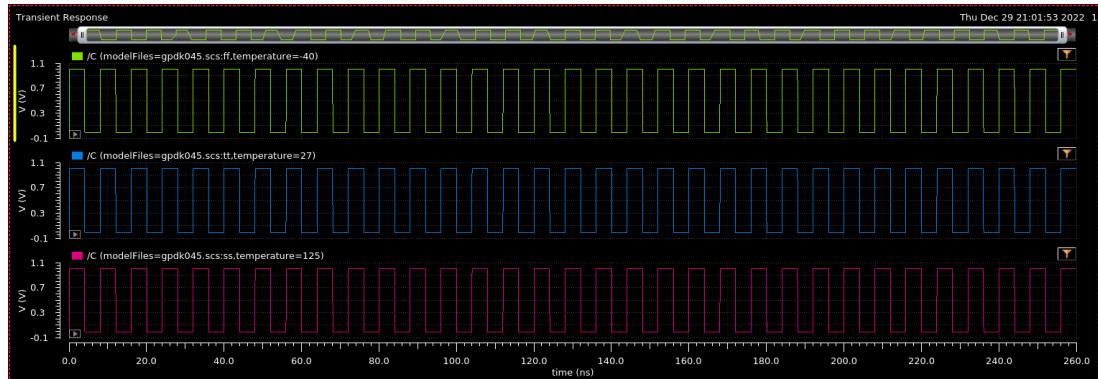


Figure 19 Σήμα C (ADE Explorer)

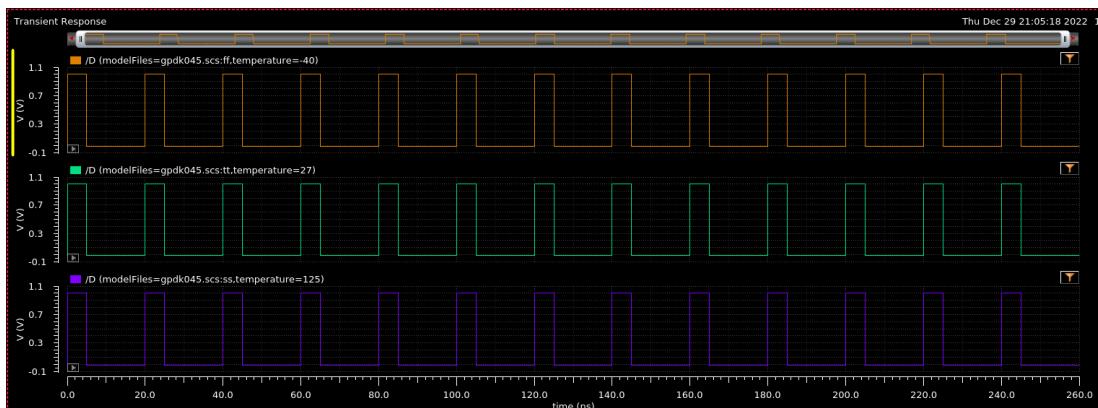


Figure 20 Σήμα D (ADE Explorer)

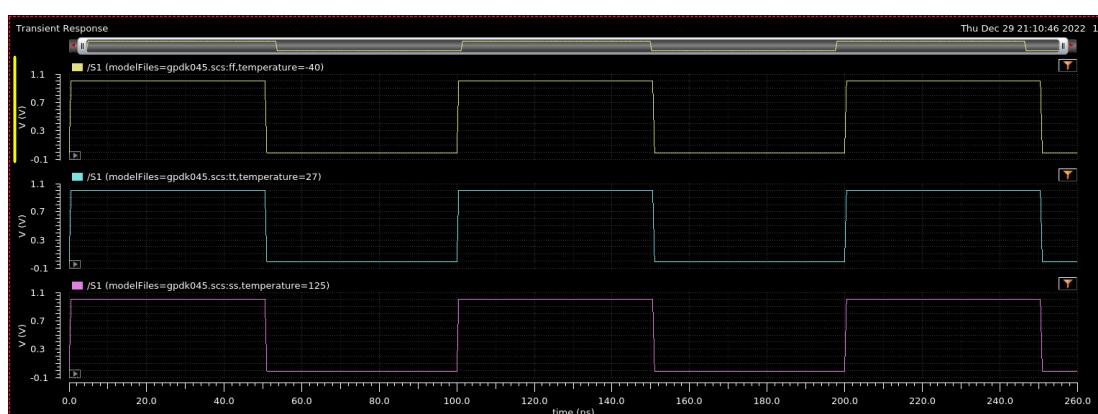


Figure 21 Σήμα Επιλογής S1 (ADE Explorer)

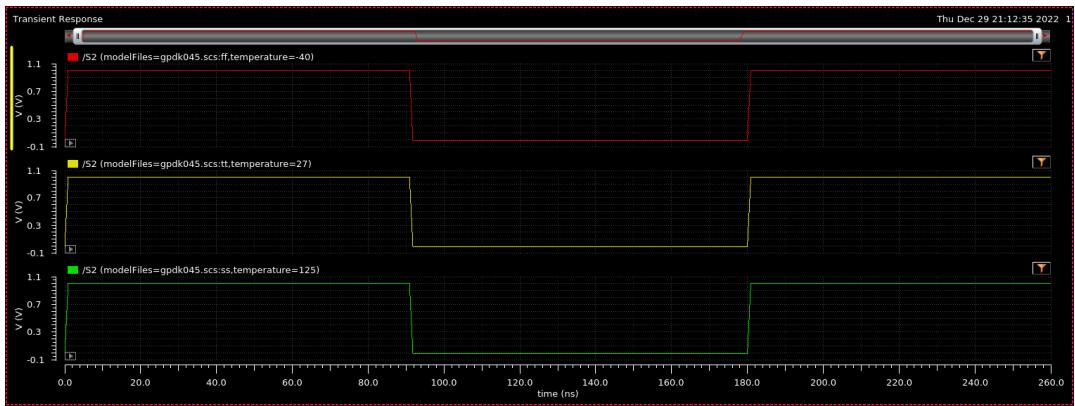


Figure 22 Σήμα Επιλογής S2 (ADE Explorer)

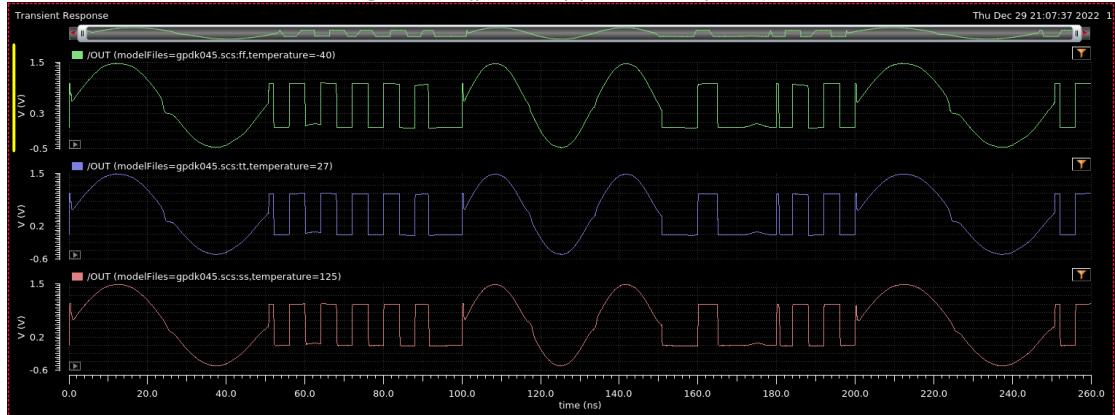


Figure 23 Σήμα Εξόδου OUT (ADE Explorer)

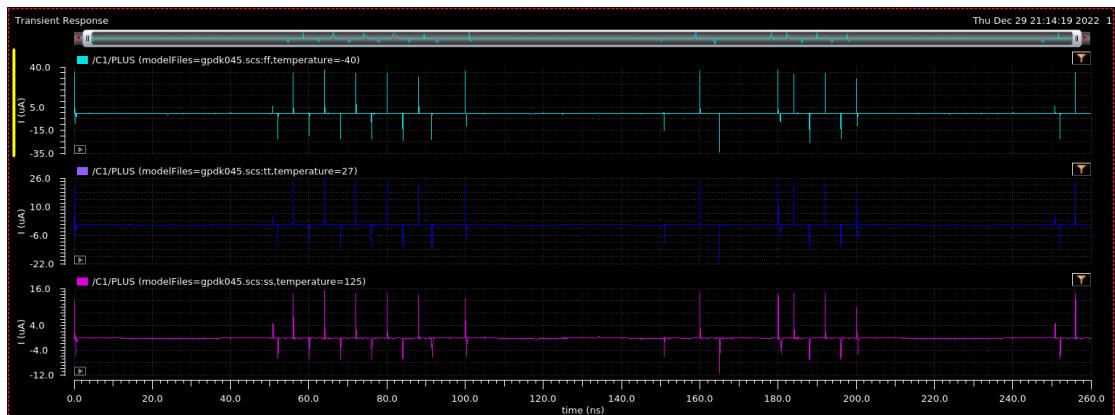


Figure 24 Ρεύμα Φορτίου (ADE Explorer)

Οι παραπάνω γραφικές παραστάσεις συνοψίζονται στην εικόνα 25.

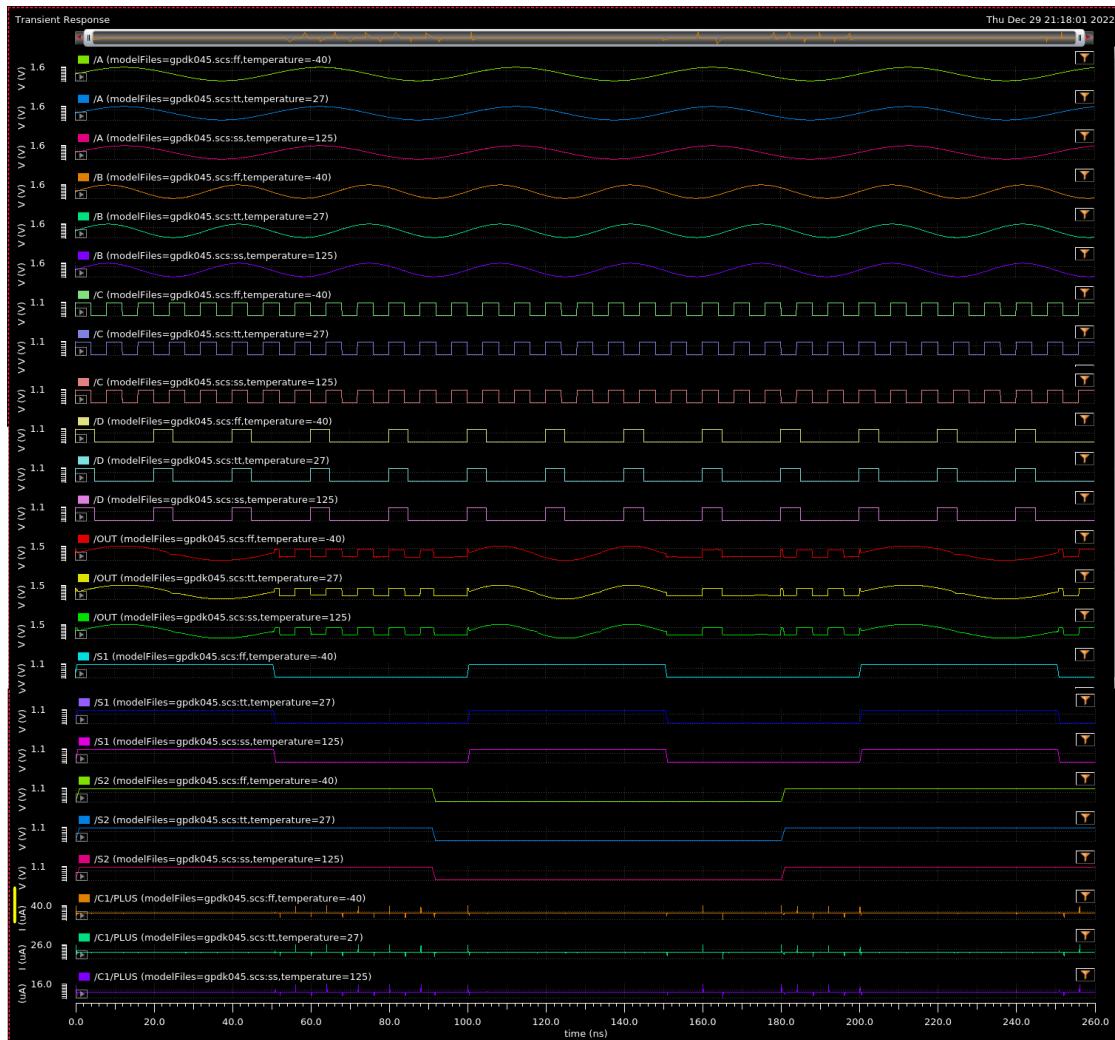


Figure 25 All Signals ADE Explorer

Έπειτα ακολουθεί μια παραμετρική ανάλυση, για την εύρεση του εύρους συχνοτήτων του αναλογικού σήματος εισόδου, για τις οποίες το σήμα εξόδου δεν παραμορφώνεται.

Το σήμα εξόδου έχει πολύ καλή ποιότητα για το εύρος συχνοτήτων 20-30MHz, όπως φαίνεται στις προσομοιώσεις που ακολουθούν. Το γεγονός ότι οι παραμορφώσεις στο σήμα εξόδου δεν είναι περιοδικές μπορεί να σχετίζεται με την αλληλεπίδραση των σημάτων στον πολυπλέκτη καθώς όταν είναι κλειστοί οι διακόπτες λειτουργούν σαν πυκνωτές άρα πάλι άγουν τρόπον τινά.

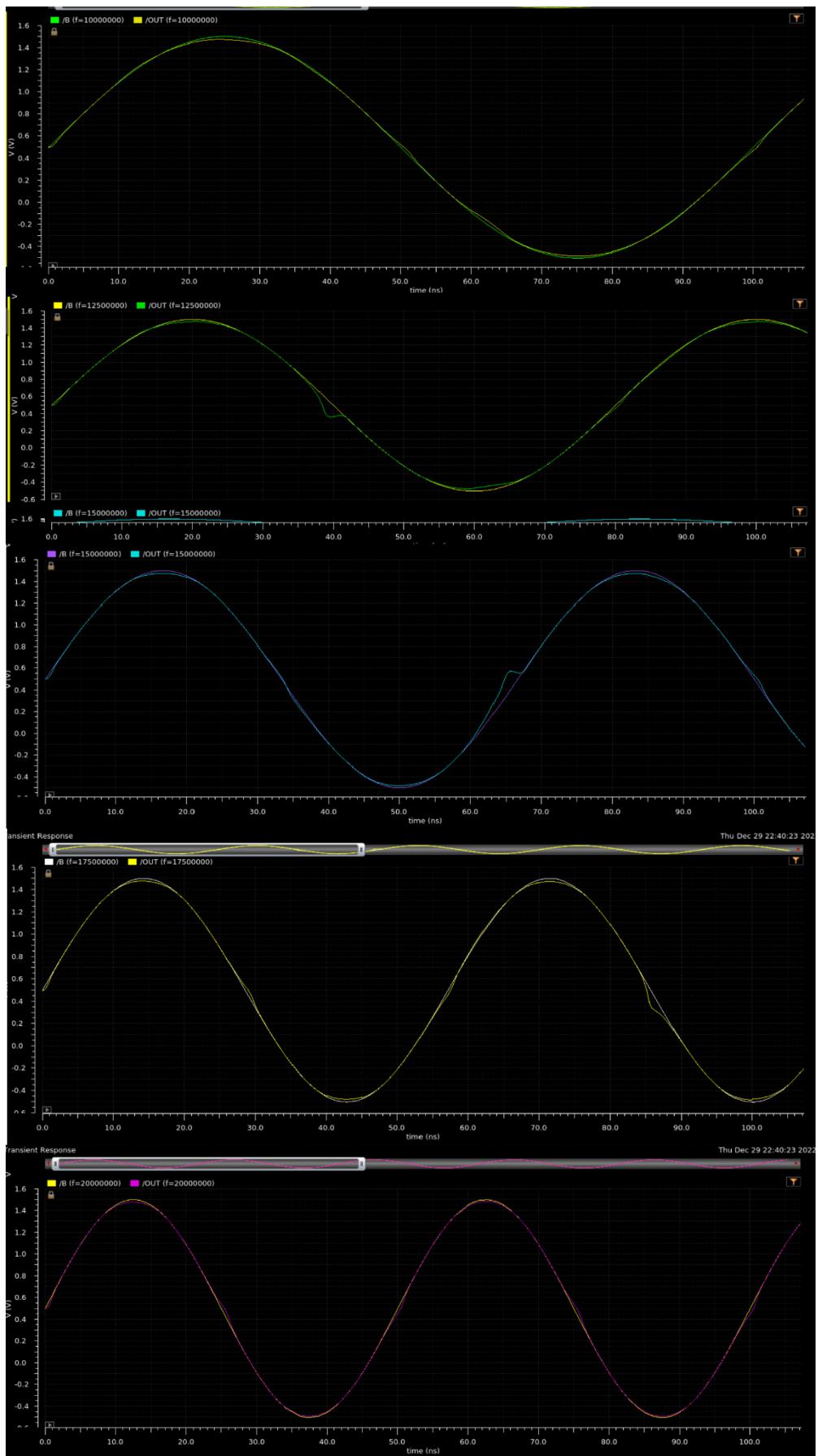


Figure 26 Αναλογικά Σήματα Εισόδου-Εξόδου (10-20MHz)

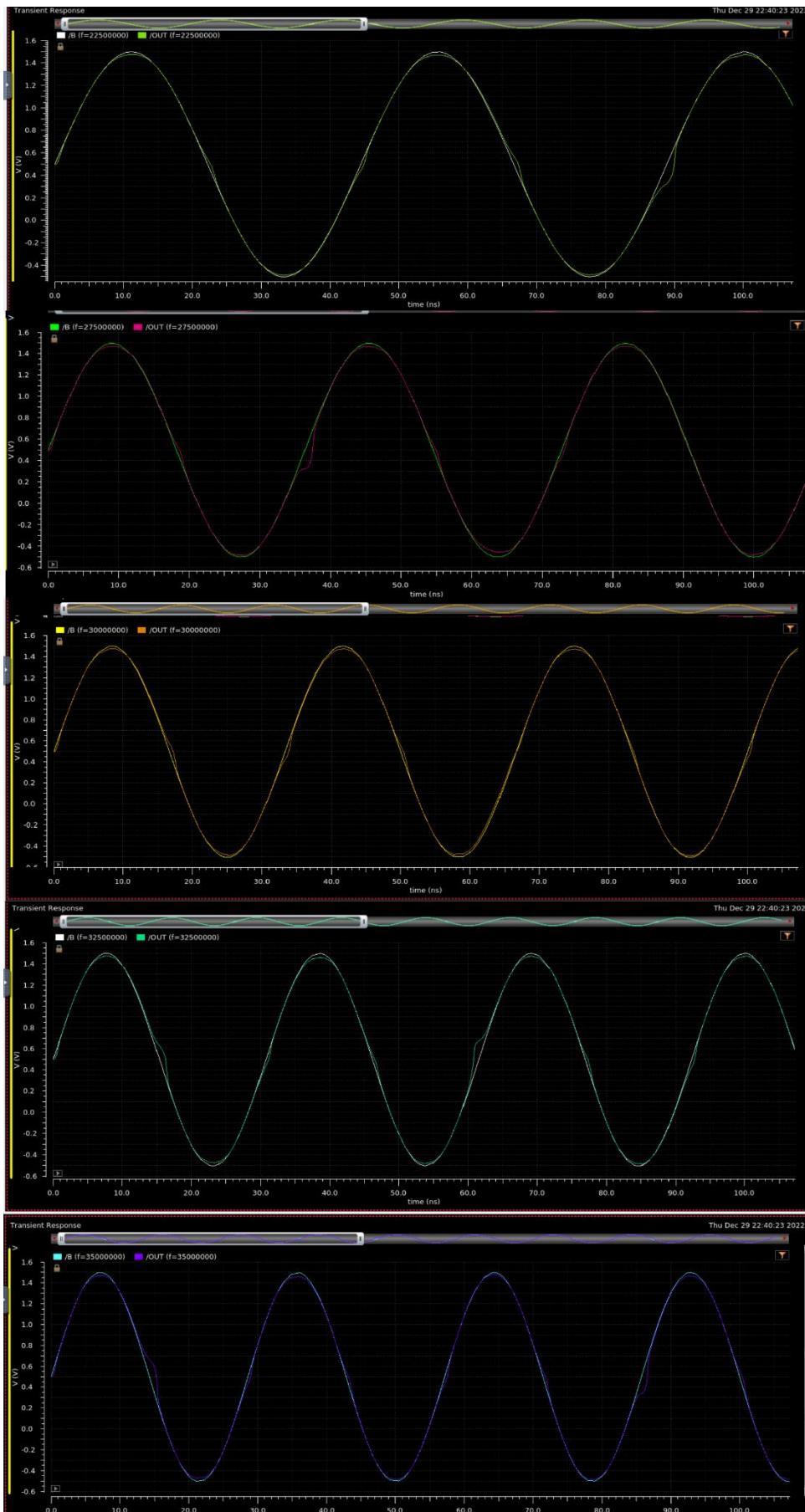


Figure 27 Αναλογικά Σήματα Εισόδου-Εξόδου (22.5-35MHz)

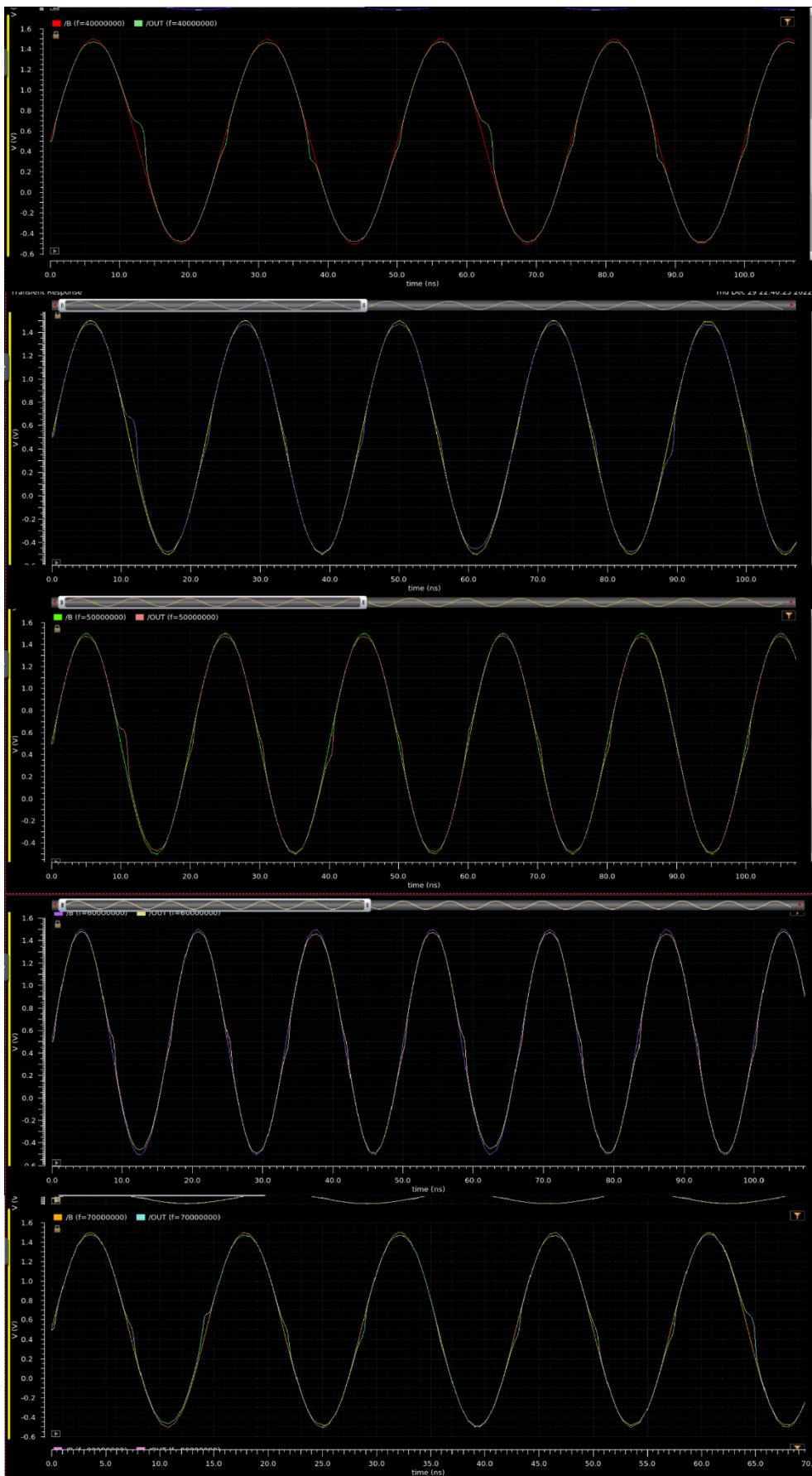


Figure 28 Αναλογικά Σήματα Εισόδου-Εξόδου (40-70MHz)

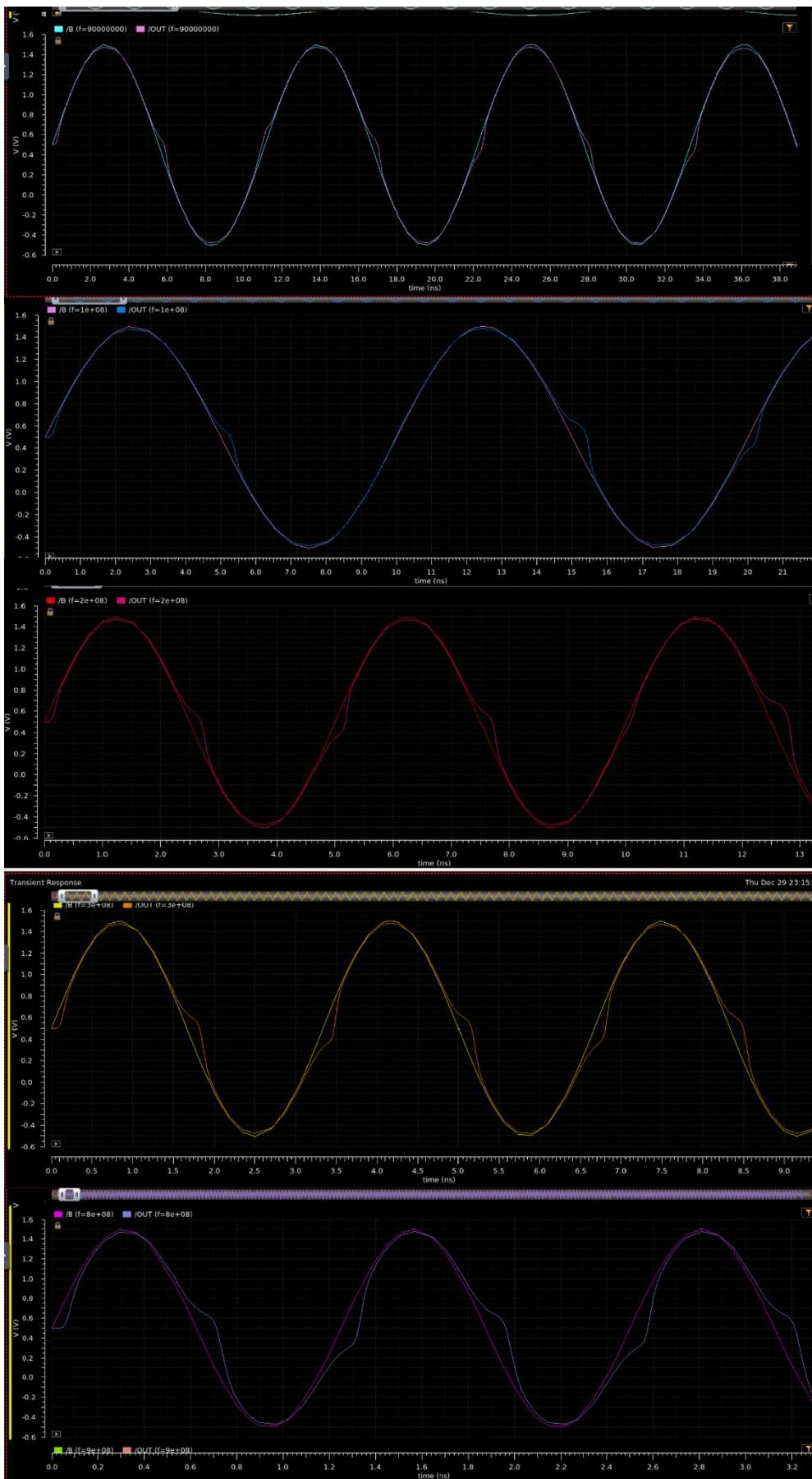


Figure 29 Αναλογικά Σήματα Εισόδου-Εξόδου (90-800MHz)

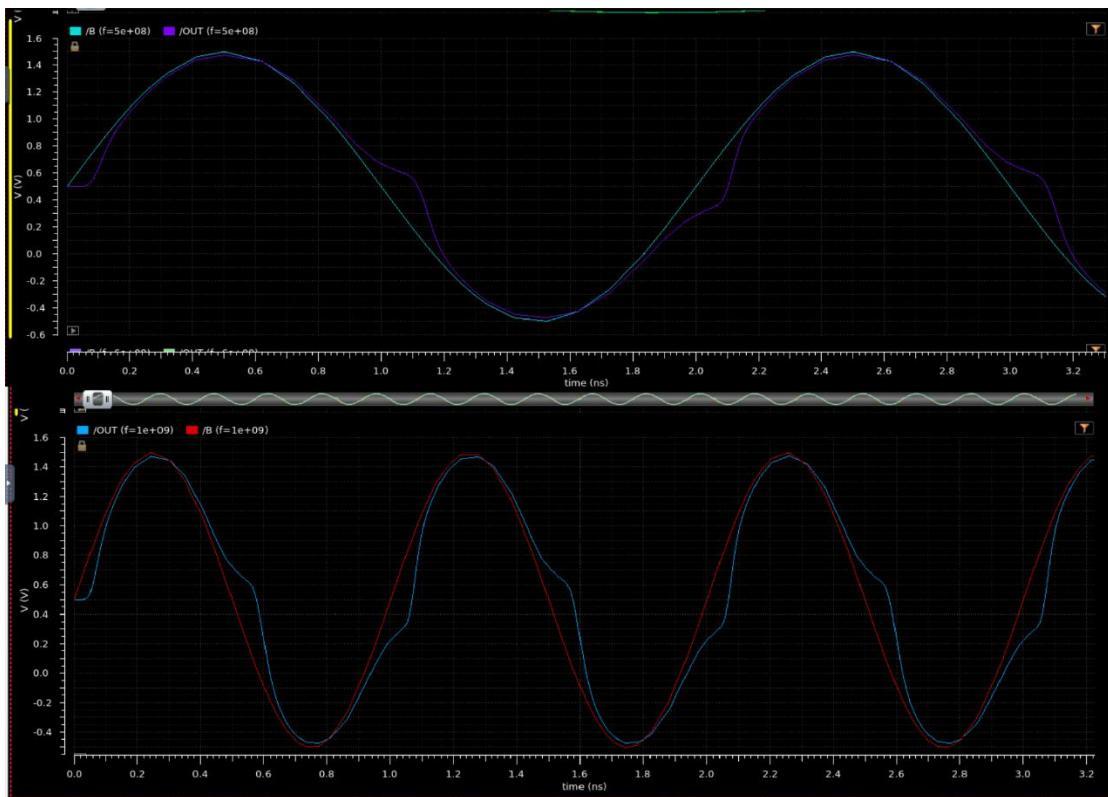


Figure 30 Αναλογικά Σήματα Εισόδου-Εξόδου (500MHz, 1GHz)

Κυματομορφές για τον χρόνο ανόδου/καθόδου και χρόνο μετάδοσης (υπό την προϋπόθεση ότι τα σήματα εισόδου είναι ψηφιακοί παλμοί).

- Ως χρόνος ανόδου των σημάτων ορίζεται ο χρόνος που απαιτείται για το ανερχόμενο σήμα να φτάσει από την τιμή τάσης 100mV στην τάση 900mV (10% -90% της μετάβασης)
- Ως χρόνος καθόδου ενός σήματος ορίζεται ο χρόνος που απαιτείται για το κατερχόμενο σήμα να εκτελέσει την αντίθετη μετάβαση.
- Χρόνος μετάδοσης ορίζεται ως τη διαφορά χρόνου μεταξύ των σημείων 50% της εισόδου και της εξόδου δηλαδή τα 500mV.

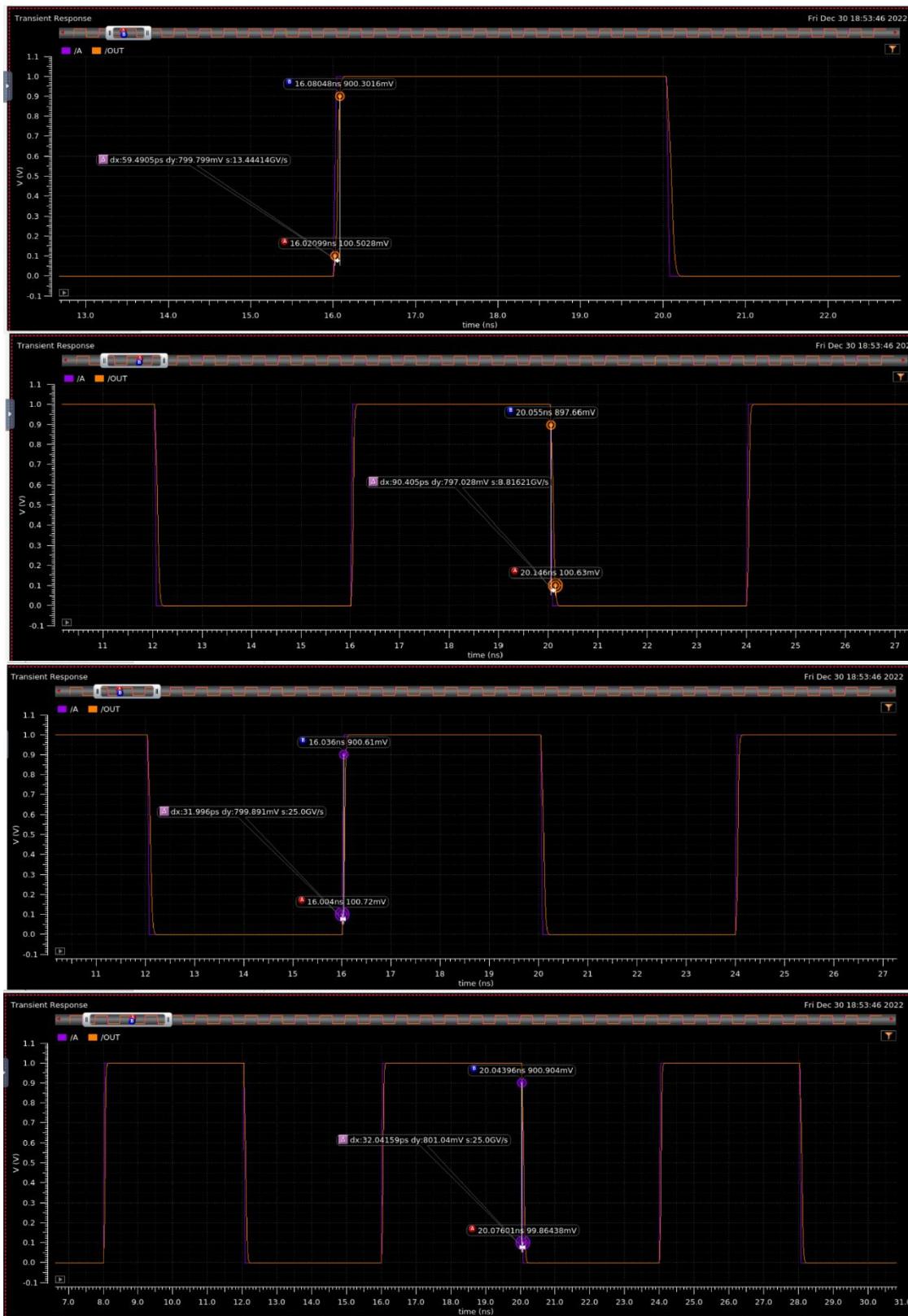


Figure 31 Χρόνοι Ανόδου/Καθόδου Σήματος A-Εξόδου OUT (Όταν OUT = A)

	Χρόνος Ανόδου	Χρόνος Καθόδου
Σήμα A	32 ps	32 ps
Σήμα εξόδου (OUT=A)	59.49 ps	90.405 ps

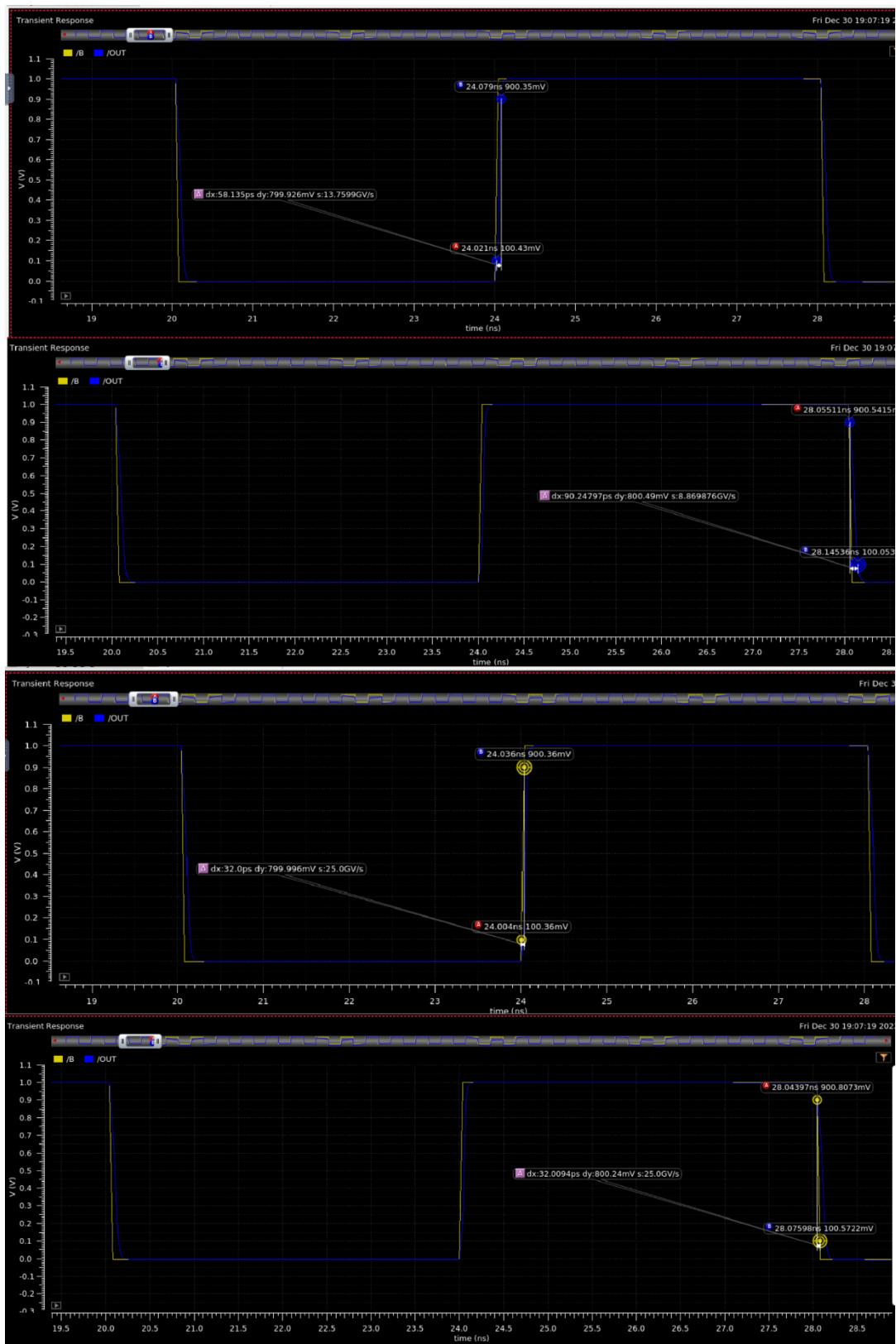


Figure 32 Χρόνοι Ανόδου/Καθόδου Σήματος B-Εξόδου OUT (Όταν OUT = B)

	Χρόνος Ανόδου	Χρόνος Καθόδου
Σήμα B	32 ps	32 ps
Σήμα εξόδου (OUT=B)	58.135 ps	90.247 ps

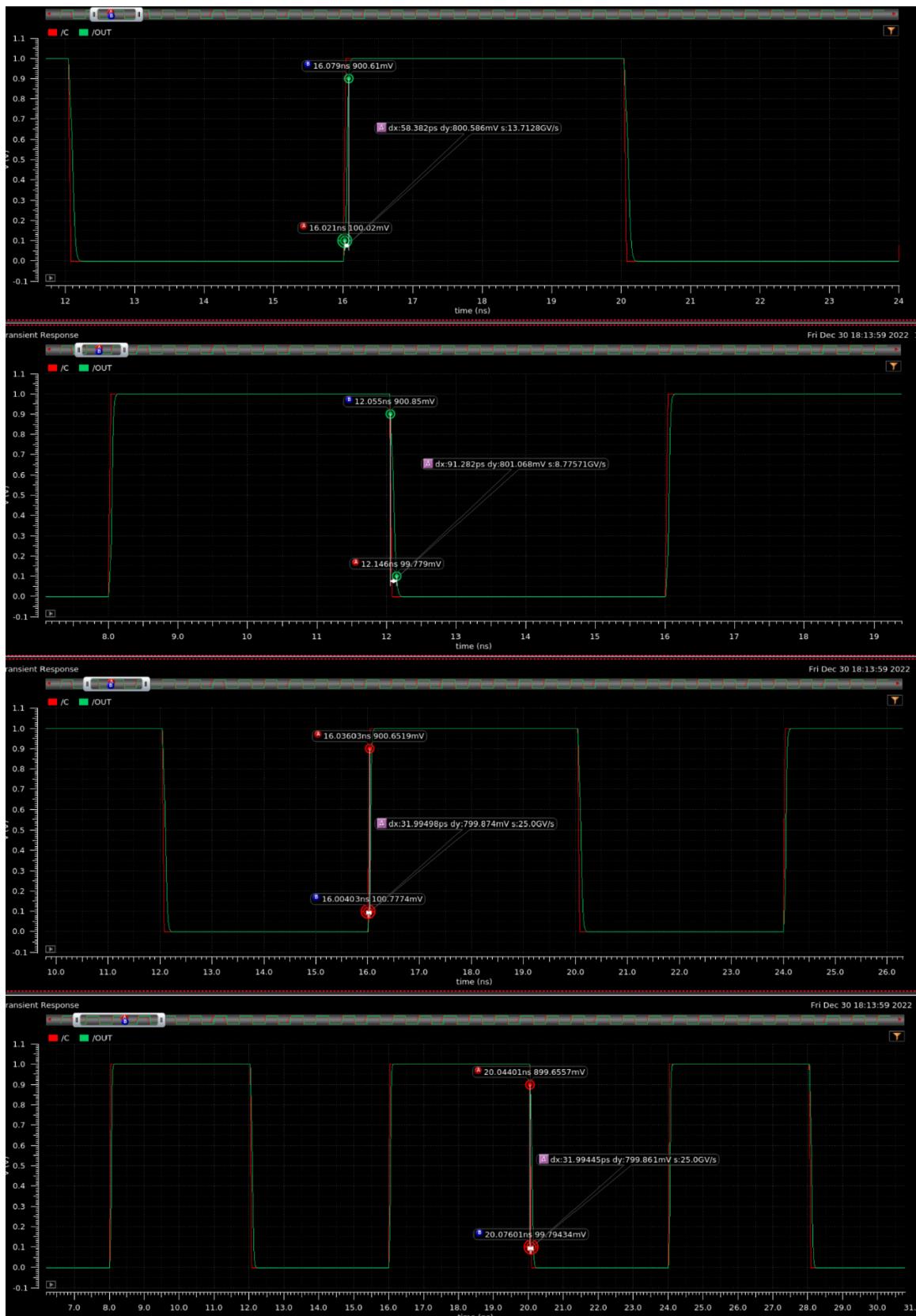


Figure 33 Χρόνοι Ανόδου/Καθόδου Σήματος C-Εξόδου OUT (Όταν OUT = C)

	Χρόνος Ανόδου	Χρόνος Καθόδου
Σήμα C	32 ps	32 ps
Σήμα εξόδου (OUT=C)	58.382 ps	91.282 ps

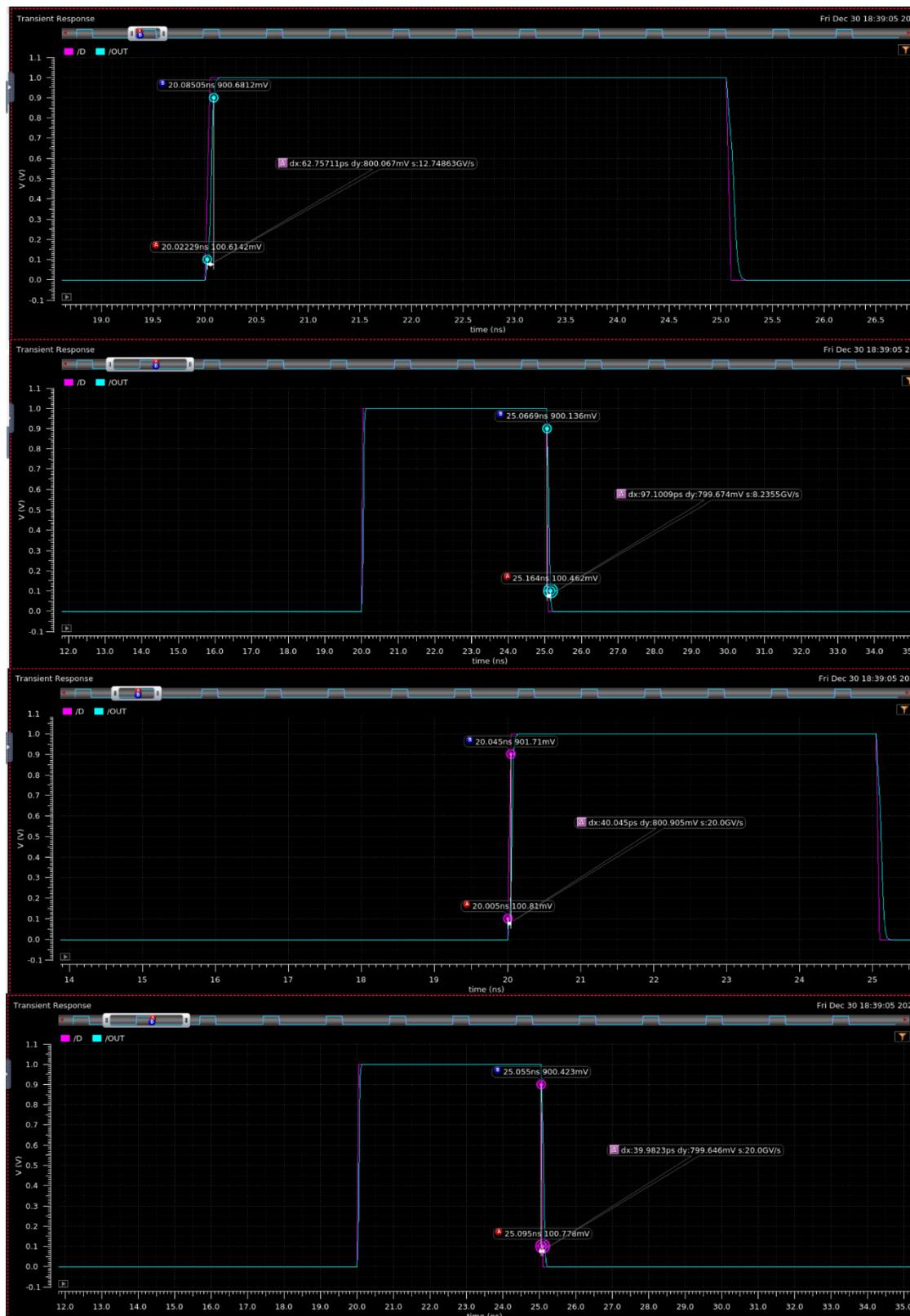


Figure 34 Χρόνοι Ανόδου/Καθόδου Σήματος D-Εξόδου OUT (Όταν OUT = D)

	Χρόνος Ανόδου	Χρόνος Καθόδου
Σήμα D	40 ps	40 ps
Σήμα εξόδου (OUT=D)	62.757 ps	97.1 ps

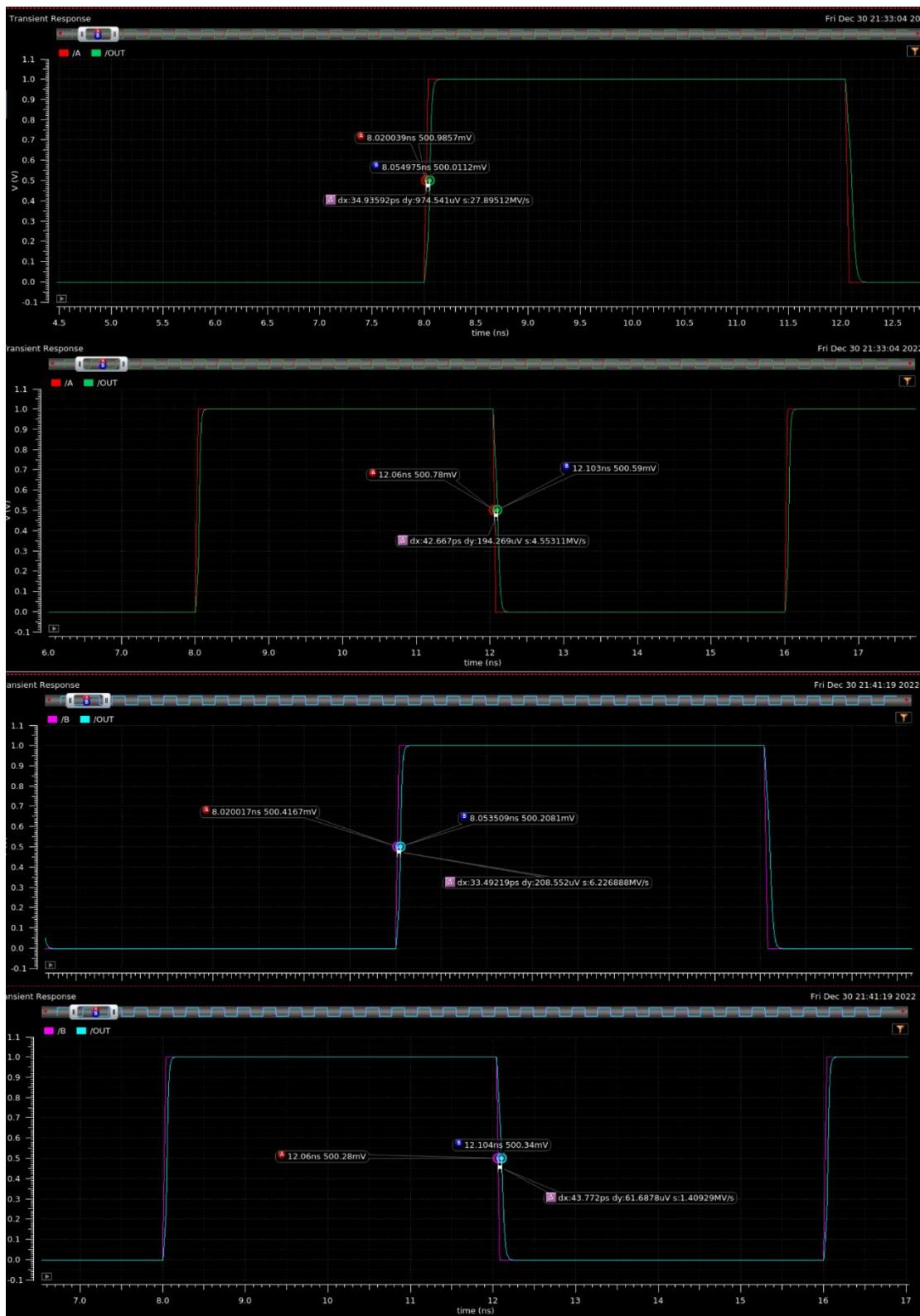


Figure 35 Χρόνοι Μετάδοσης Σήματος A-Εξόδου OUT (Όταν OUT=A), Σήματος B-Εξόδου OUT (Όταν OUT = B)

Χρόνος Μετάδοσης	Κατά την Άνοδο	Κατά την Κάθοδο
Σήμα A-OUT	34.9359 ps	42.667 ps
Σήμα B-OUT	33.4921 ps	43.772 ps

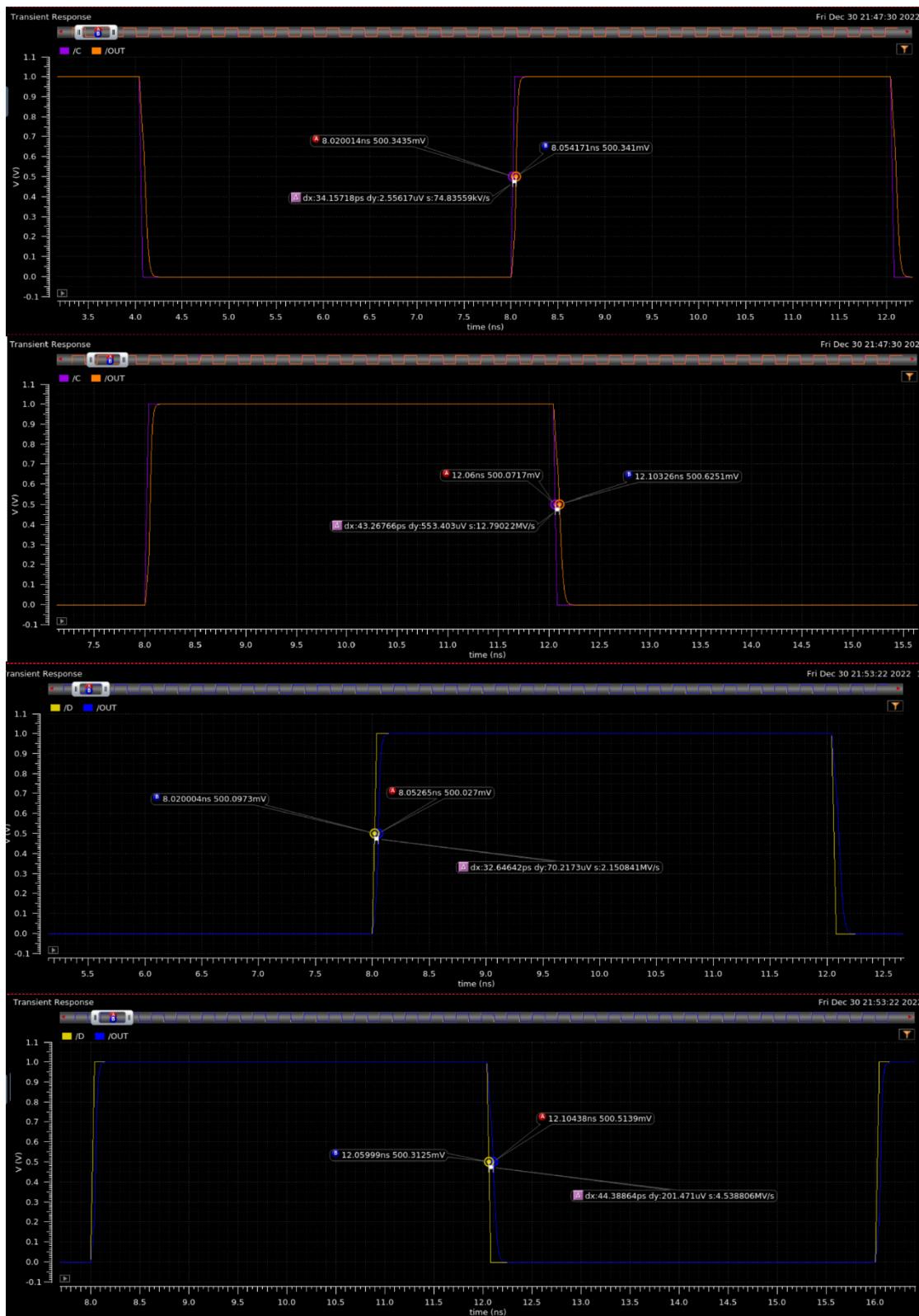


Figure 36 Χρόνοι Μετάδοσης Σήματος C-Εξόδου OUT (Όταν $OUT=C$), Σήματος D-Εξόδου OUT (Όταν $OUT = D$)

Χρόνος Μετάδοσης	Κατά την Άνοδο	Κατά την Κάθοδο
Σήμα C-OUT	34.1571 ps	43.267 ps
Σήμα D-OUT	32.6464 ps	44.388 ps

Φυσικό Σχέδιο Πολυπλέκτη 2 σε 1

Αρχικά υλοποιήθηκε το κελί του πολυπλέκτη 2 σε 1.

- Χρησιμοποιήθηκαν 2 επίπεδα μετάλλου (1 κατακόρυφο, 2 οριζόντιο)
- Θεωρήθηκε ότι το default πάχος των γραμμών ικανοποιεί τις συνθήκες λειτουργίας του κυκλώματος (ρεύμα φορτιού)

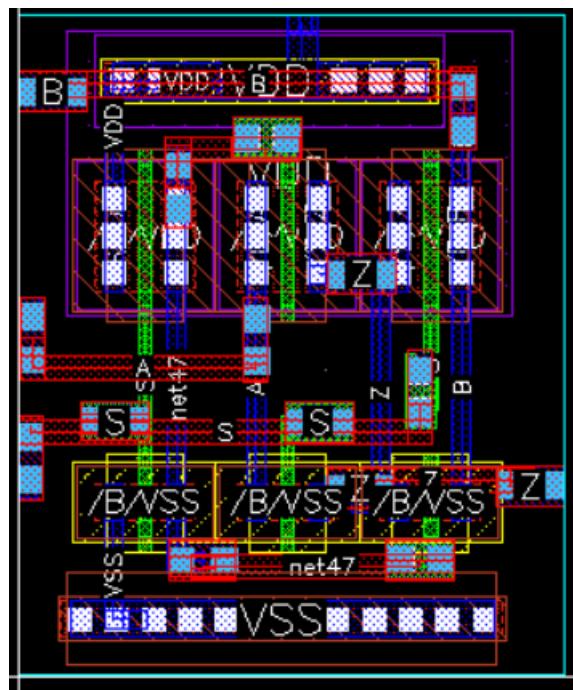


Figure 37 Layout mux 2 to 1

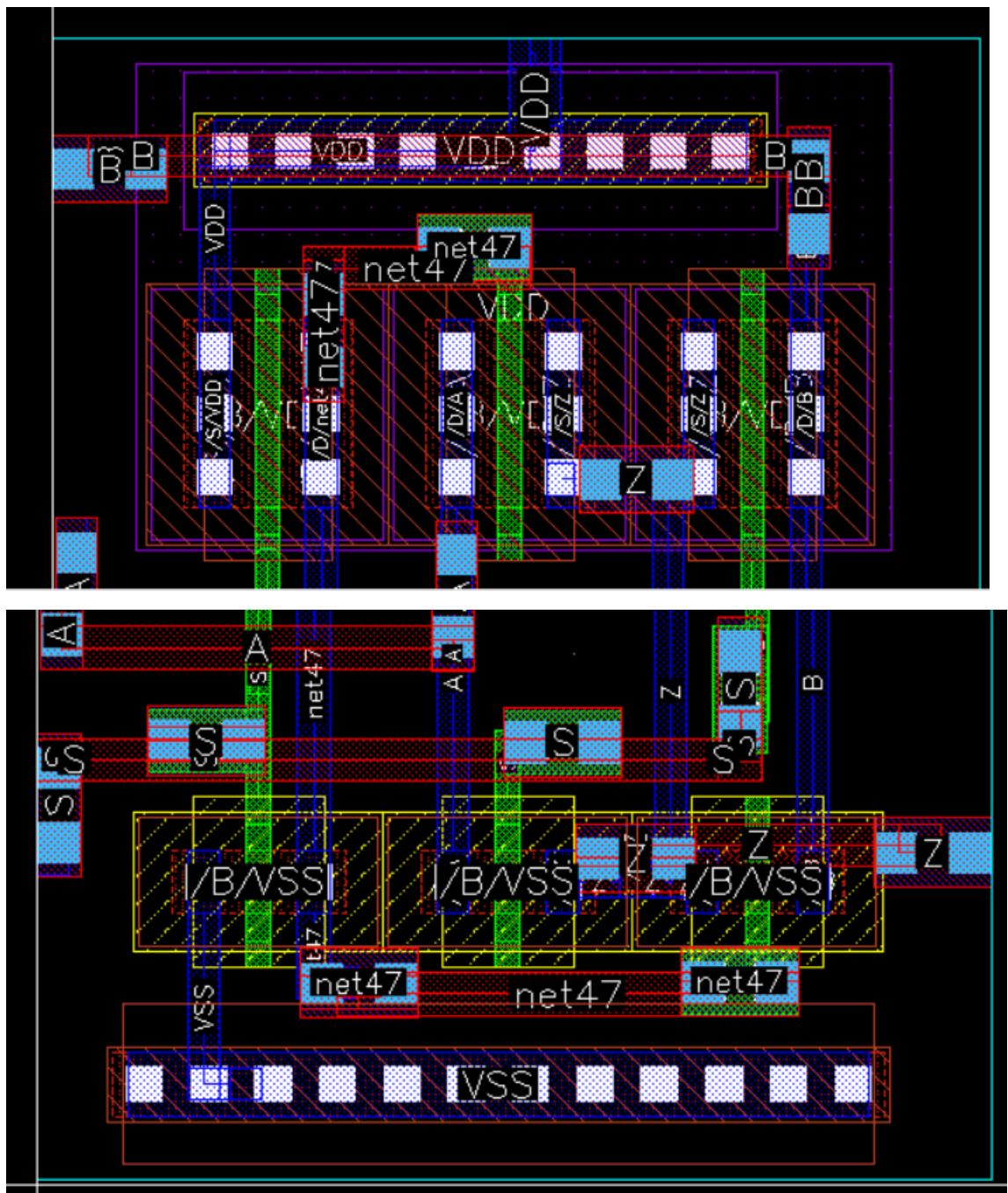


Figure 38 Layout mux 2 to 1 (Zoom)

Στην συνέχεια εκτελέστηκαν επιτυχώς οι έλεγχοι DRC και LVS. (Δεν υπάρχουν παραβάσεις)

```
ERC: Cumulative Time CPU = 0 (s) REAL = 0 (s)
PATTERN_MATCH: Cumulative Time CPU = 0 (s) REAL = 0 (s)
DFM FILL: Cumulative Time CPU = 0 (s) REAL = 0 (s)

Total CPU Time : 1 (s)
Total Real Time : 4 (s)
Peak Memory Used : 26 (M)
Total Original Geometry : 133 (263)
Total DRC RuleChecks : 562
Total DRC Results : 0 (0)
Summary can be found in file mux_2_to_1.sum
ASCII report database is /mnt/scratch_b/users/k/karamitopp/vlsi_drc_2tol/mux_2_to_1.sum
Checking in all SoftShare licenses.

Design Rule Check Finished Normally. Thu Dec 22 21:17:32 2022
```

Figure 39 DRC

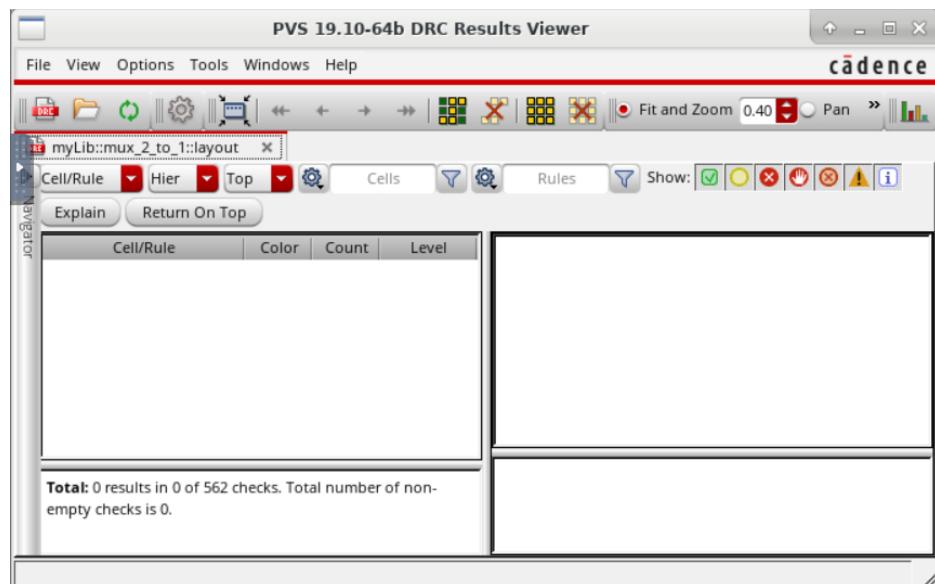


Figure 40 DRC

```

#####
# Run Result      : MATCH
#
# Run Summary     : [INFO]   ERC Results: Empty
#                   : [INFO]   Extraction Clean
#
# ERC Summary File: mux_2_to_1.sum
# Extraction Report File: mux_2_to_1.rep
# Comparison Report File: mux_2_to_1.rep.cls
#
#####
Checking in all SoftShare licenses.

PVS Comparison Finished. Thu Dec 22 21:20:00 2022

```

PVS 19.10-64b LVS Run Status

ERC Results: Empty
Extraction Results: Clean
Comparison Results: Match

Do you want to start the LVS DE?

Figure 41 LVS

Φυσικό Σχέδιο Πολυπλέκτη 4 σε 1

- Χρησιμοποιήθηκαν 4 επίπεδα μετάλλου (1 κατακόρυφο, 2-4 οριζόντια, στο επίπεδο 3 δεν υπάρχει κάποια γραμμή)
- Θεωρήθηκε ότι το default πάχος των γραμμών ικανοποιεί τις συνθήκες λειτουργίας του κυκλώματος (ρεύμα φορτιού).

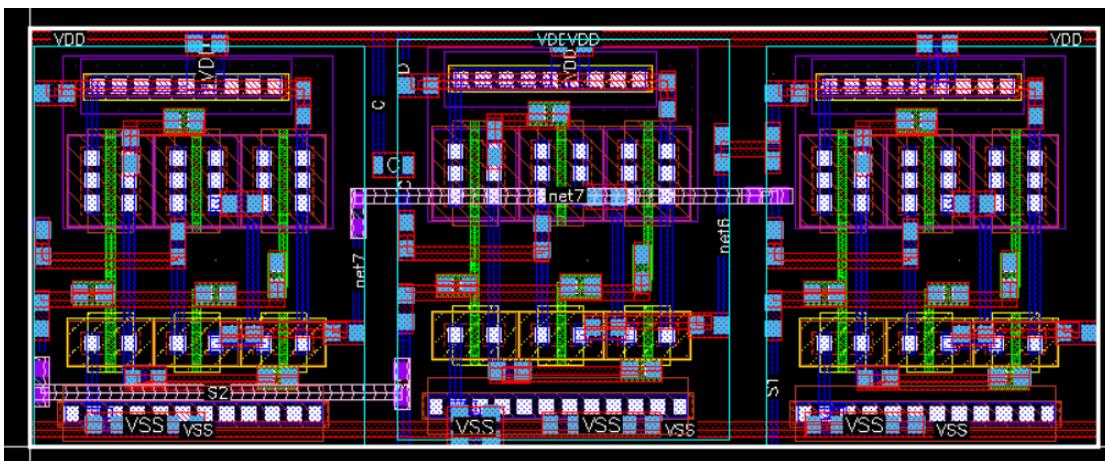


Figure 42 Figure 15 Layout mux 4 to 1

Στην συνέχεια εκτελέστηκαν επιτυχώς οι έλεγχοι DRC και LVS. (Δεν υπάρχουν παραβάσεις)

```

ERC: Cumulative Time CPU = 0(s) REAL = 0(s)
PATTERN_MATCH: Cumulative Time CPU = 0(s) REAL = 0(s)
DFM FILL: Cumulative Time CPU = 0(s) REAL = 0(s)

Total CPU Time : 1(s)
Total Real Time : 4(s)
Peak Memory Used : 30(M)
Total Original Geometry : 201(935)
Total DRC RuleChecks : 562
Total DRC Results : 0 (0)
Summary can be found in file mux_4_to_1.sum
ASCII report database is /mnt/scratch_b/users/k/karamitopp/vlsi_drc_4tol/mux_4_to_
Checking in all SoftShare licenses.

Design Rule Check Finished Normally. Fri Dec 23 20:34:11 2022

```

Figure 43 DRC

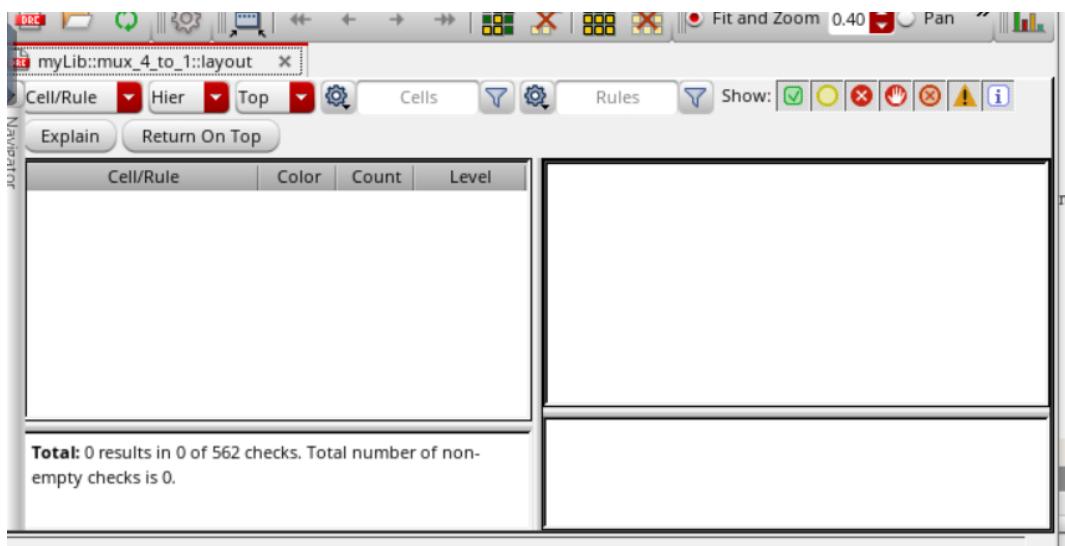


Figure 44 DRC

```

#####
# Run Result      : MATCH
#
# Run Summary     : [INFO]   ERC Results: Empty
#                   : [INFO]   Extraction Clean
#
# ERC Summary File : mux_4_to_1.sum
# Extraction Report File : mux_4_to_1.rep
# Comparison Report File : mux_4_to_1.rep.cls
#
#####
Checking in all SoftShare licenses.

PVS Comparison Finished. Fri Dec 23 20:36:46 2022

```

PVS 19.10-64b LVS Run Status

ERC Results	Empty
Extraction Results:	Clean
Comparison Results:	Match

Do you want to start the LVS DE?

Figure 45 LVS

Βιβλιογραφία-Πηγές

- 1) Υλικό Μαθήματος Σχεδίαση Συστημάτων VLSI, THMMY ΑΠΘ
- 2) Σχεδίαση Ολοκληρωμένων Κυκλωμάτων CMOS VLSI, Weste Neil H., Eshraghian Kamran, Δημήτριος Σούντρης, Κ. Πεκμεστζή