

Εργαστηριακές Ασκήσεις Μαθήματος Σχεδίασης VLSI 2022/23

Οδηγίες: Η κάθε ομάδα (μέχρι δύο άτομα) πρέπει να επιλέξει μία άσκηση για την οποία θα πρέπει να κατανοήσει τη λειτουργία της και να παράξει σε επίπεδο τρανζίστορ (αν αυτό δε δίνεται) τη σχηματική (schematic) και φυσική (layout) σχεδίαση του κυκλώματος.

1 Σχεδίαση πολυπλέκτη με πύλες μετάδοσης

Ελεύθερη επιλογή του πλάτους του πολυπλέκτη. Το τελικό φυσικό σχέδιο να περιλαμβάνει γραμμές τροφοδοσίας.

2 Ανορθωτής- ανιχνευτής πλάτους

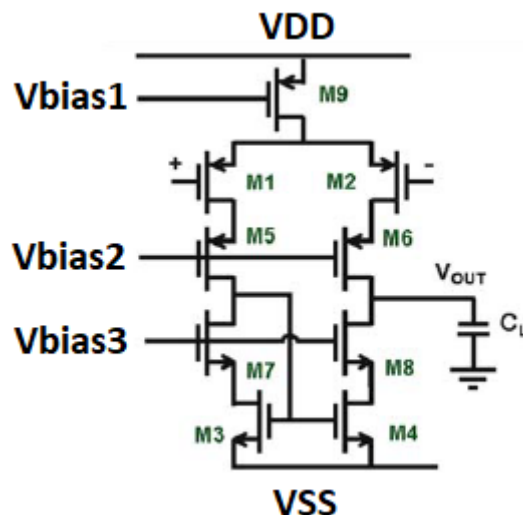
Στο Fig.2 μόνο το "class AB rectifier", από το το σχετικό pdf (πρόθεμα ex_11) (διαθέσιμο από το elearning)

3 VCO

Τα Fig.6 & Fig.7 διαθέσιμα από το σχετικό pdf (πρόθεμα ex_12) (διαθέσιμο από το elearning).

4 Telescopic OTA

Να σχεδιάσετε τον ενισχυτή ο οποίος εικονίζεται ακολούθως. $V_{DD} = 3.3\text{ V}$, κέρδος στις χαμηλές συχνότητες $\text{Gain}_{DC} > 20\text{ dB}$, $\text{GBW} > 5\text{ MHz}$ και περιθώριο φάσης $\text{PM} > 60^\circ$, $C_{LOAD} = 1\text{ pF}$.



5 Ενισχυτής OCA

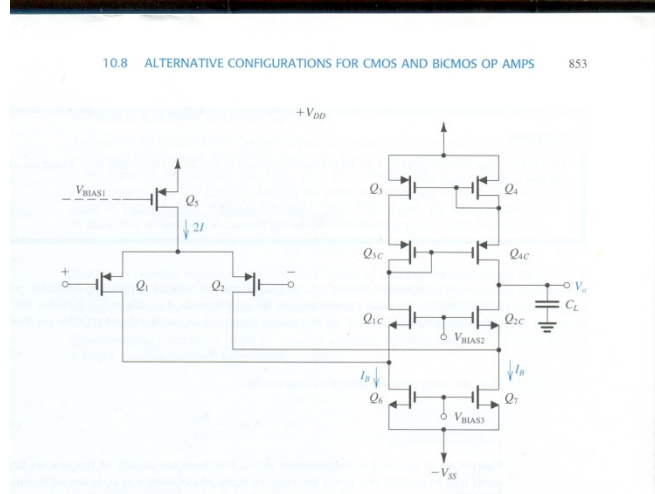
Που το λαμβάνετε από το σχετικό rar αρχείο (πρόθεμα ex_13) (διαθέσιμο από το elearning)

6 Threshold referenced current source

Το κύκλωμα 4.39 (b) που το λαμβάνετε από το σχετικό pdf (πρόθεμα ex_14) (διαθέσιμο από το elearning)

7 Τελεστικός Ενισχυτής

Που εικονίζεται στο παρακάτω σχήμα.



Σχήμα 15. Κύκλωμα τελεστικού ενισχυτή.

8 Two stage operational amplifier

Το σχήμα 6.2-8 από το σχετικό pdf (πρόθεμα exs_16&17) (διαθέσιμο από το elearning)

9 Folded Cascode operational amplifier

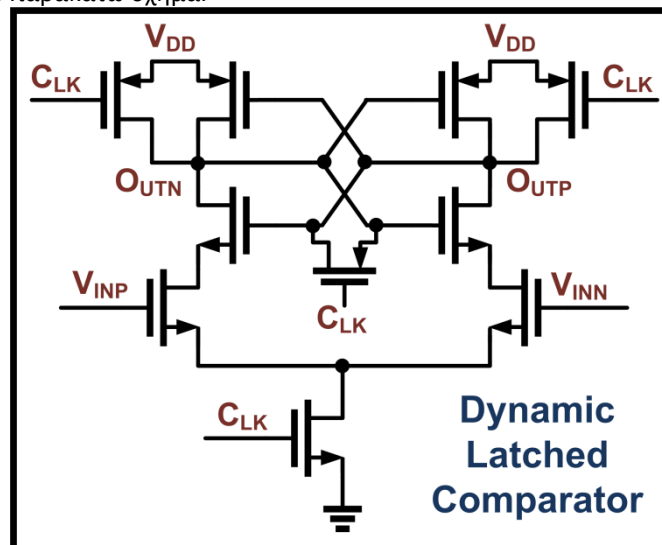
Το σχήμα 6.1-9 από το σχετικό pdf (πρόθεμα exs_16&17) (διαθέσιμο από το elearning)

10 ISFET buffer

Το Fig. 4 που το λαμβάνετε από το σχετικό pdf αρχείο (πρόθεμα ex_21) (διαθέσιμο από το elearning)

11 Dynamic comparator

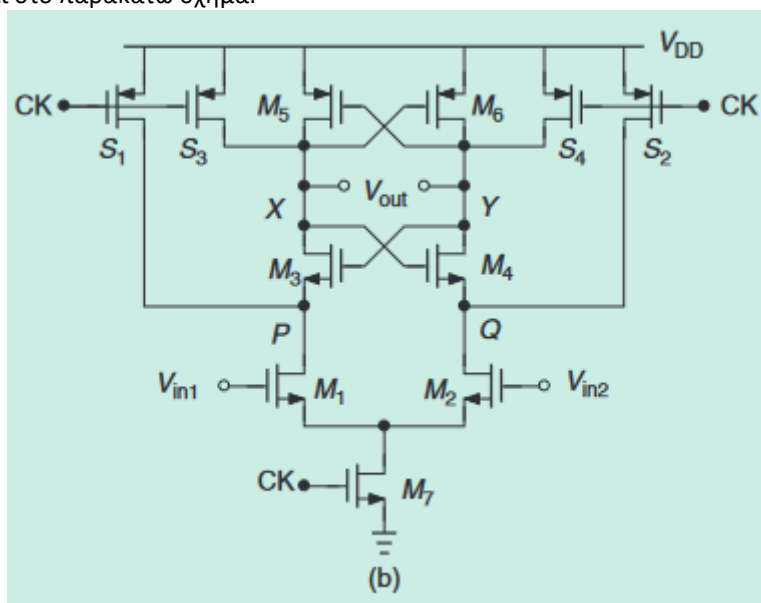
Που εικονίζεται στο παρακάτω σχήμα.



Σχήμα 24. Κύκλωμα δυναμικού συγκριτή.

12 StrongARM Latch

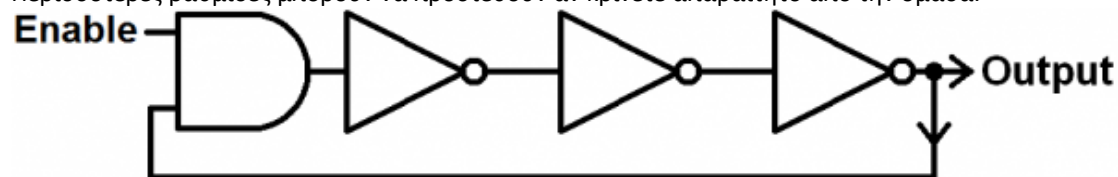
Που εικονίζεται στο παρακάτω σχήμα.



<https://ieeexplore.ieee.org/document/7130773>

13 Σχεδίαση κυκλικού ταλαντωτή

Σχεδίαση κυκλώματος κυκλικού ταλαντωτή (ring oscillator) με επίτρεψη με βάση το Σχήμα 7.1. Περισσότερες βαθμίδες μπορούν να προστεθούν αν κρίνεται απαραίτητο από την ομάδα.



Σχήμα 27.1. Κύκλωμα σε επίπεδο πύλης ενός βασικού κυκλικού ταλαντωτή.

14 Σχεδίαση μανδαλωτή (latch)

Σχεδίαση κυκλώματος μανδαλωτή (latch) με ανάδραση, σελ. 392, σχήμα 10.17(ε) από το Weste and Harris, Σχεδίαση Ολοκληρωμένων Συστημάτων CMOS VLSI, 4^η έκδοση, ISBN: 978-960-7182-67-8, 2011

15 Σχεδίαση γεννήτριας παλμών

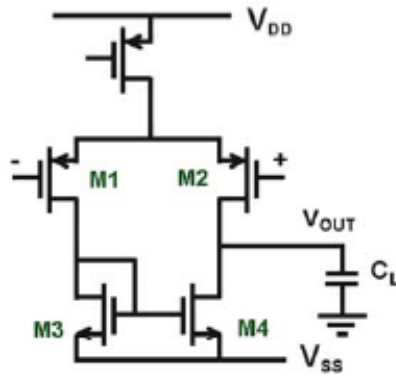
Σχεδίαση κυκλώματος απλής γεννήτριας παλμών, σελ. 395, σχήμα 10.22(α), από το Weste and Harris, Σχεδίαση Ολοκληρωμένων Συστημάτων CMOS VLSI, 4^η έκδοση, ISBN: 978-960-7182-67-8, 2011

16 Κύκλωμα ενισχυτή αίσθησης (sense amplifier)

Σχεδίαση κυκλώματος ενισχυτή αίσθησης (sense amplifier) όπου το κύκλωμα εικονίζεται στο Σχήμα 12.28, σελ. 511-514, από το Weste and Harris, Σχεδίαση Ολοκληρωμένων Συστημάτων CMOS VLSI, 4^η έκδοση, ISBN: 978-960-7182-67-8, 2011

17 Απλός τελεστικός ενισχυτής p-εισόδου

Να σχεδιάσετε τον ενισχυτή ο οποίος εικονίζεται ακολούθως. $V_{DD} = 3.3\text{ V}$, κέρδος στις χαμηλές συχνότητες $\text{Gain}_{DC} > 10\text{ dB}$, $\text{GBW} > 10\text{ MHz}$ και περιθώριο φάσης $\text{PM} > 60^\circ$, $C_{LOAD} = 1\text{ pF}$.



18 Κύκλωμα βελτιωμένου απομονωτή

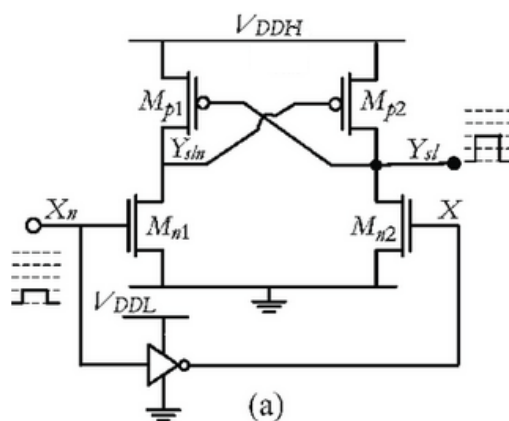
Σχεδίαση κυκλώματος βελτιωμένου απομονωτή για χρήση του σε αμφίδρομο ακροδέκτη E/E όπου τα σχετικά κυκλώματα εικονίζονται στο Σχήμα 13.47 και 13.48, σελ. 592-593, από το Weste and Harris, Σχεδίαση Ολοκληρωμένων Συστημάτων CMOS VLSI, 4^η έκδοση, ISBN: 978-960-7182-67-8, 2011. **Σημείωση:** ο φυσικός ακροδέκτης (pad) μπορεί να μοντελοποιηθεί με μία χωρητικότητα στο σχηματικό και με μία χωρητικότητα MIM στο φυσικό σχέδιο

19 Κύκλωμα παλμικού ρολογιού

Σχεδίαση κυκλώματος παραγωγής παλμικού ρολογιού, όπως εικονίζεται στο Σχήμα 13.29, σελ. 575-577, από το Weste and Harris, Σχεδίαση Ολοκληρωμένων Συστημάτων CMOS VLSI, 4^η έκδοση, ISBN: 978-960-7182-67-8, 2011. Θα πρέπει να σχεδιαστεί το κύκλωμα με enable (en), και τρεις αντιστροφείς

20 Κύκλωμα αλλαγής επιπέδου τάσης (Level-shifter)

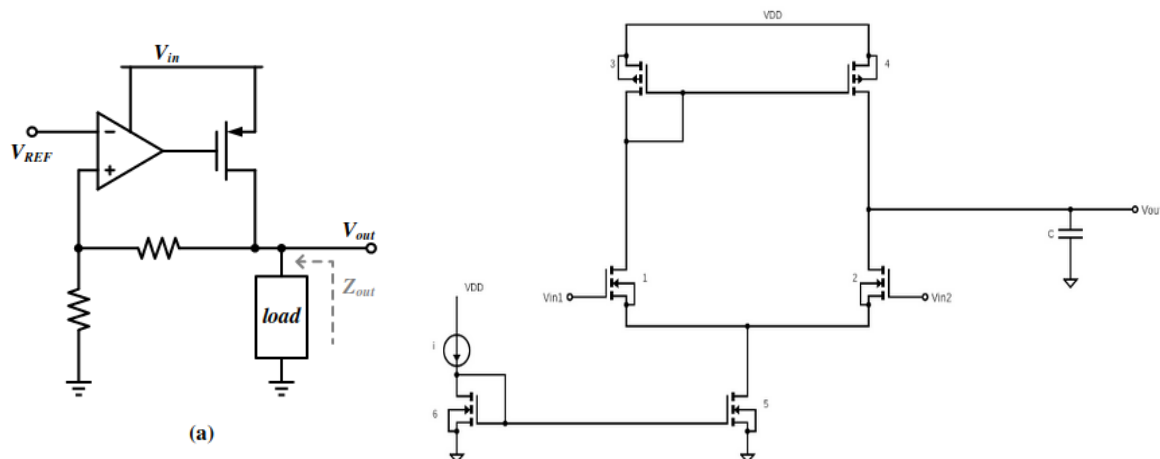
Να σχεδιάσετε το κύκλωμα το οποίο εικονίζεται ακολούθως, το οποίο δέχεται παλμούς χαμλής τάσης VDDL στην είσοδό του και τους μετατρέπει σε υψηλότερης στάθμης παλμούς (up level-shifter). Η VDDL = 0.9 V και η VDDH = 3.3 V. Να χρησιμοποιηθούν τα κατάλληλα τρανζιστορ όπου χρειάζονται αναλόγως με το voltage domain.



Conventional level shifter.

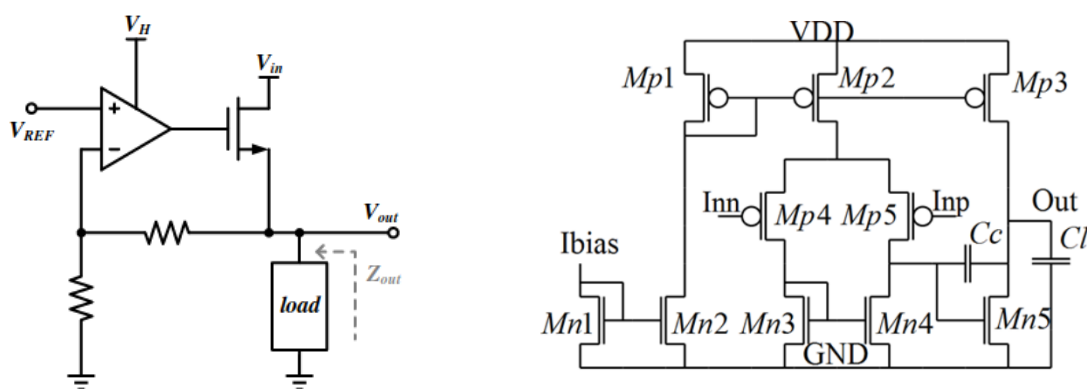
21 Κύκλωμα LDO με PMOS pass element

Να σχεδιαστεί το κύκλωμα της εικόνας και ο ενισχυτής να είναι ένας διαφορικός ενισχυτής με npmos διαφορικό ζεύγος. Η έξοδος να είναι 0.8V και η Vref 0.6V. Και το φορτίο να είναι 1mA. Να γίνει DC προσομοίωση για TT, FF και SS corners. Η τροφοδοσία να είναι 1.2V και να γίνουν παραμετρικές προσομοιώσεις για την τροφοδοσία και το φορτίο για +-10%.



22 Κύκλωμα LDO με NMOS pass element

Να σχεδιαστεί το κύκλωμα της εικόνας και ο ενισχυτής να είναι ένας διαφορικός ενισχυτής με npmos διαφορικό ζεύγος. Η έξοδος να είναι 0.8V και η Vref 0.6V. Το φορτίο να είναι 1mA. Να γίνει DC προσομοίωση για TT, FF και SS corners. Η τροφοδοσία V_{in} να είναι 1.2V και η V_h 1.8V και να γίνουν παραμετρικές προσομοιώσεις για τις τροφοδοσίες και το φορτίο για +-10%.



23 Συμμετρικός τελεστικός ενισχυτής p-εισόδου

Να σχεδιάσετε τον ενισχυτή ο οποίος εικονίζεται ακολούθως. $V_{DD} = 3.3\text{ V}$, κέρδος στις χαμηλές συχνότητες $\text{Gain}_{DC} > 20\text{ dB}$, $\text{GBW} > 5\text{ MHz}$ και περιθώριο φάσης $\text{PM} > 60^\circ$, $\text{CLOAD} = 1\text{ pF}$.

