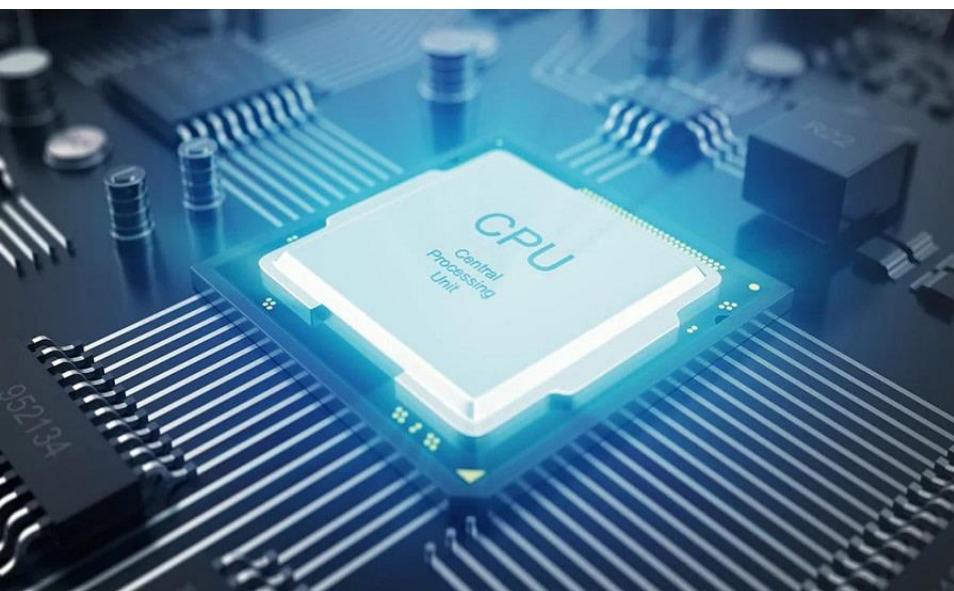


Ψηφιακά Ολοκληρωμένα Κυκλώματα VLSI-ASIC Μεγάλης Κλίμακας



ΚΑΡΑΜΗΤΟΠΟΥΛΟΣ ΠΑΝΑΓΙΩΤΗΣ

AEM 9743

email: karamitopp@ece.auth.gr

Περιεχόμενα

Άσκηση 1	5
Βήμα 1	5
Βήμα 2	5
Βήμα 3	5
Βήμα 4	6
Βήμα 5	6
Βήμα 6	6
Βήμα 7	10
Βήμα 8-10	10
Βήμα 12	10
Βήμα 11	13
Βήμα 13	14
Βήμα 14	14
Βήμα 15	18
Βήμα 16	20
Άσκηση 2	22
Βήμα 2.12	22
Βήμα 2.13	22
Βήμα 2.14	22
Βήμα 2.15	23
Άσκηση 3	24
Βήμα 3.9-3.10	24
Βήμα 3.12	24
Βήμα 3.13	24
Βήμα 3.14	24
Βήμα 3.15	25
Άσκηση 4	27
Βήμα 4.1-4.3	27
Βήμα 4.4	27
Βήμα 4.5	27
Βήμα 4.6	27
Βήμα 4.7-4.10	29
Βήμα 4.12	29

Βήμα 4.11.....	32
Βήμα 4.13.....	33
Βήμα 4.14.....	33
Βήμα 4.15.....	37
Βήμα 4.16.....	38
Άσκηση 5	41
Βήμα 5.1-5.5	41
Βήμα 5.6.....	41
Βήμα 5.7-5.10	42
Βήμα 5.12.....	42
Βήμα 5.11.....	44
Βήμα 5.13.....	45
Βήμα 5.14.....	45
Βήμα 5.15.....	48
Βήμα 5.16.....	49
Άσκηση 6	51
Βήμα 6.1-6.2, 6.4.....	51
Βήμα 6.3.....	51
Βήμα 6.5.....	52
Βήμα 6.6.....	52
Βήμα 6.7-6.10	55
Βήμα 6.12.....	55
Βήμα 6.11.....	58
Βήμα 6.13.....	58
Βήμα 6.14.....	59
Βήμα 6.15.....	63
Βήμα 6.16.....	64
Άσκηση 7	67
Βήμα 7.1-7.3	67
Βήμα 7.4-7.5	67
Βήμα 7.6-7.7	70
Άσκηση 8	71
Βήμα 8.8.....	71
Βήμα 8.9.....	71
Βήμα 8.10.....	72

Βήμα 8.12	72
Βήμα 8.13	75
Βήμα 8.14	75
Βήμα 8.15	77
Βήμα 8.16	81
Άσκηση 9	83
Βήμα 9.1-9.3	83
Βήμα 9.4-9.5	85
Βήμα 9.6	85
Ενδιαφέρουσες παρατηρήσεις	93
Βιβλιογραφία-Πηγές	96

Άσκηση 1

Βήμα 1

Ορίζονται τα μονοπάτια για τις βιβλιοθήκες χρονισμού, φυσικών πληροφοριών (*.lef) και παρασιτικών, και κατόπιν διαβάζονται οι βιβλιοθήκες (fast_vdd1v0_basicCells.lib, τα δύο αρχεία tech και macro του φακέλου lef, και το αρχείο .tch του φακέλου qrc) μέσω των παρακάτω εντολών:

```
set_db init_lib_search_path  
"/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/tlul/reference_libs/GPDK045/gsclib045_svt_v4.4/gsclib045/timing"  
set_db script_search_path "/mnt/scratch_b/users/k/karamitopp/Desktop/"  
set_db init_hdl_search_path "/mnt/scratch_b/users/k/karamitopp/Desktop/"  
gui_show  
set_db library fast_vdd1v0_basicCells.lib  
set_db lef_library  
"/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/tlul/reference_libs/GPDK045/gsclib045_svt_v4.4/gsclib045/lef/gsclib045_tech.lef"  
set_db lef_library  
"/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/tlul/reference_libs/GPDK045/gsclib045_svt_v4.4/gsclib045/lef/gsclib045_macro.lef"  
read_qrc  
"/mnt/apps/prebuilt/eda/designkits/GPDK/gsclib045/lan/flow/tlul/reference_libs/GPDK045/gsclib045_svt_v4.4/gsclib045/qrc/qx/gpdk045.tch/gpdk045.tch"  
read_hdl picorv32.v
```

Κατά την ανάγνωση της βιβλιοθήκης καθυστέρησης το εργαλείο βγάζει κάποια warnings για ορισμένα κελιά τα οποία δεν έχουν κάποια pins (αυτό το θέμα έχει να κάνει με την βιβλιοθήκη που χρησιμοποιήθηκε).

Βήμα 2

Διαβάζεται το αρχείο περιγραφής του κυκλώματος picorv32.v μέσω της εντολής:

```
read_hdl picorv32.v
```

Το top-level-module του κυκλώματος είναι το picorv32.

Βήμα 3

Μια πρώτη ανάλυση του κυκλώματος και ο έλεγχος του κυκλώματος για τυχόν προβλήματα γίνεται μέσω των εντολών: (Δεν υπάρχουν unresolved references).

```
elaborate "picorv32"  
check_design -all
```

Βήμα 4

Οι επιθυμητοί περιορισμοί για την σύνθεση περιέχονται στο αρχείο synthesis_constraints.sdc. Το αρχείο περιορισμών διαβάζεται, και ελέγχεται μέσω των εντολών:

```
read_sdc synthesis_constraints.sdc
set_db / .use_scan_seqs_for_non_dft false
check_timing_intent
```

Βήμα 5

Εκτελούνται οι παρακάτω εντολές για την σύνθεση του κυκλώματος.

```
syn_generic
syn_map
syn_opt
```

Βήμα 6

Έχοντας συνθέσει επιτυχώς το κύκλωμα της άσκησης, αποτιμούνται στους παρακάτω πίνακες τα χαρακτηριστικά του κυκλώματος.

Ισχύς

Instance: /picorv32
Power Unit: W
PDB Frames: /stim#0/frame#0

Category	Leakage	Internal	Switching	Total	Row%
memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
register	6.73184e-07	6.90807e-04	1.82694e-04	8.74174e-04	20.67%
latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
logic	1.37885e-06	3.71307e-04	2.98239e-03	3.35508e-03	79.33%
bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
clock	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
Subtotal	2.05203e-06	1.06211e-03	3.16508e-03	4.22925e-03	100.00%
Percentage	0.05%	25.11%	74.84%	100.00%	100.00%

Figure 1 Ισχύς του Κυκλώματος

Επιφάνεια

```
=====
Generated by:          Genus(TM) Synthesis Solution 19.11-s087_1
Generated on:          Nov 17 2022  05:28:56 pm
Module:                picorv32
Technology libraries: fast_vdd1v0 1.0
                        physical_cells
Operating conditions: PVT_1P1V_0C
Interconnect mode:    global
Area mode:             physical library
=====

Instance Module  Cell Count  Cell Area  Net Area   Total Area
-----
picorv32          10364     30689.370      0.000     30689.370
```

Figure 2 Επιφάνεια του Κυκλώματος

Αριθμός Κελιών

total	10364	30689.370
-------	-------	-----------

Type	Instances	Area	Area %
<hr/>			
sequential	1961	10955.628	35.7
inverter	365	275.652	0.9
buffer	232	1904.256	6.2
logic	7806	17553.834	57.2
physical_cells	0	0.000	0.0
<hr/>			
total	10364	30689.370	100.0

Figure 3 Αριθμός Κελιών του Κυκλώματος

Slack

```
=====
Generated by:          Genus(TM) Synthesis Solution 19.11-s087_1
Generated on:          Nov 17 2022  05:29:24 pm
Module:                picorv32
Operating conditions: PVT_1P1V_0C
Interconnect mode:    global
Area mode:             physical library
=====

Path 1: MET (5735 ps) Late External Delay Assertion at pin mem_la_addr[30]
        Group: clk
        Startpoint: (R) resetn
            Clock: (R) clk
        Endpoint: (F) mem_la_addr[30]
            Clock: (R) clk

            Capture           Launch
        Clock Edge:+ 10000          0
        Drv Adjust:+     0         25
        Src Latency:+     0          0
        Net Latency:+     0 (I)      0 (I)
        Arrival:= 10000         25

        Output Delay:- 1000
        Uncertainty:-   50
        Required Time:= 8950
        Launch Clock:-   25
        Input Delay:- 1000
        Data Path:- 2190
        Slack:= 5735

Exceptions/Constraints:
  input_delay          1000      synthesis_constraint_line_26
  output_delay         1000      synthesis_constraint_line_14_74_1
```

Figure 4 Slack

Quality of Results

```
=====
Generated by:          Genus(TM) Synthesis Solution 19.11-s087_1
Generated on:          Nov 17 2022  05:31:13 pm
Module:                picorv32
Operating conditions: PVT_1P1V_0C
Interconnect mode:    global
Area mode:             physical library
=====

Timing
-----
Clock Period
-----
clk  10000.0

Cost      Critical           Violating
Group     Path Slack   TNS      Paths
-----
clk        5735.0   0.0       0
default    No paths   0.0
-----
Total          0.0       0

Instance Count
-----
Leaf Instance Count      10364
Physical Instance count  0
Sequential Instance Count 1961
Combinational Instance Count 8403
Hierarchical Instance Count 0

Area
-----
Cell Area              30689.370
Physical Cell Area     0.000
Total Cell Area (Cell+Physical) 30689.370
Net Area               0.000
Total Area (Cell+Physical+Net) 30689.370

Max Fanout            1961 (clk)
Min Fanout            1 (alu_out_q[1])
Average Fanout        2.7
Terms to net ratio    3.7106
Terms to instance ratio 4.0167
Runtime                411.8330199999999 seconds
Elapsed Runtime        1258 seconds
Genus peak memory usage 1126.76
Innovus peak memory usage no_value
Hostname               cn94.it.auth.gr
```

Figure 5 Quality of result

Τα παραπάνω αποτελέσματα προκύπτουν μέσω των εντολών:

```
report_area > area.txt  
report_timing > timing.txt  
report_power > power.txt  
report_gates > gates.txt  
report_qor > qor.txt
```

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 1.

Αριθμόν Κελιών	Επιφάνεια	Slack	Ισχύς	Clock
10364	30689.370 μm^2	5735 ps	$4.229 \cdot 10^{-3} W$	10 ns

Πίνακας 1

Βήμα 7

Μέσω της εντολής `write_design -innovus picorv32` παράγονται όλα τα απαραίτητα αρχεία για το εργαλείο innovus, τα οποία αποθηκεύονται στον φάκελο `genus_invs_des`.

Βήμα 8-10

Εφαρμόζονται όλες η διαδικασίες που περιγράφονται στα αντίστοιχα σημεία της εκφώνησης και του εγχειριδίου για την δημιουργία του δικτύου διανομής ισχύος (δακτύλιοι, γραμμές).

Μέσω των παρακάτω εντολών έγινε η αντιστοίχιση των ακροδεκτών τροφοδοσίας/γείωσης με τους αντίστοιχους ακροδέκτες των κελιών της βιβλιοθήκης, καθώς και δημιουργήθηκαν οι ακροδέκτες τροφοδοσίας/γείωσης στο φυσικό επίπεδο.

```
globalNetConnect VDD -type pgpin -pin VDD -inst *  
globalNetConnect VDD -type tiehi -instanceBasename *  
globalNetConnect VSS -type pgpin -pin VSS -inst *  
globalNetConnect VSS -type tielo -instanceBasename *  
createPGPin VDD -net VDD -geom Metal10 20 0 22 12  
createPGPin VSS -net VSS -geom Metal11 26 0 28 6  
editPowerVia -top_layer Metal11 -area {20 9 22 12} -add_vias 1 -bot-  
tom_layer Metal10
```

Τέλος μέσω του SRoute δημιουργήθηκαν τα follow pins για την σύνδεση των κελιών με το δίκτυο διανομής ισχύος.

Βήμα 12

Αφού ρυθμιστεί η βελτιστοποίηση για τον χρονισμό (επιλέγοντας `high effort`), εκτελείται η τοποθέτηση μέσω των εντολών:

```
setDesignMode -process 45  
getPlaceMode // (έλεγχος ρυθμίσεων τοποθέτησης)  
place_opt_design
```

Έπειτα εξάγονται οι αναφορές (Figure 6-8) μέσω των εντολών:

```
report_power > innovus_power.txt  
report_timing > innovus_timing.txt  
report_area > innovus_area.txt
```

Επιφάνεια

Hinst Name	Module Name	Inst Count	Total Area
picorv32		10739	30562.146

Figure 6 Επιφάνεια του Κυκλώματος

Timing

```
Path Groups: {clk}
Analysis View: default_emulate_view
Other End Arrival Time      0.000
- External Delay            1.000
+ Phase Shift               10.000
- Uncertainty                0.050
= Required Time             8.950
- Arrival Time              2.575
= Slack Time                6.375
Clock Rise Edge             0.000
+ Input Delay                1.000
+ Drive Adjustment           0.042
= Beginpoint Arrival Time   1.042
```

Figure 7 Timing Report

Ισχύς

Total Power						
Total Internal Power:	1.04842395		33.5074%			
Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)	
Sequential	0.7067	0.1002	0.0006725	0.8076	25.81	
Macro	0	0	0	0	0	
IO	0	0	0	0	0	
Combinational	0.3417	1.978	0.001345	2.321	74.19	
Clock (Combinational)	0	0	0	0	0	
Clock (Sequential)	0	0	0	0	0	
Total	1.048	2.078	0.002018	3.129	100	
Rail	Voltage	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
VDD	1.1	1.048	2.078	0.002018	3.129	100
* Power Distribution Summary:						
* Highest Average Power: FE_OFC504_mem_la_addr_2 (CLKINVX20): 0.0135						
* Highest Leakage Power: FE_OFC540_pcpi_rs2_18 (BUFX20): 1.034e-06						
* Total Cap: 1.47531e-10 F						
* Total instances in design: 10739						
* Total instances in design with no power: 0						
* Total instances in design with no activity: 0						
* Total Fillers and Decap: 0						

Figure 8 Power Report

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 2.

Επιφάνεια	Slack	Total Power	Internal Power	Switching Power	Leakage Power
30562.146 μm^2	6.375ns	3.129 W	1.048 W	2.078 W	0.002018 W

Πίνακας 2

Τέλος ελέγχοντας την τοποθέτηση, μέσω του Check Placement παρατηρείται ότι υπάρχουν σε κάποια σημεία παραβάσεις (τα οποία ευθύνονται στο BUFX2 Figure 9).

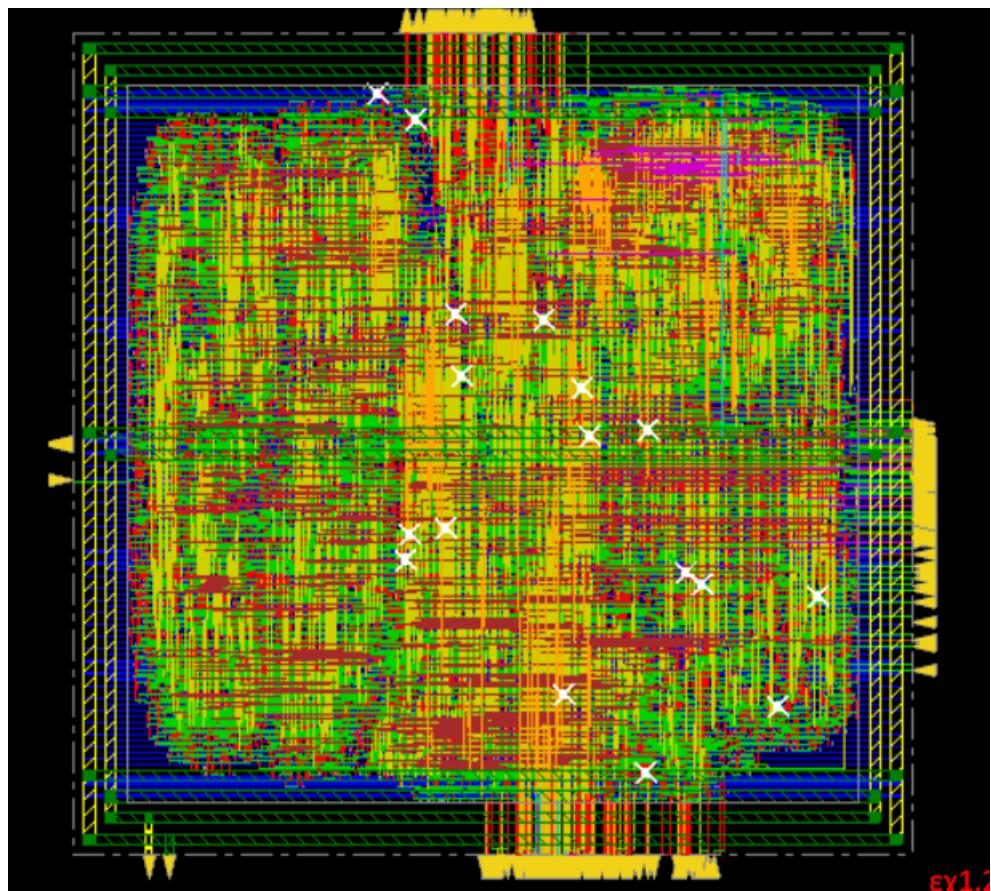


Figure 9

Βήμα 11

Η Early Power Analysis έγινε μετά την τοποθέτηση, ούτως ώστε να γίνει αποτίμηση της ικανότητας του δικτύου διανομής να τροφοδοτήσει κάθε κόμβο του κυκλώματος.

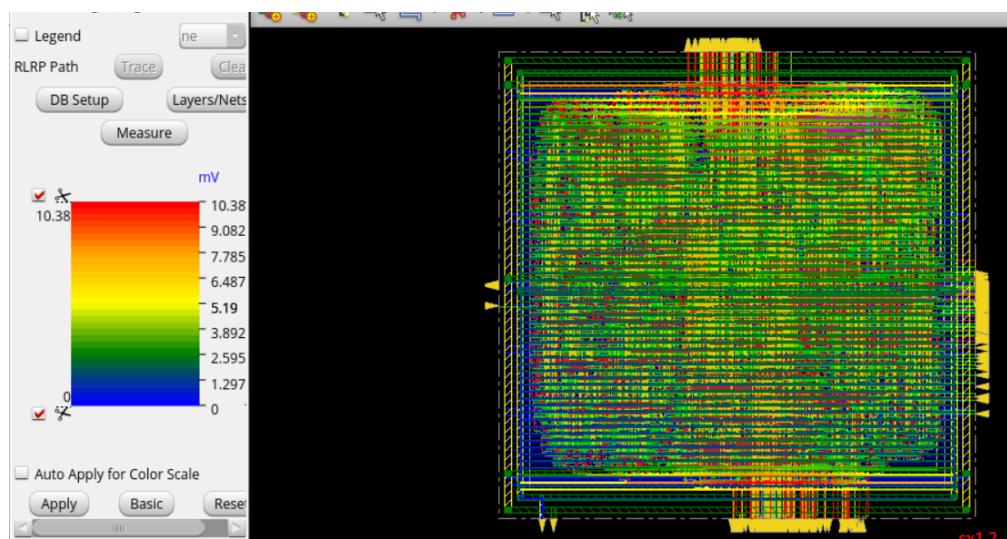


Figure 10

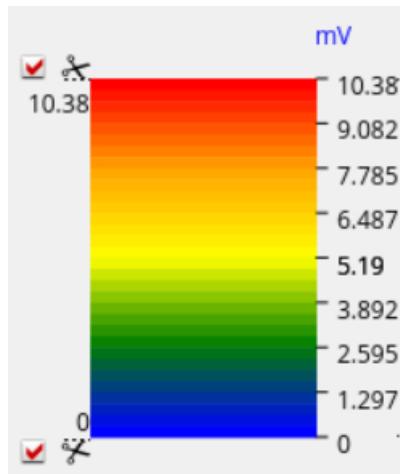


Figure 11

Βήμα 13

Εφαρμόζεται Early Global Routing 1) με εύρος δρομολόγησης που να καλύπτει όλα τα μέταλλα 2) με εύρος από το δεύτερο (M2) ως το προτελευταίο (M10).

Μέσω της εντολής `reportCongestion -hotSpot` προκύπτει δεν υπάρχει συμφόρηση σε κάποια από τις δύο περιπτώσεις (`max, total hotspot = 0`).

> reportCongestion -hotSpot		
	max hotspot	total hotspot
normalized	0.00	0.00

Figure 12 max & total hotspot

Βήμα 14

Δημιουργήθηκε ένα NDR με διπλάσιο πάχος και κενό για όλα τα μέταλλα. Ύστερα δημιουργήθηκε μέσω της εντολής: `create_route_type -top_preferred_layer Metal9 -bottom_preferred_layer Metal7 -non_default_rule NDRSTEP13 -name STEP13` ένας τύπος δρομολόγησης που ακολουθεί το NDR και έχει μέγιστο επίπεδο το μέταλλο 9 και ελάχιστο επίπεδο το μέταλλο 7 (Δεδομένου ότι το δίκτυο διανομής της ισχύος χρησιμοποιεί τα μέταλλα 10 και 11). Επιπλέον προστέθηκε στρέβλωση 100ps και μέγιστος ρυθμός μετάβασης ρολογιού ίσο με 150ps, μέσω των εντολών:

```
set_ccopt_property target_skew 0.1
set_ccopt_property target_max_trans 0.15
```

Έπειτα δημιουργήθηκε ένα αρχείο spec, το δέντρο ρολογιού, και έγινε βελτιστοποίηση του Design

```
create_ccopt_clock_tree_spec -file step14sel46pdf  
ccopt_design  
optDesign -postCTS
```

Έπειτα εξάγονται οι αναφορές (Figure 13-17) μέσω των εντολών:

```
report_power > report_power_vima14.txt  
report_area > report_area_vima14.txt  
report_timing > report_timing_vima14.txt  
report_ccopt_clock_trees > report_ccopt_clock_trees_vima14.txt  
report_ccopt_skew_groups > report_ccopt_skew_groups_vima14.txt
```

Επιφάνεια

Hinst Name	Module Name	Inst Count	Total Area
picorv32		10819	30853.872

Figure 13 report_area

Timing

```
Analysis View: default_emulate_view  
Other End Arrival Time      0.000  
- External Delay           1.000  
+ Phase Shift              10.000  
- Uncertainty               0.050  
= Required Time            8.950  
- Arrival Time              2.590  
= Slack Time                6.360  
Clock Rise Edge             0.000  
+ Input Delay               1.000  
+ Drive Adjustment          0.043  
= Beginpoint Arrival Time  1.043
```

Figure 14 Timing Report

Ισχύς

```
Total Internal Power: 1.08180217 32.7892%
Total Switching Power: 2.21541367 67.1487%
Total Leakage Power: 0.00205112 0.0622%
Total Power: 3.29926696
```

Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.7015	0.1003	0.0006725	0.8025	24.32
Macro	0	0	0	0	0
IO	0	0	0	0	0
Combinational	0.3567	1.978	0.00137	2.336	70.79
Clock (Combinational)	0.02363	0.1375	9.107e-06	0.1612	4.885
Clock (Sequential)	0	0	0	0	0
Total	1.082	2.215	0.002051	3.299	100

Rail	Voltage	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
VDD	1.1	1.082	2.215	0.002051	3.299	100

Clock	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
clk	0.02363	0.1375	9.107e-06	0.1612	4.885
Total	0.02363	0.1375	9.107e-06	0.1612	4.885

Clock: clk
Clock Period: 0.010000 usec
Clock Toggle Rate: 200.0000 Mhz
Clock Static Probability: 0.5000

```
*
*      Power Distribution Summary:
*      Highest Average Power: FE_OFC638_mem_la_addr_3 (CLKBUFX20): 0.01355
*      Highest Leakage Power: FE_OFC744_mem_la_wdata_2 (BUFX20): 1.034e-06
*      Total Cap: 1.4868e-10 F
```

Figure 15 Power Report

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 3.

Επιφάνεια	Slack	Total Power	Internal Power	Switching Power	Leakage Power
30853.872 μm ²	6.360 ns	3.299 W	1.082 W	2.215 W	0.002051 W

Πίνακας 3

Clock Tree Report

```

-----  

Cell type          Count    Area      Capacitance  

-----  

Buffers            21      81.396   0.022  

Inverters          0       0.000   0.000  

Integrated Clock Gates 0       0.000   0.000  

Non-Integrated Clock Gates 0       0.000   0.000  

Clock Logic        0       0.000   0.000  

All                21      81.396   0.022  

-----  

Clock DAG wire lengths:  

=====  

Type    Wire Length  

-----  

Top     0.000  

Trunk   541.005  

Leaf    6835.850  

Total   7376.855  

-----  

Clock DAG hp wire lengths:  

=====  

Type    hp Wire Length  

-----  

Top     0.000  

Trunk   285.840  

Leaf    1752.955  

Total   2038.795  

-----  

Clock DAG capacitances:  

=====  

Type    Gate    Wire    Total  

-----  

Top     0.000   0.000   0.000  

Trunk   0.022   0.036   0.058  

Leaf    0.557   0.526   1.083  

Total   0.579   0.562   1.141  

-----  

Report for CLOCK TREE.CIR
=====  

Clock Tree Gating Structure (Logical):  

# Full cycle clock gates : 0
Minimum clock gating depth : 0
Maximum clock gating depth : 0
Clock gate area (um^2) : 0.000  

Clock Tree Buffering Structure (Logical):  

# Buffers : 21
# Inverters : 0
Total : 21
Minimum depth : 2
Maximum depth : 2
Buffering area (um^2) : 81.396  

Clock Tree Level Structure (Logical):  

Level # Full # Posedge # Negedge # RAM # Enable # Non enable # Other
      Cycle Flops Flops Clock Latch Latch Pins Sinks Sinks
-----  

root   0     1961  0     0     0     0     0     0
-----  

Total   0     1961  0     0     0     0     0     0
-----  

Target and measured clock slews (in ns):  

-----  

Timing Corner          Worst Rising  Worst Falling  Worst Rising  Worst Falling  Leaf Slew  Leaf Slew  Trunk Slew  Trunk Slew
                           Leaf Slew    Leaf Slew    Trunk Slew   Trunk Slew    Target Type  Target    Target Type  Target
-----  

default_emulate_delay_corner:hold.early  0.064    0.067    0.029    0.030    ignored   -    ignored   -
default_emulate_delay_corner:hold.late   0.066    0.068    0.030    0.030    ignored   -    ignored   -
default_emulate_delay_corner:setup.early 0.064    0.067    0.029    0.030    ignored   -    ignored   -
default_emulate_delay_corner:setup.late   0.066    0.068    0.030    0.030    explicit  0.150   explicit  0.150
-----  

* - indicates that target was not met.

```

Figure 16 Clock Tree Report

Clock buffers	21
Skew groups	8
Μέγιστο Βάθος Ρολογιού	2
Ελάχιστο Βάθος Ρολογιού	2
Μήκος Δρομολόγησης trunk	541.005 (Από το 1° Wire Length)
Μήκος Δρομολόγησης leaves	6835.850 (Από το 1° Wire Length)

Πίνακας 4

Skew Group Summary:							
Timing Corner	Skew Group	ID Target	Min ID	Max ID	Avg ID	Std.Dev. ID	Skew window occupancy
default_emulate_delay_corner:setup.early	cik/default_emulate_constraint_mode	0.098	0.094	0.091	0.091	0.001	0.006
default_emulate_delay_corner:setup.late	cik/default_emulate_constraint_mode	none	0.091	0.098	0.095	0.001	ignored
default_emulate_delay_corner:hold.early	cik/default_emulate_constraint_mode	-	0.088	0.094	0.091	0.001	0.100
default_emulate_delay_corner:hold.late	cik/default_emulate_constraint_mode	-	0.091	0.098	0.095	0.001	ignored

Figure 17 Skew Report

Και στα 4 skew groups το skew είναι $0.006\text{ns} < 0.1\text{ns} = 100\text{ps}$ (ικανοποιείται ο στόχος όπως φαίνεται και στην εικόνα 17).

Ο στόχος για το μέγιστο ρυθμό μετάβασης ικανοποιείται σύμφωνα με τον πίνακα *Target and measured clock slews (in ns)* της εικόνας 16.

Βήμα 15

Εκτελείτε η δρομολόγηση επιλέγοντας της ρυθμίσεις Fix Antenna, SI Driven και Timing Driven με effort 5 καθώς και Medium Effort για το Via Optimization. Τέλος αφού γίνει βελτιστοποίηση του Design μέσω της εντολής: optDesign -postRoute -setup -hold

Έπειτα εξάγονται οι αναφορές (Figure 18-20) μέσω των εντολών:

```
report_power > report_power_vima15.txt
report_area > report_area_vima15.txt
report_timing > report_timing_vima15.txt
```

Επιφάνεια

Hinst Name	Module Name	Inst Count	Total Area
picorv32		10819	30853.872

Figure 18 report_area

Timing

```
Analysis View: default_emulate_view
Other End Arrival Time          0.000
- External Delay                1.000
+ Phase Shift                   10.000
- Uncertainty                   0.050
= Required Time                 8.950
- Arrival Time                  2.607
= Slack Time                    6.343
    Clock Rise Edge             0.000
    + Input Delay               1.000
    + Drive Adjustment          0.045
    = Beginpoint Arrival Time   1.045
```

Figure 19 report_timing

Ισχύς

Total Power

Total Internal Power:	1.08166356	32.8635%
Total Switching Power:	2.20766511	67.0742%
Total Leakage Power:	0.00205112	0.0623%
Total Power:	3.29137980	

Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.7014	0.1009	0.0006725	0.8029	24.39
Macro	0	0	0	0	0
IO	0	0	0	0	0
Combinational	0.3567	1.971	0.00137	2.329	70.77
Clock (Combinational)	0.02363	0.1355	9.107e-06	0.1592	4.836
Clock (Sequential)	0	0	0	0	0
Total	1.082	2.208	0.002051	3.291	100

Rail	Voltage	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
VDD	1.1	1.082	2.208	0.002051	3.291	100

Clock	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
clk	0.02363	0.1355	9.107e-06	0.1592	4.836
Total	0.02363	0.1355	9.107e-06	0.1592	4.836

Clock: clk
Clock Period: 0.010000 usec
Clock Toggle Rate: 200.0000 Mhz
Clock Static Probability: 0.5000

* Power Distribution Summary:
* Highest Average Power: FE_OFC638_mem_la_addr_3 (CLKBUFX20): 0.01354
* Highest Leakage Power: FE_OFC744_mem_la_wdata_2 (BUFX20): 1.034e-06
* Total Cap: 1.48764e-10 F
* Total instances in design: 10819
* Total instances in design with no power: 0
* Total instances in design with no activity: 0
* Total Fillers and Decap: 0

Figure 20 report_power

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 5.

Επιφάνεια	Slack	Total Power	Internal Power	Switching Power	Leakage Power
30853.872 μm^2	6.343 ns	3.291 W	1.082 W	2.208 W	0.002051 W

Πίνακας 5

Βήμα 16

Εξετάστηκε το φυσικό σχέδιο για DRC παραβιάσεις και έγινε έλεγχος για το αν όλες οι διασυνδέσεις και οι τοποθετήσεις των κελιών έχουν γίνει ορθά. Σύμφωνα με τα αποτελέσματα στις εικόνες 21 και 22, δεν υπάρχουν παραβάσεις, και όλες οι διασυνδέσεις και οι τοποθετήσεις των κελιών έχουν γίνει ορθά.

```
Setting
*** Starting Verify DRC (MEM: 2213.3) ***

VERIFY DRC ..... Starting Verification
VERIFY DRC ..... Initializing
VERIFY DRC ..... Deleting Existing Violations
VERIFY DRC ..... Creating Sub-Areas
VERIFY DRC ..... Using new threading
VERIFY DRC ..... Sub-Area: {0.000 0.000 78.720 76.800} 1 of 9
VERIFY DRC ..... Sub-Area : 1 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {78.720 0.000 157.440 76.800} 2 of 9
VERIFY DRC ..... Sub-Area : 2 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {157.440 0.000 234.600 76.800} 3 of 9
VERIFY DRC ..... Sub-Area : 3 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {0.000 76.800 78.720 153.600} 4 of 9
VERIFY DRC ..... Sub-Area : 4 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {78.720 76.800 157.440 153.600} 5 of 9
VERIFY DRC ..... Sub-Area : 5 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {157.440 76.800 234.600 153.600} 6 of 9
VERIFY DRC ..... Sub-Area : 6 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {0.000 153.600 78.720 230.090} 7 of 9
VERIFY DRC ..... Sub-Area : 7 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {78.720 153.600 157.440 230.090} 8 of 9
VERIFY DRC ..... Sub-Area : 8 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {157.440 153.600 234.600 230.090} 9 of 9
VERIFY DRC ..... Sub-Area : 9 complete 0 Viols.

Verification Complete : 0 Viols.
```

Figure 21 Verify DRC

```

innovus 30> VERIFY_CONNECTIVITY use new engine.

***** Start: VERIFY CONNECTIVITY *****
Start Time: Thu Dec 1 15:28:02 2022

Design Name: picorv32
Database Units: 2000
Design Boundary: (0.0000, 0.0000) (234.6000, 230.0900)
Error Limit = 1000; Warning Limit = 50
Check all nets
**** 15:28:03 **** Processed 5000 nets.
**** 15:28:03 **** Processed 10000 nets.

Begin Summary
  Found no problems or warnings.
End Summary

End Time: Thu Dec 1 15:28:03 2022
Time Elapsed: 0:00:01.0

***** End: VERIFY CONNECTIVITY *****
Verification Complete : 0 Viols. 0 Wrngs.
(CPU Time: 0:00:01.1  MEM: 0.000M)

```

Figure 22 Verify Connectivity

Τέλος εισάγονται τα Fillers σε όλα τα επίπεδα για να ικανοποιηθεί η πυκνότητα των μετάλλων. (Τέθηκε ελάχιστο όριο της πυκνότητας ως 10% για όλα τα μέταλλα)

Στην εικόνα 23 φαίνεται το τελικό αποτέλεσμα.

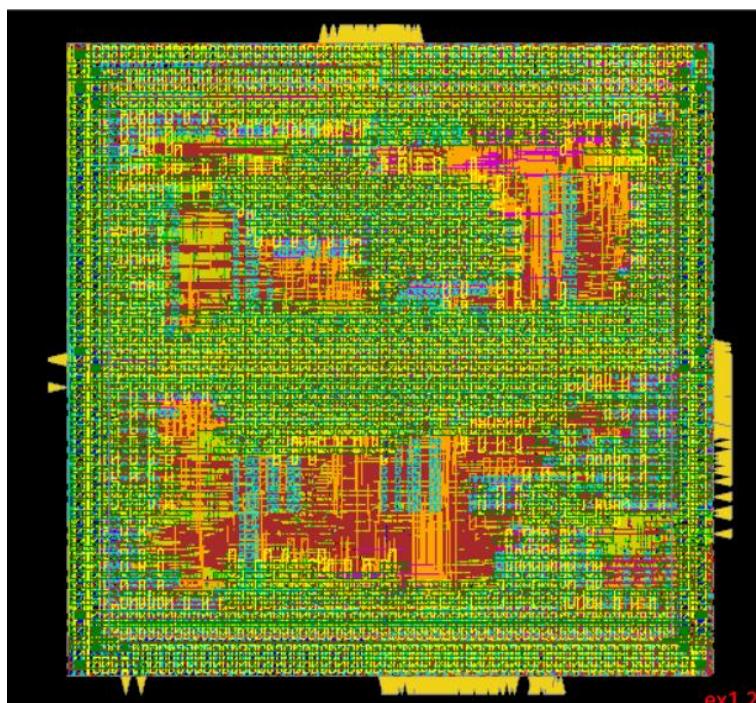


Figure 23 Επεξεργαστής picorv32

Άσκηση 2

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 12-15 της άσκησης 1, επιλέγοντας αυτήν τη φορά βελτιστοποίηση της δυναμικής ισχύος στο βήμα 12 με high effort. Τα αρχεία αναφορών αυτής της άσκησης βρίσκονται μαζί με τα αρχεία .cmd, .log στον φάκελο Άσκηση 2.

Βήμα 2.12

Βελτιστοποίηση-Τοποθέτηση-Εξαγωγή Αναφορών

Άσκηση 1 ^η		Άσκηση 2 ^η	
Επιφάνεια	30562.146 μm^2	30763.584 μm^2	αυξήθηκε
Slack	6.375ns	6.363 ns	μειώθηκε
Total Power	3.129 W	2.981 W	μειώθηκε
Internal Power	1.048 W	0.9178 W	μειώθηκε
Switching Power	2.078 W	2.061 W	μειώθηκε
Leakage Power	0.002018 W	0.001845 W	μειώθηκε

Πίνακας 6

Βήμα 2.13

Εφαρμόζεται Early Global Routing 1) με εύρος δρομολόγησης που να καλύπτει όλα τα μέταλλα 2) με εύρος από το δεύτερο (M2) ως το προτελευταίο (M10).

Μέσω της εντολής `reportCongestion -hotSpot` προκύπτει δεν υπάρχει συμφόρηση σε κάποια από τις δύο περιπτώσεις (max, total hotspot = 0).

```
12>
12> reportCongestion -hotSpot
t] +-----+-----+-----+
t] |           | max hotspot | total hotspot |
t] +-----+-----+-----+
t] | normalized |          0.00 |          0.00 |
t] +-----+-----+-----+
```

Figure 24 max & total hotspot

Βήμα 2.14

Δέντρο Ρολογιού-Εξαγωγή Αναφορών

Άσκηση 1 ^η		Άσκηση 2 ^η	
Επιφάνεια	30853.872 μm^2	30751.956 μm^2	μειώθηκε
Slack	6.360 ns	6.377 ns	αυξήθηκε
Total Power	3.299 W	3.145 W	μειώθηκε
Internal Power	1.082 W	0.9455 W	μειώθηκε
Switching Power	2.215 W	2.198 W	μειώθηκε
Leakage Power	0.002051 W	0.001853 W	μειώθηκε

Πίνακας 7.1

	Άσκηση 1 ^η	Άσκηση 2 ^η	
Clock buffers	21	21	-
Skew groups	8	8	-
Μέγιστο Βάθος Ρολογιού	2	2	-
Ελάχιστο Βάθος Ρολογιού	2	2	-
Μήκος Δρομολόγησης trunk	541.005 (Από το 1 ^ο Wire Length)	517.385	μειώθηκε
Μήκος Δρομολόγησης leaves	6835.850 (Από το 1 ^ο Wire Length)	6933.280	αυξήθηκε

Πίνακας 7.2

Και στα 4 skew groups το skew είναι $0.006\text{ns} < 0.1\text{ns} = 100\text{ps}$ (ικανοποιείται ο στόχος σύμφωνα με το skew report στον φάκελο άσκηση 2).

Ο στόχος για το μέγιστο ρυθμό μετάβασης ικανοποιείται σύμφωνα με τον πίνακα *Target and measured clock slews (in ns) του αρχείου report clock* (στον φάκελο άσκηση 2).

Βήμα 2.15

Δρομολόγηση-Εξαγωγή Αναφορών

	Άσκηση 1 ^η	Άσκηση 2 ^η	
Επιφάνεια	$30853.872 \mu\text{m}^2$	$30751.956 \mu\text{m}^2$	μειώθηκε
Slack	6.343 ns	6.385 ns	αυξήθηκε
Total Power	3.291 W	3.133 W	μειώθηκε
Internal Power	1.082 W	0.9453 W	μειώθηκε
Switching Power	2.208 W	2.186 W	μειώθηκε
Leakage Power	0.002051 W	0.001853 W	μειώθηκε

Πίνακας 8

Στην άσκηση αυτήν ενεργοποιήθηκε η βελτιστοποίηση της δυναμικής ισχύος με high effort όπως και για τον χρονισμό. Ενώ στην άσκηση 1 είχε ενεργοποιηθεί high effort μόνο στην βελτιστοποίηση του χρονισμού, χωρίς βελτιστοποίηση της ισχύος. Οπότε ήταν αναμενόμενο ότι η συνολική ισχύς να μειωθεί (και κάθε τύπος ισχύος μειώθηκε) συγκριτικά με την άσκηση 1. Επιπλέον, με εξαίρεση το Βήμα 12, στα υπόλοιπα βήματα σχεδίασης (14, 15), μειώθηκε η επιφάνεια του κυκλώματος και αυξήθηκε το slack.

Άσκηση 3

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 9-15 της άσκησης 1, επιλέγοντας ποσοστό χρήσης πυρήνα 85% στο Βήμα 9. Τα αρχεία αναφορών αυτής της άσκησης βρίσκονται μαζί με τα αρχεία .cmd, .log στον φάκελο Άσκηση 3.

Βήμα 3.9-3.10

Ακολουθήθηκαν τα ίδια ακριβώς βήματα με την άσκηση 1, με την μόνη διαφορά ότι στο Βήμα 9 επιλέχτηκε ποσοστό χρήσης πυρήνα 85% αντί για 75%.

Βήμα 3.12

Βελτιστοποίηση-Τοποθέτηση-Εξαγωγή Αναφορών

	Επιφάνεια	Slack	Total Power	Internal Power	Switching Power	Leakage Power
Άσκηση 3 ^η	30534.786 μm^2	6.495 ns	3.125 W	1.047 W	2.076 W	0.002014 W
Άσκηση 1 ^η	30562.146 μm^2	6.375ns	3.129 W	1.048 W	2.078 W	0.002018 W
	Μειώθηκε	Αυξήθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε	Μειώθηκε

Πίνακας 9

Βήμα 3.13

Εφαρμόζεται Early Global Routing 1) με εύρος δρομολόγησης που να καλύπτει όλα τα μέταλλα 2) με εύρος από το δεύτερο (M2) ως το προτελευταίο (M10).

Μέσω της εντολής `reportCongestion -hotSpot` προκύπτει δεν υπάρχει συμφόρηση σε κάποια από τις δύο περιπτώσεις (max, total hotspot = 0).

```
12>
12> reportCongestion -hotSpot
t] +-----+-----+-----+
t] |           | max hotspot | total hotspot |
t] +-----+-----+-----+
t] | normalized |          0.00 |          0.00 |
t] +-----+-----+-----+
```

Figure 25 max & total hotspot

Βήμα 3.14

Δέντρο Ρολογιού-Εξαγωγή Αναφορών

	Επιφάνεια	Slack	Total Power	Internal Power	Switching Power	Leakage Power
Άσκηση 3 ^η	30800.862 μm^2	6.403 ns	3.303 W	1.086 W	2.215 W	0.002046 W
Άσκηση 1 ^η	30853.872 μm^2	6.360 ns	3.299 W	1.082 W	2.215 W	0.002051 W
	Μειώθηκε	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	-	Μειώθηκε

Πίνακας 10.1

	Άσκηση 1 ^η	Άσκηση 3 ^η	
Clock buffers	21	21	-
Skew groups	8	8	-
Μέγιστο Βάθος Ρολογιού	2	2	-
Ελάχιστο Βάθος Ρολογιού	2	2	-
Μήκος Δρομολόγησης trunk	541.005 (Από το 1 ^ο Wire Length)	540.450	μειώθηκε
Μήκος Δρομολόγησης leaves	6835.850 (Από το 1 ^ο Wire Length)	6608.960	μειώθηκε

Πίνακας 10.2

Timing Corner	Skew Group	ID Target	Min ID	Max ID	Avg ID	Std.Dev. ID	Skew Target Type	Skew Target	Skew	Skew window occupancy
default_emulate_delay_corner:setup.early	clk/default_emulate_constraint_mode	-	0.082	0.088	0.083	0.002	ignored	-	0.007	-
default_emulate_delay_corner:setup.late	clk/default_emulate_constraint_mode	none	0.085	0.092	0.089	0.002	explicit	0.100	0.007	100% (0.085, 0.092)
default_emulate_delay_corner:hold.early	clk/default_emulate_constraint_mode	-	0.082	0.088	0.085	0.002	ignored	-	0.007	-
default_emulate_delay_corner:hold.late	clk/default_emulate_constraint_mode	-	0.085	0.092	0.089	0.002	ignored	-	0.007	-

Figure 26 Skew Report

Και στα 4 skew groups το skew είναι $0.007\text{ns} < 0.1\text{ns} = 100\text{ps}$ (ικανοποιείται ο στόχος).

Ο στόχος για το μέγιστο ρυθμό μετάβασης ικανοποιείται σύμφωνα με τον πίνακα Target and measured clock slews (in ns).

Target and measured clock slews (in ns):										
Timing Corner	Worst Rising				Worst Falling				Leaf Slew Target Type	Trunk Slew Target
	Leaf Slew	Worst Rising	Leaf Slew	Worst Falling	Trunk Slew	Worst Falling	Trunk Slew	Target Type		
default_emulate_delay_corner:hold.early	0.039	0.041	0.032	0.033	ignored	-	ignored	-	ignored	-
default_emulate_delay_corner:hold.late	0.040	0.042	0.033	0.034	ignored	-	ignored	-	ignored	-
default_emulate_delay_corner:setup.early	0.039	0.041	0.032	0.033	ignored	-	ignored	-	ignored	-
default_emulate_delay_corner:setup.late	0.040	0.042	0.033	0.034	explicit	0.150	explicit	-	explicit	0.150

* - indicates that target was not met.

Figure 27

Βήμα 3.15

Δρομολόγηση-Εξαγωγή Αναφορών

	Επιφάνεια	Slack	Total Power	Internal Power	Switching Power	Leakage Power
Άσκηση 3 ^η	30800.862 μm^2	6.340 ns	3.304 W	1.086 W	2.216 W	0.002046 W
Άσκηση 1 ^η	30853.872 μm^2	6.343 ns	3.291 W	1.082 W	2.208 W	0.002051 W
	Μειώθηκε	Μειώθηκε	Αυξήθηκε	Αυξήθηκε	Αυξήθηκε	Μειώθηκε

Πίνακας 11

Στην άσκηση 3 επιλέχτηκε 85% χρήσης του πυρήνα, ενώ στην άσκηση 1 το ποσοστό αυτό ήταν 75%. Σε όλα τα βήματα η επιφάνεια μειώθηκε συγκριτικά με την άσκηση 1, όπως ήταν αναμενόμενο γιατί αυξήθηκε το ποσοστό χρήσης του πυρήνα. Ενώ παράλληλα, η συνολική ισχύς αυξήθηκε (με εξαίρεση το Βήμα 12 όπου υπάρχει μια πολύ μικρή μείωση της συνολικής ισχύος). Επιπλέον και στα 3 βήματα η ισχύς διαρροής μειώθηκε.

Exercise 1		Exercise 3	
Wire Length Statistics :		Wire Length Statistics :	
Layer Name	Wire Length	Layer Name	Wire Length
Metal1	7965210 um	Metal11	4801080 um
Metal2	111775330 um	Metal2	99040710 um
Metal3	126215980 um	Metal3	125258840 um
Metal4	102018380 um	Metal4	91730300 um
Metal5	58978240 um	Metal5	76873850 um
Metal6	19467560 um	Metal6	24435400 um
Metal7	2309860 um	Metal7	10118230 um
Metal8	507480 um	Metal8	730360 um
Metal9	183620 um	Metal9	516130 um
Metal10	69350 um	Metal10	2470 um
Metal11	15540 um	Metal11	70680 um
Total	429506550 um	Total	433578050 um

Via Count Statistics :		Via Count Statistics :	
Via-cut Name	Count	Via-cut Name	Count
VIA01	0	VIA01	0
VIA12	42765	VIA12	42480
VIA23	32625	VIA23	33824
VIA34	11982	VIA34	13666
VIA45	4242	VIA45	5846
VIA56	1095	VIA56	1728
VIA67	165	VIA67	569
VIA78	21	VIA78	37
VIA89	5	VIA89	11
VIA910	3	VIA910	2
VIA1011	1	VIA1011	2
Total	92904	Total	98165

Figure 28 Μήκος Διασυνδέσεων & Vias Ασκήσεων 1 και 3

Παρατηρείται ότι το μήκος των διασυνδέσεων αλλά και ο αριθμός των vias στην άσκηση 3 αυξήθηκε (όπου αυξήθηκε σε 85% το ποσοστό χρήσης πυρήνα) σε σχέση με την άσκηση 1. Κάτι το οποίο είναι αναμενόμενο γιατί ο αριθμός των κελιών αυξήθηκε ενώ η επιφάνεια μειώνεται, οπότε λόγω «εμποδίων» (κυκλωμάτων ή άλλων διασυνδέσεων) δεν θα υπάρχει διαθέσιμος χώρος σε κάθε επίπεδο μετάλλου, οπότε απαιτούνται περισσότερα vias και συνεπώς μεγαλύτερη μήκη διασύνδεσης. Επιπλέον με την αύξηση του μήκους διασυνδέσεων, η συνολική ισχύς και κυρίως η Switching Power αυξήθηκε.

Άσκηση 4

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 1-16 της άσκησης 1, αλλά αυτήν την φορά για συχνότητα ρολογιού 8ns στο Βήμα 9. Τα αρχεία αναφορών αυτής της άσκησης βρίσκονται μαζί με τα αρχεία .sdc, .cmd, .log στον φάκελο Άσκηση 4.

Βήμα 4.1-4.3

Ακριβώς όμοια με την άσκηση 1.

Βήμα 4.4

Οι επιθυμητή περιορισμοί για την σύνθεση περιέχονται στο αρχείο synthesis_constraints_ex4 (Το μόνο που άλλαξε είναι η περίοδος ρολογιού). Στην συνέχεια το αρχείο περιορισμών διαβάζεται, και ελέγχεται.

Βήμα 4.5

Ακριβώς όμοια με την άσκηση 1

Βήμα 4.6

Έχοντας συνθέσει επιτυχώς το κύκλωμα της άσκησης, αποτιμούνται στους παρακάτω πίνακες τα χαρακτηριστικά του κυκλώματος.

Ισχύς

```
Instance: /picorv32
Power Unit: W
PDB Frames: /stim#0/frame#0
```

Category	Leakage	Internal	Switching	Total	Row%
memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
register	6.73216e-07	8.63203e-04	2.27133e-04	1.09101e-03	20.65%
latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
logic	1.37908e-06	4.64522e-04	3.72694e-03	4.19284e-03	79.35%
bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
clock	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
Subtotal	2.05230e-06	1.32773e-03	3.95407e-03	5.28385e-03	100.00%
Percentage	0.04%	25.13%	74.83%	100.00%	100.00%

Figure 29 report_power

Επιφάνεια

```
=====
Generated by:          Genus(TM) Synthesis Solution 19.11-s087_1
Generated on:         Dec 03 2022 12:40:57 pm
Module:               picorv32
Technology libraries: fast_vdd1v0 1.0
                      physical_cells
Operating conditions: PVT_1P1V_0C
Interconnect mode:   global
Area mode:            physical library
=====

Instance Module  Cell Count  Cell Area  Net Area   Total Area
-----
picorv32          10363    30692.448    0.000    30692.448
```

Figure 30 report_area

Αριθμός Κελιών

total	10363	30692.448
-------	-------	-----------

Type	Instances	Area	Area %
sequential	1961	10957.338	35.7
inverter	360	272.574	0.9
buffer	232	1904.256	6.2
logic	7810	17558.280	57.2
physical_cells	0	0.000	0.0
total	10363	30692.448	100.0

Figure 31 report_gates

Slack

```
=====
Generated by:          Genus(TM) Synthesis Solution 19.11-s087_1
Generated on:          Dec 03 2022 12:41:11 pm
Module:                picorv32
Operating conditions: PVT_1P1V_0C
Interconnect mode:    global
Area mode:             physical library
=====

Path 1: MET (3735 ps) Late External Delay Assertion at pin mem_la_addr[30]
      Group: clk
      Startpoint: (R) resetn
                  Clock: (R) clk
      Endpoint: (F) mem_la_addr[30]
                  Clock: (R) clk

      Capture           Launch
      Clock Edge:+     8000            0
      Drv Adjust:+     0              25
      Src Latency:+    0              0
      Net Latency:+    0 (I)         0 (I)
      Arrival:=        8000           25

      Output Delay:-   1000
      Uncertainty:-   50
      Required Time:=  6950
      Launch Clock:-  25
      Input Delay:-   1000
      Data Path:-     2190
      Slack:=         3735
```

Figure 32 report_timing

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 12.

Άσκηση 1 ^η		Άσκηση 4 ^η	
Αριθμών Κελιών	10364	10363	-1
Επιφάνεια	30689.370 μm ²	30692.448 μm ²	αύξηση
Slack	5735 ps	3735 ps	μείωση
Ισχύς	4.229· 10 ⁻³ W	5.28385 10 ⁻³ W	αύξηση
Clock	10 ns	8 ns	

Πίνακας 22

Βήμα 4.7-4.10

Ακριβώς όμοια με την άσκηση 1.

Βήμα 4.12

Ακριβώς όμοια με την άσκηση 1.

Εξάγονται οι παρακάτω αναφορές:

Ισχύς

Total Power						
Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)	
Sequential	0.8837	0.1252	0.0006727	1.01	25.78	
Macro	0	0	0	0	0	
IO	0	0	0	0	0	
Combinational	0.4307	2.475	0.001348	2.907	74.22	
Clock (Combinational)	0	0	0	0	0	
Clock (Sequential)	0	0	0	0	0	
Total	1.314	2.6	0.002021	3.916	100	

Rail	Voltage	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
VDD	1.1	1.314	2.6	0.002021	3.916	100

*	Power Distribution Summary:	
*	Highest Average Power:	FE_OFC456_mem_la_addr_2 (CLKINVX20): 0.01689
*	Highest Leakage Power:	FE_OFC544_pcpi_rs2_14 (BUFX20): 1.034e-06
*	Total Cap:	1.47563e-10 F
*	Total instances in design:	10759
*	Total instances in design with no power:	0
*	Total instances in design with no activity:	0
*	Total Fillers and Decap:	0

Figure 33 report_power

Επιφάνεια

Hinst Name	Module Name	Inst Count	Total Area
picorv32		10759	30596.004

Figure 34 report_area

Timing

```
Analysis View: default_emulate_view
Other End Arrival Time      0.000
- External Delay            1.000
+ Phase Shift               8.000
- Uncertainty                0.050
= Required Time             6.950
- Arrival Time              2.671
= Slack Time                4.279
    Clock Rise Edge          0.000
    + Input Delay             1.000
    + Drive Adjustment        0.042
    = Beginpoint Arrival Time 1.042
```

Figure 35 report_timing

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 13.

	Άσκηση 1 ^η	Άσκηση 4 ^η	
Επιφάνεια	30562.146 μm ²	30596.004 μm ²	αυξήθηκε
Slack	6.375ns	4.279 ns	μειώθηκε
Total Power	3.129 W	3.916 W	αυξήθηκε
Internal Power	1.048 W	1.314 W	αυξήθηκε
Switching Power	2.078 W	2.6 W	αυξήθηκε
Leakage Power	0.002018 W	0.002021 W	αυξήθηκε

Πίνακας 13

Τέλος ελέγχοντας την τοποθέτηση, μέσω του Check Placement παρατηρείται ότι υπάρχουν σε κάποια σημεία παραβάσεις (Violations, τα οποία ευθύνονται στο BUFX2).

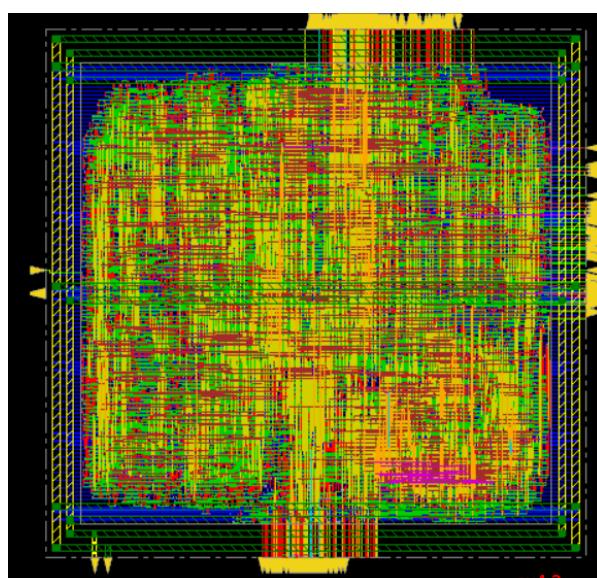


Figure 36 Placement

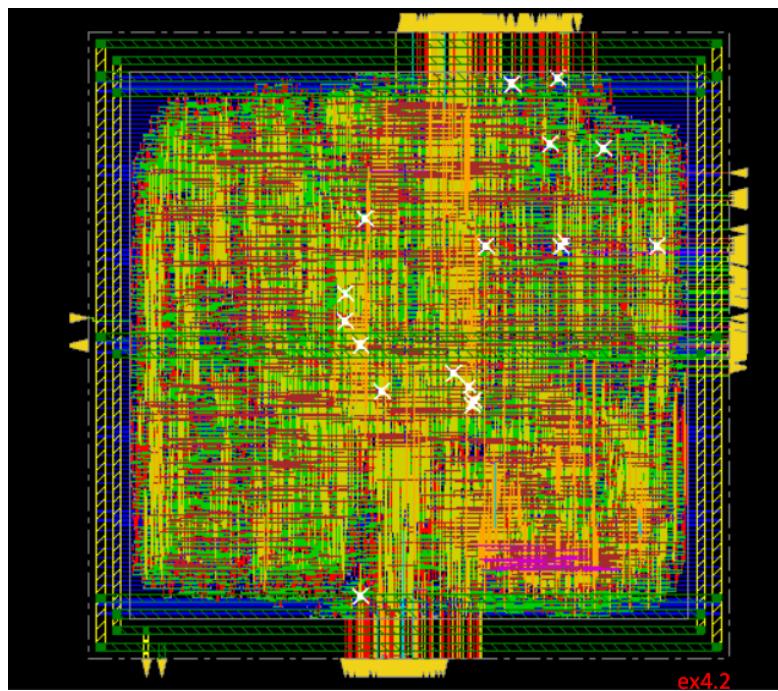


Figure 37 Violations

Βήμα 4.11

Η Early Power Analysis έγινε μετά την τοποθέτηση, ούτως ώστε να γίνει αποτίμηση της ικανότητας του δικτύου διανομής να τροφοδοτήσει κάθε κόμβο του κυκλώματος.

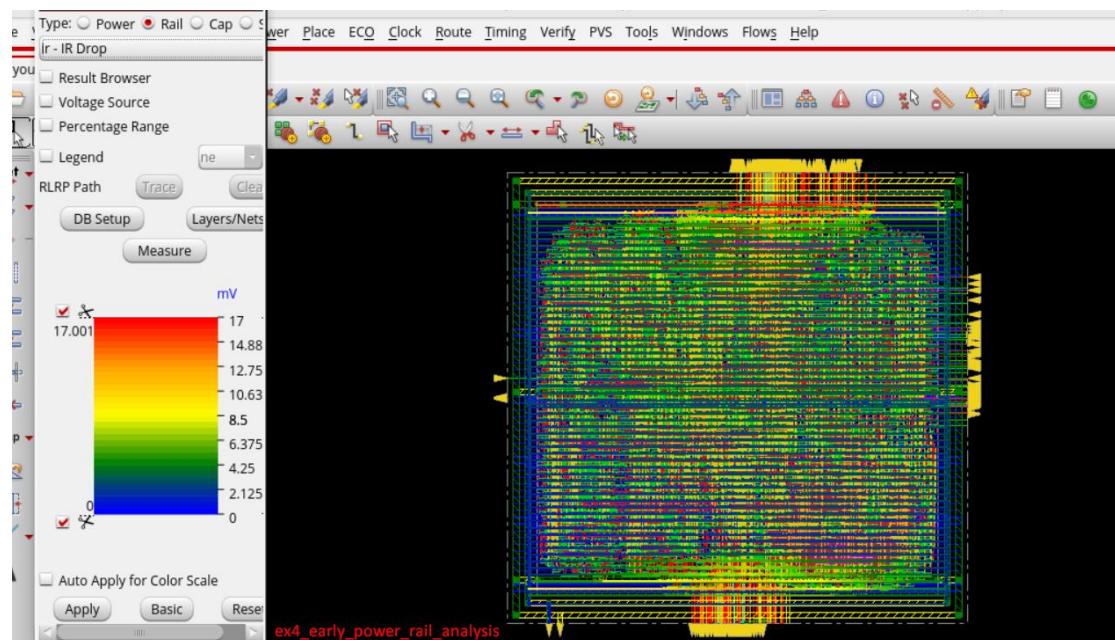


Figure 38

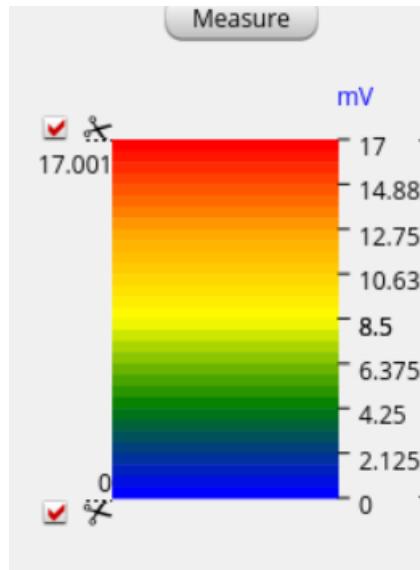


Figure 39

Βήμα 4.13

Εφαρμόζεται Early Global Routing 1) με εύρος δρομολόγησης που να καλύπτει όλα τα μέταλλα 2) με εύρος από το δεύτερο (M2) ως το προτελευταίο (M10). Προκύπτει ότι δεν υπάρχει συμφόρηση σε κάποια από τις δύο περιπτώσεις (max, total hotspot = 0).

```

> ex4_early_global_route
> reportCongestion -hotSpot
+-----+
|      max hotspot | total hotspot |
+-----+
| normalized |      0.00 |          0.00 |
+-----+

```

Figure 40 max & total hotspot

Βήμα 4.14

Δημιουργήθηκε ένα NDR με διπλάσιο πάχος και κενό για όλα τα μέταλλα. Ύστερα δημιουργήθηκε μέσω της εντολής: `create_route_type -top_preferred_layer Metal9 -bottom_preferred_layer Metal7 -non_default_rule NDRSTEP13 -name STEP13` ένας τύπος δρομολόγησης που ακολουθεί το NDR και έχει μέγιστο επίπεδο το μέταλλο 9 και ελάχιστο επίπεδο το μέταλλο 7 (Δεδομένου ότι το δίκτυο διανομής της ισχύος χρησιμοποιεί τα μέταλλα 10 και 11). Επιπλέον προστέθηκε στρέβλωση 100ps και μέγιστος ρυθμός μετάβασης ρολογιού ίσο με 150ps, συνθέθηκε το δέντρο ρολογιού, και έγινε βελτιστοποίηση του Design ακριβώς όπως στην άσκηση 1.

Έπειτα εξάγονται οι παρακάτω αναφορές:
Ισχύς

Total Power					
Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Total Internal Power:	1.35252057		32.7777%		
Total Switching Power:	2.77176668		67.1726%		
Total Leakage Power:	0.00205077		0.0497%		
Total Power:	4.12633802				
Total	1.353	2.772	0.002051	4.126	100

Rail	Voltage	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
VDD	1.1	1.353	2.772	0.002051	4.126	100

Clock	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
clk	0.03239	0.1718	9.97e-06	0.2042	4.948
Total	0.03239	0.1718	9.97e-06	0.2042	4.948

Clock: clk
Clock Period: 0.008000 usec
Clock Toggle Rate: 250.0000 Mhz
Clock Static Probability: 0.5000

Figure 41 report_power

Επιφάνεια

Hinst Name	Module Name	Inst Count	Total Area
picorv32		10823	30852.504

Figure 42 report_area

Timing

```
Analysis View: default_emulate_view
Other End Arrival Time      0.000
- External Delay            1.000
+ Phase Shift               8.000
- Uncertainty                0.050
= Required Time             6.950
- Arrival Time              2.667
= Slack Time                4.283
Clock Rise Edge             0.000
+ Input Delay               1.000
+ Drive Adjustment           0.043
= Beginpoint Arrival Time   1.043
```

Figure 43 report_timing

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 14.

	Άσκηση 1 ^η	Άσκηση 4 ^η	
Επιφάνεια	30853.872 μm ²	30852.504 μm ²	μειώθηκε
Slack	6.360 ns	4.283 ns	μειώθηκε
Total Power	3.299 W	4.126 W	αυξήθηκε
Internal Power	1.082 W	1.353 W	αυξήθηκε
Switching Power	2.215 W	2.772 W	αυξήθηκε
Leakage Power	0.002051 W	0.002051 W	-

Πίνακας 14

Clock Tree Report

```

Cell type          Count   Area      Capacitance
-----
Buffers           21     87.552   0.023
Inverters         0      0.000   0.000
Integrated Clock Gates 0      0.000   0.000
Non-Integrated Clock Gates 0      0.000   0.000
Clock Logic       0      0.000   0.000
All               21     87.552   0.023
-----

Clock DAG wire lengths:
=====
Type      Wire Length
-----
Top      0.000
Trunk    548.665
Leaf     6809.620
Total    7358.285
-----

Clock DAG hp wire lengths:
=====
Type      hp Wire Length
-----
Top      0.000
Trunk    289.360
Leaf     1725.400
Total    2014.760
-----

Clock Tree Buffering Structure (Logical):
-----
# Buffers      : 21
# Inverters    : 0
Total          : 21
Minimum depth  : 2
Maximum depth  : 2
Buffering area (um^2) : 87.552

Clock Tree Level Structure (Logical):
-----
Level # Full # Posedge # Negedge # RAM # Enable # Non enable # Other
      Cycle Flops Flops Clock Latch Latch Sinks
                  Pins  Sinks Sinks
-----
root  0      1961  0      0      0      0      0
Total 0      1961  0      0      0      0      0
-----

Target and measured clock slews (in ns):
-----
Timing Corner          Worst Rising Leaf Slew Worst Falling Leaf Slew Worst Rising Trunk Slew Worst Falling Trunk Slew Leaf Slew Target Type Leaf Slew Target Trunk Slew Target Type Trunk Slew Target
-----                    Leaf Slew Leaf Slew Trunk Slew Trunk Slew Target Target
default_emulate_delay_corner:hold.early  0.057  0.059  0.029  0.030 ignored - ignored -
default_emulate_delay_corner:hold.late   0.059  0.061  0.030  0.031 ignored - ignored -
default_emulate_delay_corner:setup.early 0.057  0.059  0.029  0.030 ignored - ignored -
default_emulate_delay_corner:setup.late   0.059  0.061  0.030  0.031 explicit 0.150 explicit 0.150
-----
```

Figure 44 clock_tree_ccopt_report

	Άσκηση 1 ^η	Άσκηση 4 ^η	
Clock buffers	21	21	-
Skew groups	8	8	-
Μέγιστο Βάθος Ρολογιού	2	2	-
Ελάχιστο Βάθος Ρολογιού	2	2	-
Μήκος Δρομολόγησης trunk	541.005 (Από το 1 ^ο Wire Length)	548.665	αυξήθηκε
Μήκος Δρομολόγησης leaves	6835.850 (Από το 1 ^ο Wire Length)	6809.620	μειώθηκε

Πίνακας 15

Timing Corner	Skew Group	ID Target	Min ID	Max ID	Avg ID	Std.Dev. ID	Skew Target Type	Skew Target	Skew	Skew window occupancy
default_emulate_delay_corner:setup.early	clk/default_emulate_constraint_mode	0.083	0.093	0.099	0.092	0.002	ignored	-	0.010	
default_emulate_delay_corner:setup.late	clk/default_emulate_constraint_mode	none	0.086	0.096	0.093	0.002	explicit	0.100	0.010	100% {0.086, 0.096}
default_emulate_delay_corner:hold.early	clk/default_emulate_constraint_mode	-	0.083	0.093	0.090	0.002	ignored	-	0.010	-
default_emulate_delay_corner:hold.late	clk/default_emulate_constraint_mode	-	0.086	0.096	0.093	0.002	ignored	-	0.010	-

Figure 45 Skew Report

Και στα 4 skew groups ικανοποιείται ο στόχος όπως φαίνεται στην εικόνα 48.

Ο στόχος για το μέγιστο ρυθμός μετάβασης ικανοποιείται σύμφωνα με τον πίνακα *Target and measured clock slews (in ns)* της εικόνας 47.

Βήμα 4.15

Εκτελείτε η δρομολόγηση επιλέγοντας της ρυθμίσεις Fix Antenna, SI Driven και Timing Driven με effort 5 καθώς και Medium Effort για το Via Optimization. Τέλος αφού γίνει βελτιστοποίηση του Design, εξάγονται οι παρακάτω αναφορές:

Ισχύς

Total Power						
Total Internal Power:	1.35238615		32.8717%			
Total Switching Power:	2.75969909		67.0785%			
Total Leakage Power:	0.00205077		0.0498%			
Total Power:	4.11413601					

Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.8763	0.1258	0.0006727	1.003	24.37
Macro	0	0	0	0	0
IO	0	0	0	0	0
Combinational	0.4437	2.465	0.001368	2.91	70.73
Clock (Combinational)	0.03239	0.1693	9.97e-06	0.2017	4.902
Clock (Sequential)	0	0	0	0	0
Total	1.352	2.76	0.002051	4.114	100

Rail	Voltage	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
VDD	1.1	1.352	2.76	0.002051	4.114	100

Clock	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
clk	0.03239	0.1693	9.97e-06	0.2017	4.902
Total	0.03239	0.1693	9.97e-06	0.2017	4.902

Clock: clk	
Clock Period: 0.008000 usec	
Clock Toggle Rate: 250.0000 Mhz	
Clock Static Probability: 0.5000	

Figure 46 report_power

Επιφάνεια

Hinst Name	Module Name	Inst Count	Total Area
micorv32		10823	30852.504

Figure 47 report_area

Timing

```
Analysis View: default_emulate_view
Other End Arrival Time      0.000
- External Delay            1.000
+ Phase Shift               8.000
- Uncertainty                0.050
= Required Time             6.950
- Arrival Time              2.697
= Slack Time                 4.253
    Clock Rise Edge          0.000
    + Input Delay             1.000
    + Drive Adjustment        0.045
    = Beginpoint Arrival Time 1.045
```

Figure 48 report_timing

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 16.

	Άσκηση 1 ^η	Άσκηση 4 ^η	
Επιφάνεια	30853.872 μm ²	30852.504 μm ²	μειώθηκε
Slack	6.343 ns	4.253 ns	μειώθηκε
Total Power	3.291 W	4.114 W	αυξήθηκε
Internal Power	1.082 W	1.352 W	αυξήθηκε
Switching Power	2.208 W	2.76 W	αυξήθηκε
Leakage Power	0.002051 W	0.002051 W	-

Πίνακας 16

Βήμα 4.16

Εξετάστηκε το φυσικό σχέδιο για DRC παραβιάσεις και έγινε έλεγχος για το αν όλες οι διασυνδέσεις και οι τοποθετήσεις των κελιών έχουν γίνει ορθά. Σύμφωνα με τα αποτελέσματα στις παρακάτω εικόνες, δεν υπάρχουν παραβάσεις, και όλες οι διασυνδέσεις και οι τοποθετήσεις των κελιών έχουν γίνει ορθά.

```

report picorv32.drc.rpt          # STRING, default= , user setting
** Starting Verify DRC (MEM: 2149.7) ***                                ex4
VERIFY DRC ..... Starting Verification
VERIFY DRC ..... Initializing
VERIFY DRC ..... Deleting Existing Violations
VERIFY DRC ..... Creating Sub-Areas
VERIFY DRC ..... Using new threading
VERIFY DRC ..... Sub-Area: {0.000 0.000 78.720 76.800} 1 of 9
VERIFY DRC ..... Sub-Area : 1 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {78.720 0.000 157.440 76.800} 2 of 9
VERIFY DRC ..... Sub-Area : 2 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {157.440 0.000 234.600 76.800} 3 of 9
VERIFY DRC ..... Sub-Area : 3 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {0.000 76.800 78.720 153.600} 4 of 9
VERIFY DRC ..... Sub-Area : 4 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {78.720 76.800 157.440 153.600} 5 of 9
VERIFY DRC ..... Sub-Area : 5 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {157.440 76.800 234.600 153.600} 6 of 9
VERIFY DRC ..... Sub-Area : 6 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {0.000 153.600 78.720 230.090} 7 of 9
VERIFY DRC ..... Sub-Area : 7 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {78.720 153.600 157.440 230.090} 8 of 9
VERIFY DRC ..... Sub-Area : 8 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {157.440 153.600 234.600 230.090} 9 of 9
VERIFY DRC ..... Sub-Area : 9 complete 0 Viols.

Verification Complete : 0 Viols.

```

Figure 49 Verify DRC

```

innovus 34>
innovus 34> VERIFY_CONNECTIVITY use new engine.

***** Start: VERIFY CONNECTIVITY *****
Start Time: Sat Dec 3 15:48:46 2022

Design Name: picorv32
Database Units: 2000
Design Boundary: (0.0000, 0.0000) (234.6000, 230.0900)
Error Limit = 1000; Warning Limit = 50
Check all nets
**** 15:48:46 **** Processed 5000 nets.
**** 15:48:46 **** Processed 10000 nets.

Begin Summary
  Found no problems or warnings.
End Summary

End Time: Sat Dec 3 15:48:47 2022
Time Elapsed: 0:00:01.0

***** End: VERIFY CONNECTIVITY *****
  Verification Complete : 0 Viols.  0 Wrngs.
  (CPU Time: 0:00:01.1  MEM: 0.000M)

innovus 34> ■                                ex4

```

Figure 50 Verify Connectivity

Τέλος εισάγονται τα Fillers σε όλα τα επίπεδα για να ικανοποιηθεί η πυκνότητα των μετάλλων. (Τέθηκε ελάχιστο όριο της πυκνότητας ως 10% για όλα τα μέταλλα)

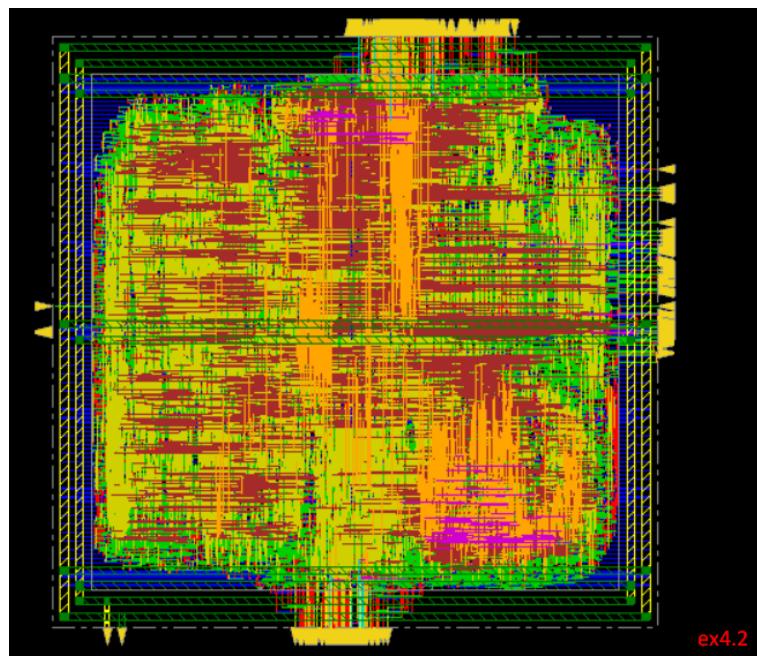


Figure 51

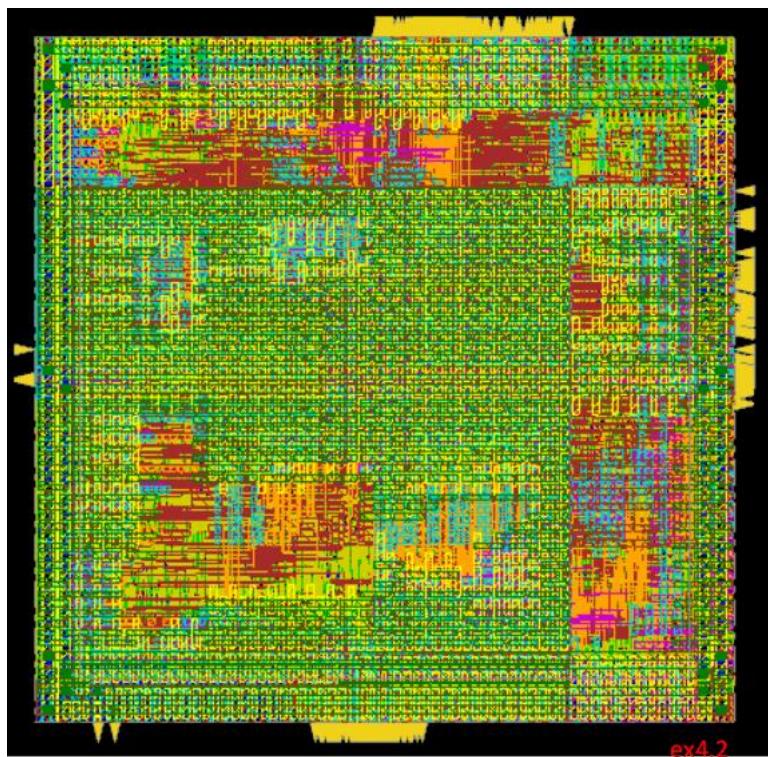


Figure 52 Τέλικο Αποτέλεσμα 4ης Άσκησης

Στην άσκηση 4 μειώθηκε η περίοδος ρολογιού σε 8 ns (αυξήθηκε η συχνότητα). Είναι όντως δυνατή η επιτάχυνση του κυκλώματος, με κόστος όμως στην καταναλισκόμενη ισχύ, η οποία αυξήθηκε συγκριτικά με την άσκηση 1. Η επιφάνεια μειώθηκε ελάχιστα ενώ και το slack μειώθηκε όπως ήταν αναμενόμενο (παρόλο αυτά το slack εξακολουθεί

να είναι μεγαλύτερο από το μισό της περιόδου ρολογιού που έχει οριστεί γεγονός που παρέχει ασφάλεια για τον χρονισμό του κυκλώματος).

Άσκηση 5

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 1-16 της άσκησης 1, αλλά αυτήν την φορά χρησιμοποιήθηκε στο Βήμα 1 η βιβλιοθήκη χρονισμού **slow_vdd1v0_basicCells.lib**. Τα αρχεία αναφορών αυτής της άσκησης βρίσκονται μαζί με τα αρχεία .cmd, .log στον φάκελο Άσκηση 5.

Βήμα 5.1-5.5

Ακριβώς όμοια με την άσκηση 1. Με μόνη διαφορά στο βήμα 1, ότι εισάγεται άλλη βιβλιοθήκη χρονισμού.

```
set_db library slow_vdd1v0_basicCells.lib
```

Βήμα 5.6

Έχοντας συνθέσει επιτυχώς το κύκλωμα της άσκησης, αποτιμούνται στους παρακάτω πίνακες τα χαρακτηριστικά του κυκλώματος.

Ισχύς

stance: /picorv32						
wer Unit: W						
B Frames: /stim#0/frame#0						
Category	Leakage	Internal	Switching	Total	Row%	
memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
register	2.51560e-07	4.41855e-04	9.76867e-05	5.39793e-04	22.98%	
latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
logic	6.52563e-07	2.38777e-04	1.56997e-03	1.80940e-03	77.02%	
bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
clock	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
Subtotal	9.04123e-07	6.80632e-04	1.66766e-03	2.34919e-03	100.00%	
Percentage	0.04%	28.97%	70.99%	100.00%	100.00%	

Figure 53 report_power

Επιφάνεια

Instance	Module	Cell Count	Cell Area	Net Area	Total Area
picorv32		11513	34185.294	0.000	34185.294

Figure 54 report_area

Αριθμός Κελιών

Type	Instances	Area	Area %
<hr/>			
sequential	1960	11543.868	33.8
inverter	410	416.898	1.2
buffer	260	1977.102	5.8
logic	8883	20247.426	59.2
physical_cells	0	0.000	0.0
<hr/>			
total	11513	34185.294	100.0

Figure 55 report_gates

Slack

```

Path 1: MET (2 ps) Setup Check with Pin genblk1.pcpi_mul_rd_reg[63]/CK->D
    Group: clk
    Startpoint: (R) genblk1.pcpi_mul_rs2_reg[1]/CK
        Clock: (R) clk
    Endpoint: (R) genblk1.pcpi_mul_rd_reg[63]/D
        Clock: (R) clk

                Capture          Launch
Clock Edge:+ 10000            0
Src Latency:+ 0                0
Net Latency:+ 400 (I)         400 (I)
Arrival:=   10400            400

    Setup:-      110
    Uncertainty:- 50
Required Time:= 10240
Launch Clock:- 400
Data Path:-   9839
Slack:=       2

```

Figure 56 report_timing

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 17.

	Άσκηση 1 ^η	Άσκηση 5 ^η	
Αριθμόν Κελιών	10364	11513	αυξήθηκε
Επιφάνεια	30689.370 μm ²	34185.294 μm ²	αυξήθηκε
Slack	5735 ps	2 ps	μειώθηκε
Ισχύς	$4.229 \cdot 10^{-3} W$	$2.34919 \cdot 10^{-3} W$	μειώθηκε
Clock	10 ns	10 ns	-

Πίνακας 37

Βήμα 5.7-5.10

Ακριβώς όμοια με την άσκηση 1.

Βήμα 5.12

Όμοια με την άσκηση 1, εξάγονται οι αναφορές:

Ισχύς

Total Power					
Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.4534	0.04761	0.00025	0.5013	23.97
Macro	0	0	0	0	0
IO	0	0	0	0	0
Combinational	0.2676	1.322	0.0006069	1.59	76.03
Clock (Combinational)	0	0	0	0	0
Clock (Sequential)	0	0	0	0	0
Total	0.721	1.369	0.0008569	2.091	100

Figure 57 report_power

Επιφάνεια

Hinst Name	Module Name	Inst Count	Total Area
picorv32		12077	33475.644

Figure 58 report_area

Timing

```

Path Groups: {clk}
Analysis View: default_emulate_view
Other End Arrival Time      0.000
- Setup                      0.124
+ Phase Shift                10.000
- Uncertainty                 0.050
= Required Time               9.826
- Arrival Time                8.288
= Slack Time                  1.537
    Clock Rise Edge           0.000
    + Clock Network Latency (Ideal) 0.000
    = Beginpoint Arrival Time   0.000

```

Figure 59 report_timing

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 18.

	Άσκηση 1 ^η	Άσκηση 5 ^η	
Επιφάνεια	30562.146 μm ²	33475.644 μm ²	αυξήθηκε
Slack	6.375ns	1.537 ns	μειώθηκε
Total Power	3.129 W	2.091 W	μειώθηκε
Internal Power	1.048 W	0.721 W	μειώθηκε
Switching Power	2.078 W	1.369 W	μειώθηκε
Leakage Power	0.002018 W	0.0008569 W	μειώθηκε

Πίνακας 18

Τέλος ελέγχοντας την τοποθέτηση, μέσω του Check Placement παρατηρείται ότι δεν υπάρχουν παραβάσεις.

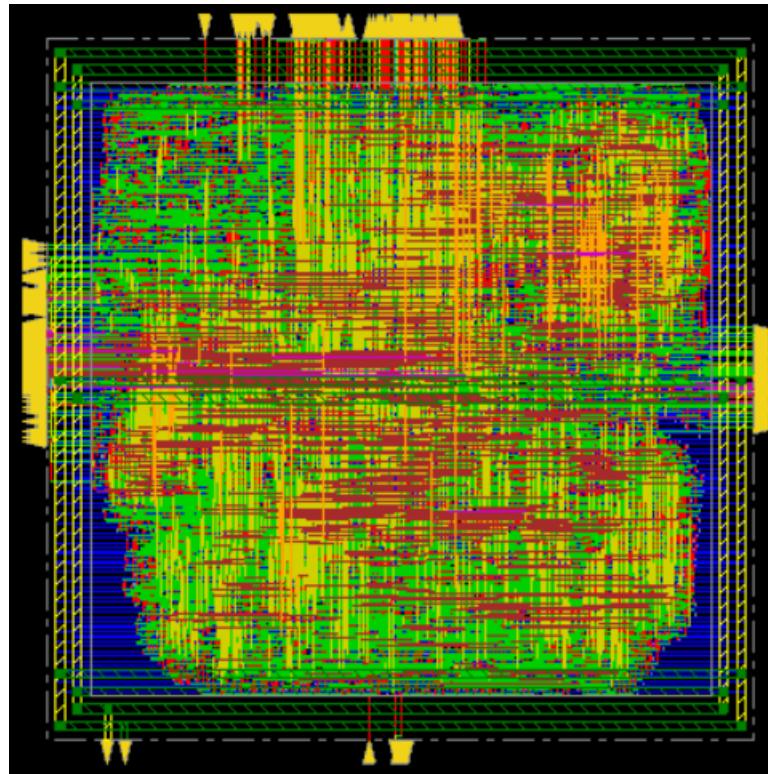


Figure 60 Placement

Βήμα 5.11

Η Early Power Analysis έγινε μετά την τοποθέτηση, ούτως ώστε να γίνει αποτίμηση της ικανότητας του δικτύου διανομής να τροφοδοτήσει κάθε κόμβο του κυκλώματος.

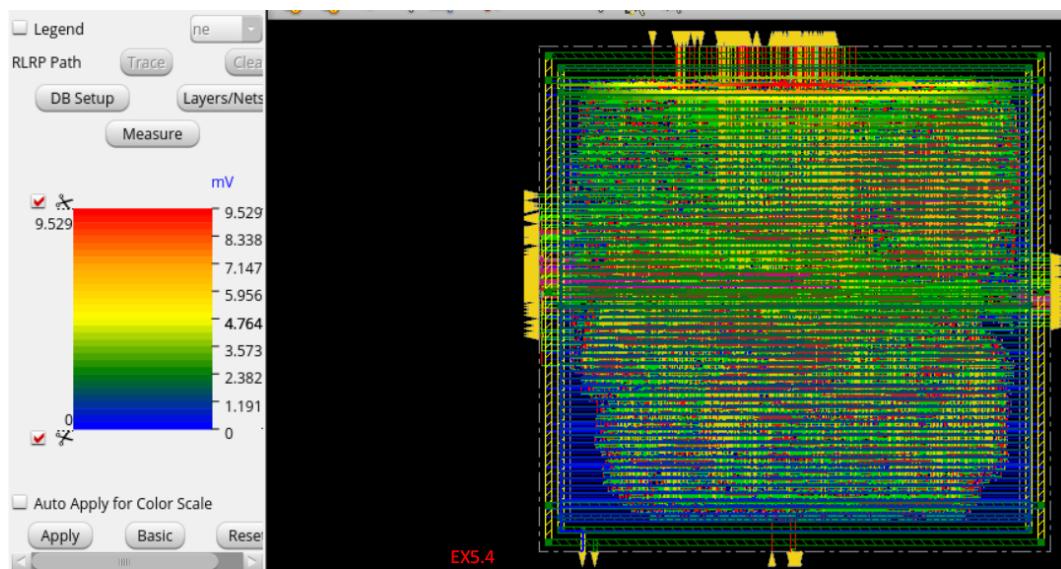


Figure 61 early power analysis

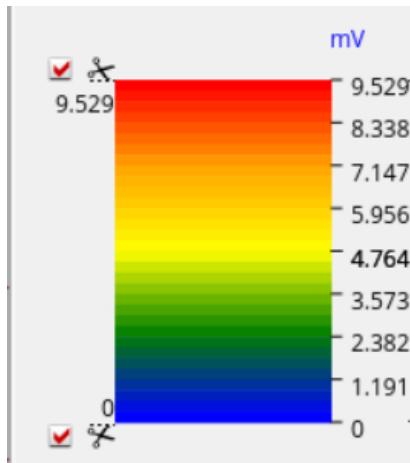


Figure 62

Βήμα 5.13

Εφαρμόζεται Early Global Routing 1) με εύρος δρομολόγησης που να καλύπτει όλα τα μέταλλα 2) με εύρος από το δεύτερο (M2) ως το προτελευταίο (M10). Προκύπτει ότι δεν υπάρχει συμφόρηση σε κάποια από τις δύο περιπτώσεις (max, total hotspot = 0).

	reportCongestion -hotSpot	ex5.5
	max hotspot	total hotspot
normalized	0.00	0.00

Figure 63 max & total hotspot

Βήμα 5.14

Δημιουργήθηκε ένα NDR με διπλάσιο πάχος και κενό για όλα τα μέταλλα. Ύστερα δημιουργήθηκε μέσω της εντολής: `create_route_type -top_preferred_layer Metal9 -bottom_preferred_layer Metal7 -non_default_rule NDRSTEP13 -name STEP13` ένας τύπος δρομολόγησης που ακολουθεί το NDR και έχει μέγιστο επίπεδο το μέταλλο 9 και ελάχιστο επίπεδο το μέταλλο 7 (Δεδομένου ότι το δίκτυο διανομής της ισχύος χρησιμοποιεί τα μέταλλα 10 και 11). Επιπλέον προστέθηκε στρέβλωση 100ps και μέγιστος ρυθμός μετάβασης ρολογιού ίσο με 150ps, συνθέθηκε το δέντρο ρολογιού, και έγινε βελτιστοποίηση του Design ακριβώς όπως στην άσκηση 1. Έπειτα εξάγονται οι παρακάτω αναφορές:

Ισχύς

Total Power					
Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.4523	0.04751	0.00025	0.5	22.76
Macro	0	0	0	0	0
IO	0	0	0	0	0
Combinational	0.2684	1.322	0.0006085	1.591	72.43
Clock (Combinational)	0.02092	0.08468	6.461e-06	0.1056	4.807
Clock (Sequential)	0	0	0	0	0
Total	0.7416	1.455	0.000865	2.197	100

Figure 64 report_power

Επιφάνεια

Hinst Name	Module Name	Inst Count	Total Area
picorv32		12149	33640.146

Figure 65 report_area

Timing

```
Analysis View: default_emulate_view
Other End Arrival Time      -0.007
- Setup                      0.120
+ Phase Shift                10.000
- Uncertainty                0.050
= Required Time              9.824
- Arrival Time               8.313
= Slack Time                 1.510
    Clock Rise Edge          0.000
    + Clock Network Latency (Prop) 0.009
    = Beginpoint Arrival Time   0.009
```

Figure 66 report_timing

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 19.

	Άσκηση 1 ^η	Άσκηση 5 ^η	
Επιφάνεια	30853.872 μm^2	33640.146 μm^2	αυξήθηκε
Slack	6.360 ns	1.510 ns	μειώθηκε
Total Power	3.299 W	2.197 W	μειώθηκε
Internal Power	1.082 W	0.7416 W	μειώθηκε
Switching Power	2.215 W	1.455 W	μειώθηκε
Leakage Power	0.002051 W	0.000865 W	μειώθηκε

Πίνακας 19

Clock Tree Report

```

-----  

Cell type          Count   Area     Capacitance  

-----  

Buffers           57      135.432  0.022  

Inverters          0       0.000   0.000  

Integrated Clock Gates  0       0.000   0.000  

Non-Integrated Clock Gates 0       0.000   0.000  

Clock Logic        0       0.000   0.000  

All               57      135.432  0.022  

-----  

Clock DAG wire lengths:  

=====  

Type    Wire Length  

-----  

Top      0.000  

Trunk    1013.230  

Leaf     7127.750  

Total    8140.980  

-----  

Clock DAG hp wire lengths:  

=====  

Type    hp Wire Length  

-----  

Top      0.000  

Trunk    713.240  

Leaf     2885.070  

Total    3598.310  

-----  

Clock DAG capacitances:  

=====  

Type    Gate     Wire     Total  

-----  

Top      0.000   0.000   0.000  

Trunk    0.022   0.070   0.092  

Leaf     0.412   0.546   0.958  

Total    0.435   0.615   1.050  

-----  

Clock Tree Buffering Structure (Logical):  

# Buffers : 57  

# Inverters : 0  

Total : 57  

Minimum depth : 3  

Maximum depth : 3  

Buffering area (um^2) : 135.432  

Clock Tree Level Structure (Logical):  

-----  

Level # Full # Posedge # Negedge # RAM # Enable # Non enable # Other  

Cycle Flops Flops Pins Sinks Sinks Sinks  

-----  

root 0 1960 0 0 0 0 0  

Total 0 1960 0 0 0 0 0  

-----  

Target and measured clock slews (in ns):  

-----  

Timing Corner          Worst Rising  Worst Falling  Worst Rising  Worst Falling  Leaf Slew  Leaf Slew  Trunk Slew  Trunk Slew  

                           Leaf Slew    Leaf Slew    Trunk Slew   Trunk Slew   Target Type Target  Target Type Target  

-----  

default_emulate_delay_corner:hold.early  0.126    0.150    0.112    0.134    ignored   -    ignored   -  

default_emulate_delay_corner:hold.late   0.127    0.150    0.113    0.134    ignored   -    ignored   -  

default_emulate_delay_corner:setup.early 0.126    0.150    0.112    0.134    ignored   -    ignored   -  

default_emulate_delay_corner:setup.late  0.127    0.150    0.113    0.134    explicit  *0.150  explicit  0.150  

-----  

* - indicates that target was not met.

```

Figure 67 clock tree report

Ο στόχος για το μέγιστο ρυθμός μετάβασης ικανοποιείται σύμφωνα με τον πίνακα *Target and measured clock slews (in ns)* της παραπάνω εικόνας.

	Άσκηση 1 ^η	Άσκηση 5 ^η	
Clock buffers	21	57	αυξήθηκε
Skew groups	8	8	-
Μέγιστο Βάθος Ρολογιού	2	3	αυξήθηκε
Ελάχιστο Βάθος Ρολογιού	2	3	αυξήθηκε
Μήκος Δρομολόγησης trunk	541.005 (Από το 1 ^ο Wire Length)	1013.230	αυξήθηκε
Μήκος Δρομολόγησης leaves	6835.850 (Από το 1 ^ο Wire Length)	7127.750	αυξήθηκε

Πίνακας 20

Timing Corner	Skew Group	ID Target	Min ID	Max ID	Avg ID	Std.Dev. ID	Skew Target Type	Skew Target	Skew	Skew window occupancy
default_emulate_delay_corner:hold.early	clk/default_emulate_constraint_mode	none	0	0.444	0.470	0.455	0.008	ignored	-	-
default_emulate_delay_corner:setup.early	clk/default_emulate_constraint_mode	-	0.444	0.470	0.455	0.008	explicit	0.100	0.026	100% (0.444, 0.470)
default_emulate_delay_corner:hold.early	clk/default_emulate_constraint_mode	-	0.437	0.452	0.437	0.007	ignored	-	0.025	-
default_emulate_delay_corner:hold.late	clk/default_emulate_constraint_mode	-	0.444	0.470	0.455	0.008	ignored	-	0.026	-

' - indicates that target was not met.

Figure 68 Skew Report

Άρα στα 4 skew groups ο στόχος skew ικανοποιείται.

Βήμα 5.15

Εκτελείτε η δρομολόγηση επιλέγοντας της ρυθμίσεις Fix Antenna, SI Driven και Timing Driven με effort 5 καθώς και Medium Effort για το Via Optimization. Τέλος αφού γίνει βελτιστοποίηση του Design, εξάγονται οι παρακάτω αναφορές:

Ισχύς

Total Power					
Total Internal Power:	0.74175550	33.8848%			
Total Switching Power:	1.44642810	66.0757%			
Total Leakage Power:	0.00086496	0.0395%			
Total Power:	2.18904855				

Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.4524	0.04704	0.00025	0.4997	22.83
Macro	0	0	0	0	0
IO	0	0	0	0	0
Combinational	0.2684	1.316	0.0006085	1.585	72.43
Clock (Combinational)	0.02092	0.08303	6.461e-06	0.104	4.749
Clock (Sequential)	0	0	0	0	0
Total	0.7418	1.446	0.000865	2.189	100

Figure 69 report_power

Επιφάνεια

Hinst Name	Module Name	Inst Count	Total Area
picorv32		12149	33640.146

Figure 70 report_area

Timing

```
Path Groups: {clk}
Analysis View: default_emulate_view
Other End Arrival Time      -0.020
- Setup                      0.115
+ Phase Shift                10.000
- Uncertainty                 0.050
= Required Time               9.815
- Arrival Time                8.437
= Slack Time                 1.379
    Clock Rise Edge           0.000
    + Clock Network Latency (Prop) -0.018
    = Beginpoint Arrival Time   -0.018
```

Figure 71 report_timing

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 21.

	Άσκηση 1 ^η	Άσκηση 5 ^η	
Επιφάνεια	30853.872 μm ²	33640.146 μm ²	αυξήθηκε
Slack	6.343 ns	1.379 ns	μειώθηκε
Total Power	3.291 W	2.189 W	μειώθηκε
Internal Power	1.082 W	0.7418 W	μειώθηκε
Switching Power	2.208 W	1.446 W	μειώθηκε
Leakage Power	0.002051 W	0.000865 W	μειώθηκε

Πίνακας 21

Βήμα 5.16

Εξετάστηκε το φυσικό σχέδιο για DRC παραβιάσεις και έγινε έλεγχος για το αν όλες οι διασυνδέσεις και οι τοποθετήσεις των κελιών έχουν γίνει ορθά. Σύμφωνα με τα αποτελέσματα στις παρακάτω εικόνες, δεν υπάρχουν παραβάσεις, και όλες οι διασυνδέσεις και οι τοποθετήσεις των κελιών έχουν γίνει ορθά.

```

*** Starting Verify DRC (MEM: 2192.2) ***

VERIFY DRC ..... Starting Verification
VERIFY DRC ..... Initializing
VERIFY DRC ..... Deleting Existing Violations
VERIFY DRC ..... Creating Sub-Areas
VERIFY DRC ..... Using new threading
VERIFY DRC ..... Sub-Area: {0.000 0.000 82.560 81.600} 1 of 9
VERIFY DRC ..... Sub-Area : 1 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {82.560 0.000 165.120 81.600} 2 of 9
VERIFY DRC ..... Sub-Area : 2 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {165.120 0.000 245.000 81.600} 3 of 9
VERIFY DRC ..... Sub-Area : 3 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {0.000 81.600 82.560 163.200} 4 of 9
VERIFY DRC ..... Sub-Area : 4 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {82.560 81.600 165.120 163.200} 5 of 9
VERIFY DRC ..... Sub-Area : 5 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {165.120 81.600 245.000 163.200} 6 of 9
VERIFY DRC ..... Sub-Area : 6 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {0.000 163.200 82.560 242.060} 7 of 9
VERIFY DRC ..... Sub-Area : 7 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {82.560 163.200 165.120 242.060} 8 of 9
VERIFY DRC ..... Sub-Area : 8 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {165.120 163.200 245.000 242.060} 9 of 9
VERIFY DRC ..... Sub-Area : 9 complete 0 Viols.

Verification Complete : 0 Viols.          ex5.4

```

Figure 72 Verify DRC

```

innovas-33> VERIFY_CONNECTIVITY dsc new_engine.

***** Start: VERIFY CONNECTIVITY *****
Start Time: Thu Dec 8 11:26:49 2022

Design Name: picorv32
Database Units: 2000
Design Boundary: (0.0000, 0.0000) (245.0000, 242.0600)
Error Limit = 1000; Warning Limit = 50
Check all nets
**** 11:26:49 **** Processed 5000 nets.
**** 11:26:50 **** Processed 10000 nets.

Begin Summary
  Found no problems or warnings.
End Summary

End Time: Thu Dec 8 11:26:50 2022
Time Elapsed: 0:00:01.0

***** End: VERIFY CONNECTIVITY *****
  Verification Complete : 0 Viols.  0 Wrngs.          ex5.4
  (CPU Time: 0:00:01.2  MEM: 0.000M)

```

Figure 73 Verify Connectivity

Τέλος εισάγονται τα Fillers σε όλα τα επίπεδα για να ικανοποιηθεί η πυκνότητα των μετάλλων. (Τέθηκε ελάχιστο όριο της πυκνότητας ως 10% για όλα τα μέταλλα)

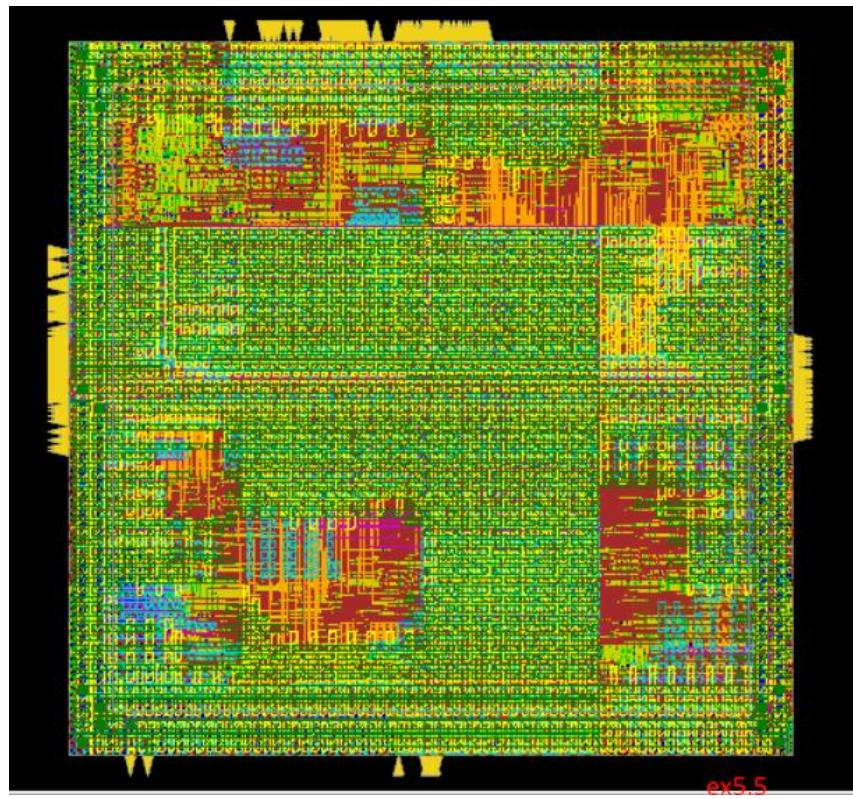


Figure 74

Στην άσκηση 5 με την χρήση της «slow» βιβλιοθήκης μειώθηκε σημαντικά η καταναλισκόμενη ισχύς, η επιφάνεια αυξήθηκε σε μικρό βαθμό, ενώ το slack μειώθηκε από 6.3ns σε 1.3ns. Παράλληλα οι buffers ρολογιού, το βάθος ρολογιού και τα μήκη δρομολόγησης trunk/leaves αυξήθηκαν.

Άσκηση 6

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 1-16 της άσκησης 1, αλλά αυτήν την φορά ενεργοποιήθηκε στο Βήμα 3 η φραγή ρολογιού μέσω της εντολής `set_db lp_insert_clock_gating true`. Τα αρχεία αναφορών αυτής της άσκησης βρίσκονται μαζί με τα αρχεία .cmd, .log στον φάκελο Άσκηση 6.

Βήμα 6.1-6.2, 6.4

Ακριβώς όμοια με την άσκηση 1.

Βήμα 6.3

Ενεργοποιείται αρχικά η φραγή ρολογιού

```
set_db lp_insert_clock_gating true
```

και έπειτα όμοια με την άσκηση 1 εκτελούνται οι εντολές

```
elaborate "picorv32"
```

```
check_design -all
```

Βήμα 6.5

Μετά την εντολή syn_generic καλείται η εντολή report_clock_gating > ex6report_clock_gating_step5.txt για να εξαχθούν στατιστικά της χρήσης φραγής ρολογιού. Έπειτα εκτελούνται οι εντολές syn_map syn_opt όμοια με την άσκηση 1.

Category	Number	%	Average Toggle	Saving %
RC Clock Gating Instances	58	100		83.18
Non-RC Clock Gating Instances	0	0		0.00
RC Gated Flip-flops	1704	87		87.85
Non-RC Gated Flip-flops	0	0		0.00
Total Ungated Flip-flops	256	13		-
Enable not found	237	93		-
Register bank width too small	19	7		-
Total Flip-flops	1960	100		-

Figure 75 Στατιστικά χρήσης φραγής ρολογιού

Βήμα 6.6

Έχοντας συνθέσει επιτυχώς το κύκλωμα της άσκησης, αποτιμούνται στους παρακάτω πίνακες τα χαρακτηριστικά του κυκλώματος.

Ισχύς

Power Unit: W	PDB Frames: /stim#0/frame#0					
Category	Leakage	Internal	Switching	Total	Row%	
memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
register	6.86034e-07	2.04550e-04	5.38084e-05	2.59044e-04	14.81%	
latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
logic	1.15659e-06	1.17707e-04	1.33072e-03	1.44958e-03	82.87%	
bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
clock	1.97044e-08	2.18591e-05	1.88058e-05	4.06846e-05	2.33%	
pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%	
Subtotal	1.86233e-06	3.44116e-04	1.40333e-03	1.74931e-03	100.01%	
Percentage	0.11%	19.67%	80.22%	100.00%	100.00%	

Figure 76 report_power

Επιφάνεια

Instance	Module	Cell Count	Cell Area	Net Area	Total Area
<hr/>					
picorv32		8948	27064.854	0.000	27064.854

Figure 77 report_area

Αριθμός Κελιών

Type	Instances	Area	Area %
<hr/>			
sequential	1960	10864.656	40.1
inverter	339	243.504	0.9
buffer	234	1915.542	7.1
clock_gating_integrated_cell	58	376.884	1.4
logic	6357	13664.268	50.5
physical_cells	0	0.000	0.0
<hr/>			
total	8948	27064.854	100.0

Figure 78 report_gates

Slack

Clock: (R) clk		
	Capture	Launch
Clock Edge:+	10000	0
Drv Adjust:+	0	66
Src Latency:+	0	0
Net Latency:+	0 (I)	0 (I)
Arrival:=	10000	66
Output Delay:-	1000	
Uncertainty:-	50	
Required Time:=	8950	
Launch Clock:-	66	
Input Delay:-	1000	
Data Path:-	2565	
Slack:=	5318	

Figure 79 report_timing

Quality of Results

```
Clock Period
-----
clk 10000.0

Cost Critical Violating
Group Path Slack TNS Paths
-----
cg_enable_group_clk    7353.0  0.0      0
clk                     5318.2  0.0      0
default                 No paths  0.0
-----
Total                   0.0      0

Instance Count
-----
Leaf Instance Count      8948
Physical Instance count   0
Sequential Instance Count 2018
Combinational Instance Count 6930
Hierarchical Instance Count 58

Area
-----
Cell Area                27064.854
Physical Cell Area        0.000
Total Cell Area (Cell+Physical) 27064.854
Net Area                  0.000
Total Area (Cell+Physical+Net) 27064.854

Max Fanout                314 (clk)
Min Fanout                 1 (alu_out_q[0])
Average Fanout              2.6
Terms to net ratio          3.6114
Terms to instance ratio       3.8854
Runtime                     258.7802360000002 seconds
Elapsed Runtime               893 seconds
Genus peak memory usage     1108.76
Innovus peak memory usage    no_value
Hostname                    cn98.it.auth.gr
```

Figure 80 Quality of Results

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 22.

Άσκηση 1 ^η		Άσκηση 6 ^η	
Αριθμών Κελιών	10364	8948	μειώθηκε
Επιφάνεια	30689.370 μm^2	27064.854 μm^2	μειώθηκε
Slack	5735 ps	5318 ps	μειώθηκε
Iσχύς	$4.229 \cdot 10^{-3} W$	$1.74931 \cdot 10^{-3} W$	μειώθηκε
Clock	10 ns	10 ns	-

Πίνακας 22

Βήμα 6.7-6.10

Ακριβώς όμοια με την άσκηση 1.

Βήμα 6.12

Όμοια με την άσκηση 1, εξάγονται οι παρακάτω αναφορές:

Iσχύς

Total Power					
Total Internal Power:	0.73949763	25.9358%			
Total Switching Power:	2.10993819	74.0000%			
Total Leakage Power:	0.00183107	0.0642%			
Total Power:	2.85126690				

Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.3384	0.09584	0.0006862	0.4349	15.25
Macro	0	0	0	0	0
IO	0	0	0	0	0
Combinational	0.3777	2.014	0.001125	2.393	83.92
Clock (Combinational)	0	0	0	0	0
Clock (Sequential)	0.02344	0	1.968e-05	0.02346	0.8229
Total	0.7395	2.11	0.001831	2.851	100

Figure 81 report_power

Επιφάνεια

Hinst Name	Module Name	Inst Count	Total Area
picorv32		9257	26962.254

Figure 82 report_area

Timing

```
Path Groups: {clk}
Analysis View: default_emulate_view
Other End Arrival Time      0.000
- External Delay            1.000
+ Phase Shift               10.000
- Uncertainty                0.050
= Required Time             8.950
- Arrival Time              3.043
= Slack Time                5.907
    Clock Rise Edge          0.000
    + Input Delay             1.000
    + Drive Adjustment        0.025
    = Beginpoint Arrival Time 1.025
.
```

Figure 83 report_timing

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 23.

	Άσκηση 1 ^η	Άσκηση 6 ^η	
Επιφάνεια	30562.146 μm ²	26962.254 μm ²	μειώθηκε
Slack	6.375ns	5.907 ns	μειώθηκε
Total Power	3.129 W	2.851W	μειώθηκε
Internal Power	1.048 W	0.7395 W	μειώθηκε
Switching Power	2.078 W	2.11 W	αυξήθηκε
Leakage Power	0.002018 W	0.001831 W	μειώθηκε

Πίνακας 23

Τέλος ελέγχοντας την τοποθέτηση, μέσω του Check Placement παρατηρείται ότι υπάρχουν σε κάποια σημεία παραβάσεις (Violations, τα οποία ευθύνονται στο BUFX2).

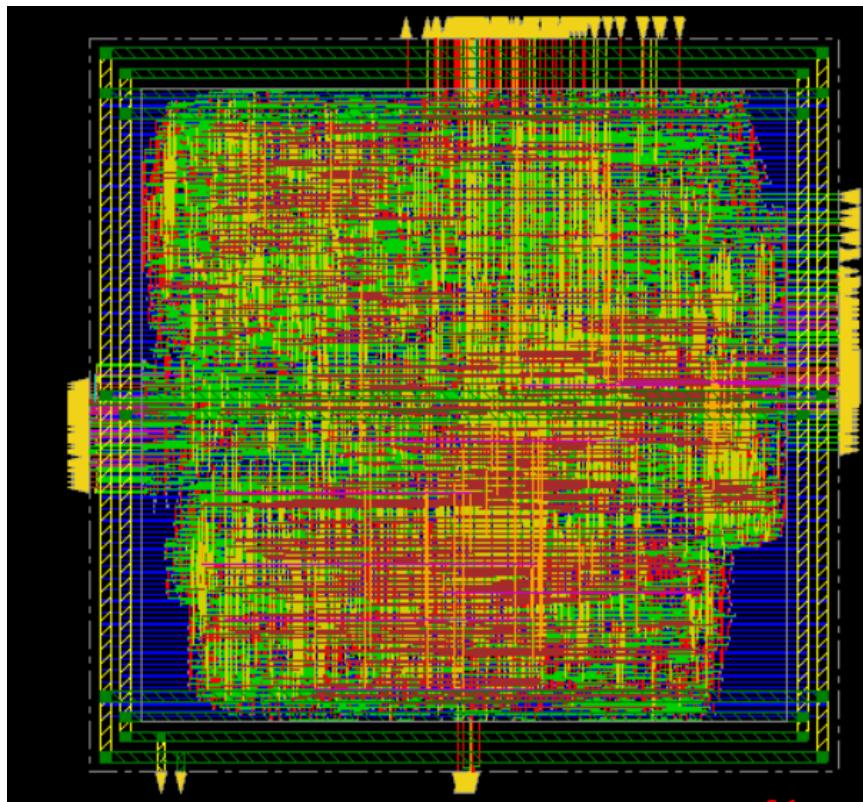


Figure 84 Placement

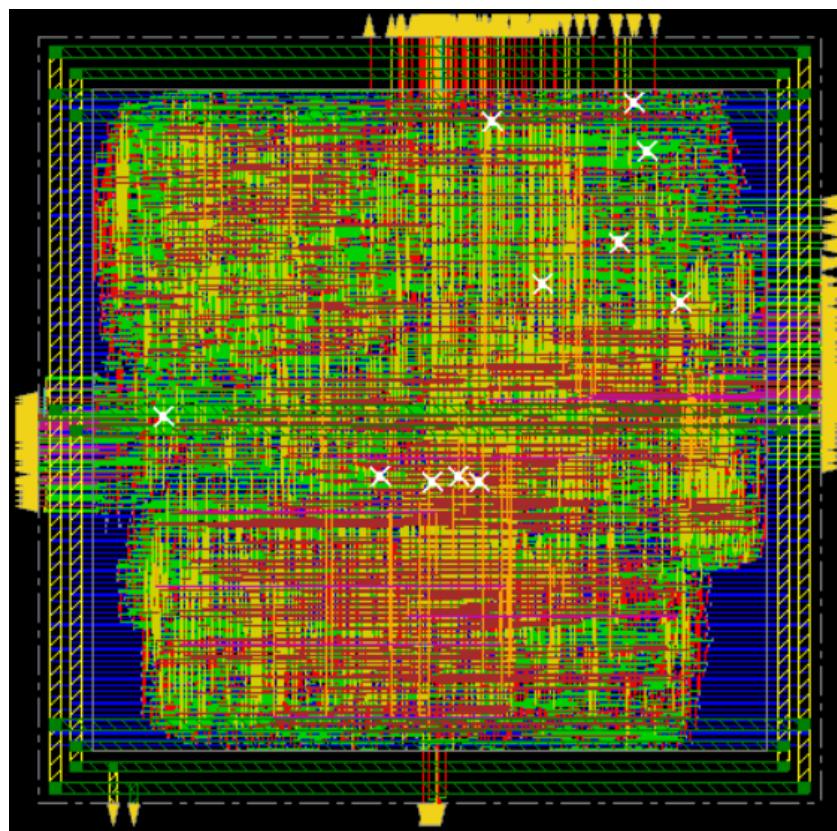


Figure 85 Violations

Βήμα 6.11

Η Early Power Analysis έγινε μετά την τοποθέτηση, ούτως ώστε να γίνει αποτίμηση της ικανότητας του δικτύου διανομής να τροφοδοτήσει κάθε κόμβο του κυκλώματος.

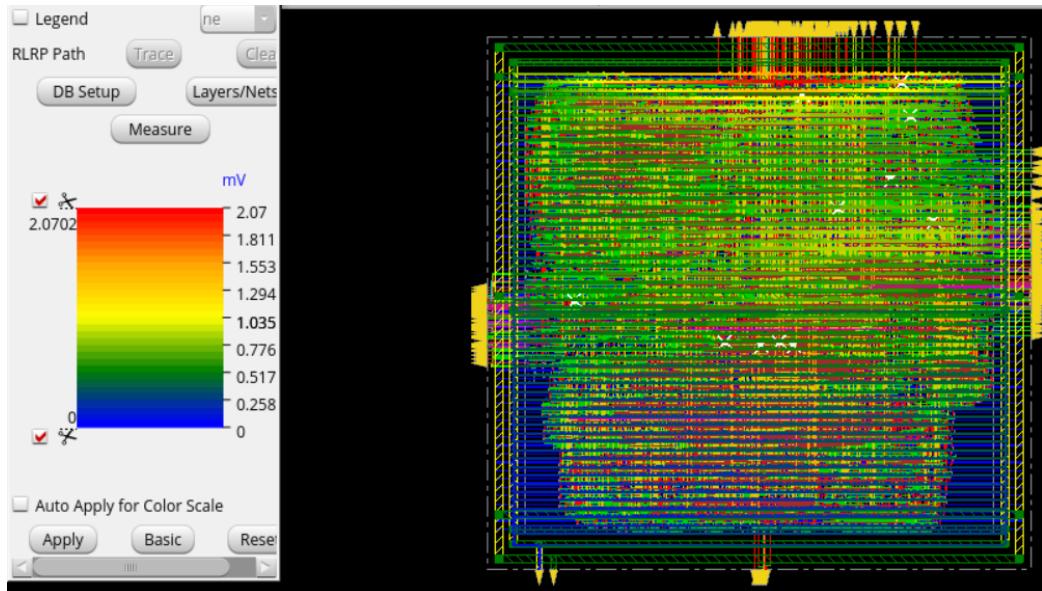


Figure 86 early power analysis

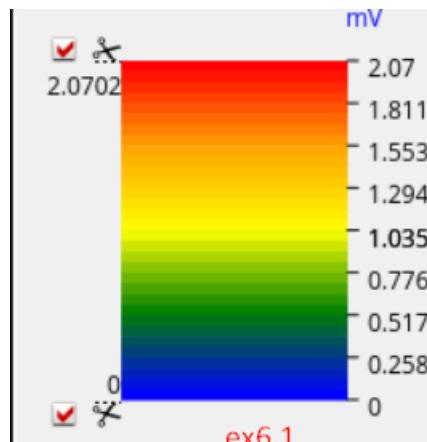


Figure 87

Βήμα 6.13

Εφαρμόζεται Early Global Routing 1) με εύρος δρομολόγησης που να καλύπτει όλα τα μέταλλα 2) με εύρος από το δεύτερο (M2) ως το προτελευταίο (M10). Προκύπτει ότι δεν υπάρχει συμφόρηση σε κάποια από τις δύο περιπτώσεις (max, total hotspot = 0).

5>	reportCongestion -hotSpot	ex6.1

Figure 88 max & total hotspot

Βήμα 6.14

Δημιουργήθηκε ένα NDR με διπλάσιο πάχος και κενό για όλα τα μέταλλα. Ύστερα δημιουργήθηκε μέσω της εντολής: `create_route_type -top_preferred_layer Metal9 -bottom_preferred_layer Metal7 -non_default_rule NDRSTEP13 -name STEP13` ένας τύπος δρομολόγησης που ακολουθεί το NDR και έχει μέγιστο επίπεδο το μέταλλο 9 και ελάχιστο επίπεδο το μέταλλο 7 (Δεδομένου ότι το δίκτυο διανομής της ισχύος χρησιμοποιεί τα μέταλλα 10 και 11). Επιπλέον προστέθηκε στρέβλωση 100ps και μέγιστος ρυθμός μετάβασης ρολογιού ίσο με 150ps, συνθέθηκε το δέντρο ρολογιού, και έγινε βελτιστοποίηση του Design ακριβώς όπως στην άσκηση 1. Έπειτα εξάγονται οι παρακάτω αναφορές:

Ισχύς

Total Power					
Total Internal Power:	0.75424573	25.9099%			
Total Switching Power:	2.15494165	74.0267%			
Total Leakage Power:	0.00184608	0.0634%			
Total Power:	2.91103345				

Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.3379	0.08393	0.0006854	0.4225	14.51
Macro	0	0	0	0	0
IO	0	0	0	0	0
Combinational	0.3879	2.025	0.001138	2.414	82.93
Clock (Combinational)	0.003469	0.02617	1.734e-06	0.02964	1.018
Clock (Sequential)	0.02496	0.01987	2.048e-05	0.04485	1.541
Total	0.7542	2.155	0.001846	2.911	100

Figure 89 report_power

Επιφάνεια

Hinst Name	Module Name	Inst Count	Total Area
picorv32		9296	27093.240

Figure 90 report_area

Timing

```

Analysis View: default_emulate_view
Other End Arrival Time      0.000
- External Delay             1.000
+ Phase Shift                10.000
- Uncertainty                 0.050
= Required Time              8.950
- Arrival Time               3.064
= Slack Time                 5.886
Clock Rise Edge              0.000
+ Input Delay                1.000
+ Drive Adjustment            0.026
= Beginpoint Arrival Time   1.026

```

Figure 91 report_timing

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 24.

	Άσκηση 1 ^η	Άσκηση 6 ^η	
Επιφάνεια	30853.872 μm^2	27093.240 μm^2	μειώθηκε
Slack	6.360 ns	5.886 ns	μειώθηκε
Total Power	3.299 W	2.911 W	μειώθηκε
Internal Power	1.082 W	0.7542 W	μειώθηκε
Switching Power	2.215 W	2.155 W	μειώθηκε
Leakage Power	0.002051 W	0.001846 W	μειώθηκε

Πίνακας 24

Κατά την οπτικοποίηση του δέντρου ρολογιού διακρίνονται οι επιπλέον πύλες/κελιά που προστέθηκαν.

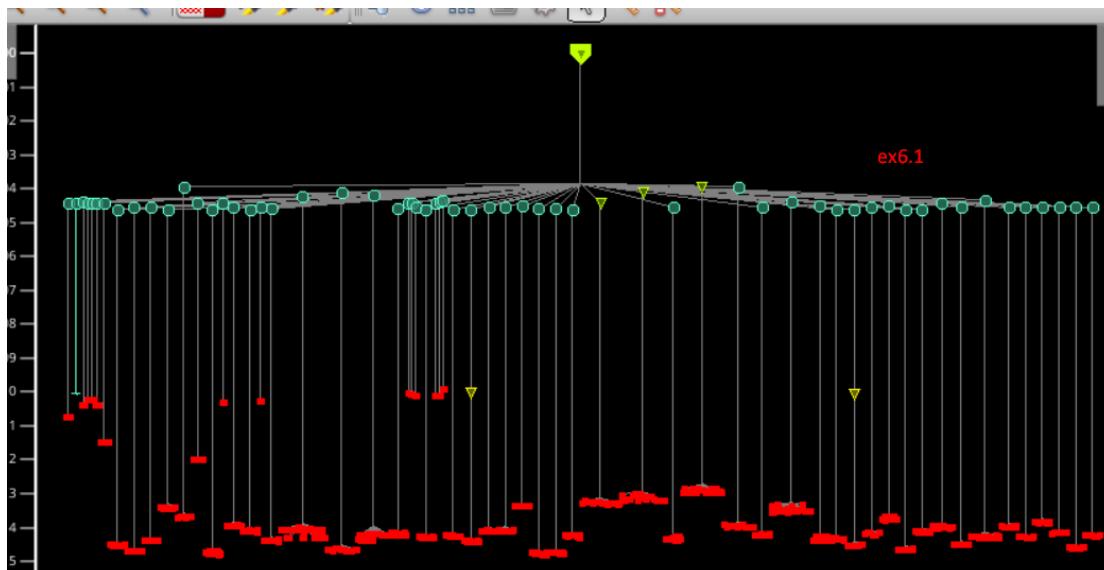


Figure 92 clock tree

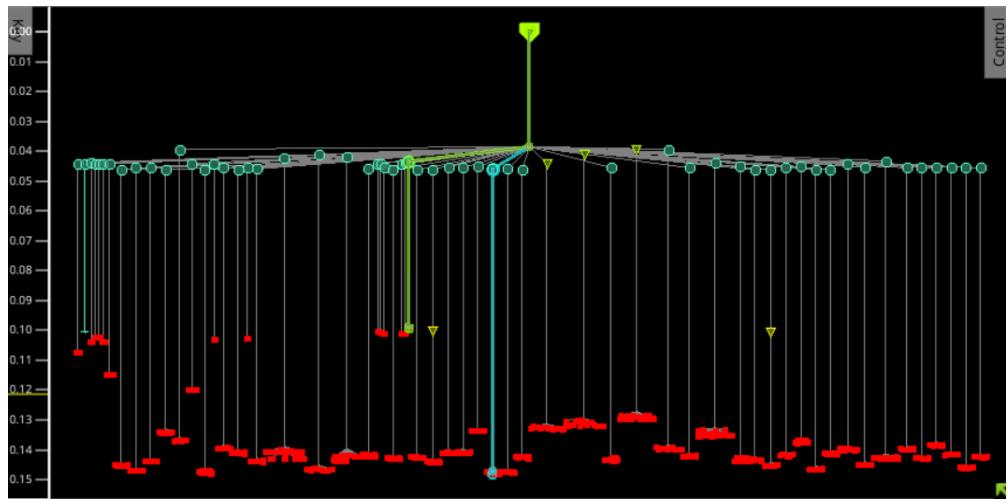


Figure 93 clock tree min/max path

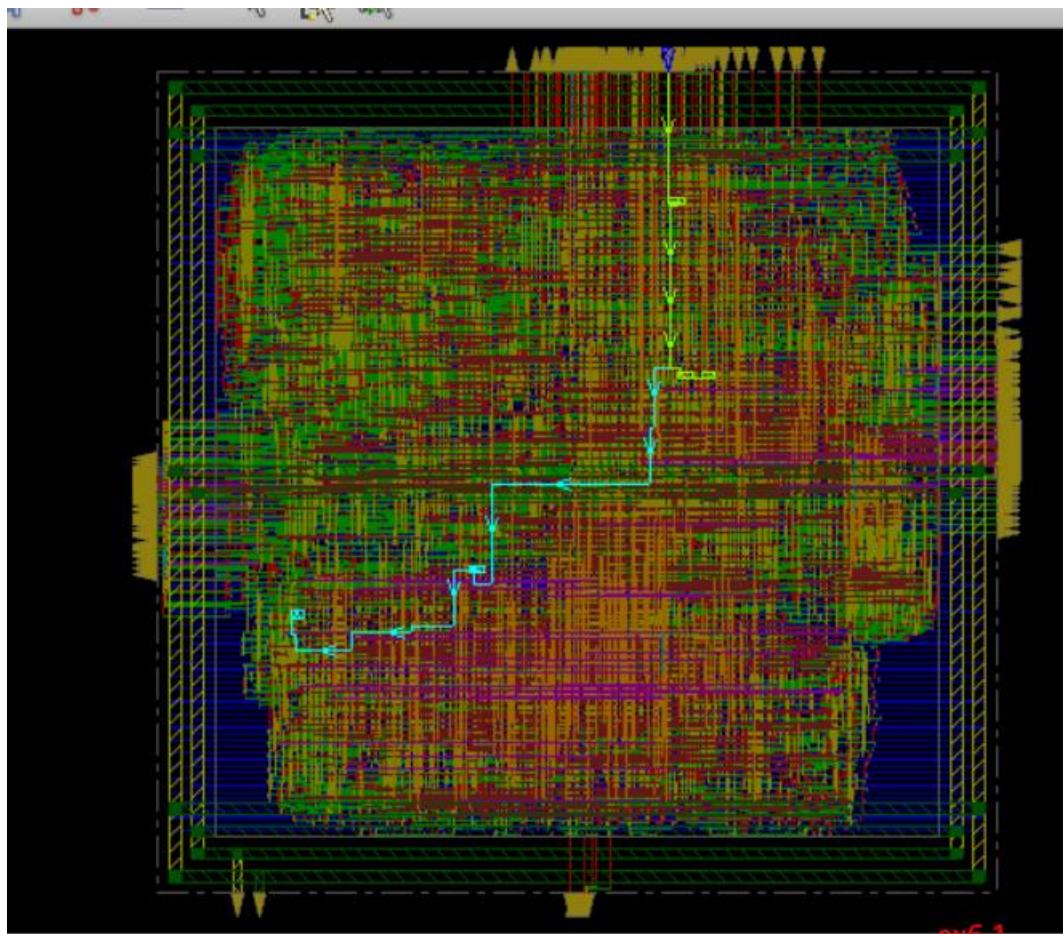


Figure 94 clock tree min/max path

Clock Tree Report

Cell type	Count	Area	Capacitance
Buffers	6	17.784	0.004
Inverters	0	0.000	0.000
Integrated Clock Gates	58	383.040	0.017
Non-Integrated Clock Gates	0	0.000	0.000
Clock Logic	0	0.000	0.000
All	64	400.824	0.021

Clock DAG wire lengths:

Type	Wire Length
Top	0.000
Trunk	689.970
Leaf	10198.930
Total	10888.900

Clock DAG hp wire lengths:

Type	hp Wire Length
Top	0.000
Trunk	277.460
Leaf	4711.405
Total	4988.865

Clock DAG capacitances:

Type	Gate	Wire	Total
Top	0.000	0.000	0.000
Trunk	0.021	0.049	0.070
Leaf	0.557	0.758	1.316
Total	0.578	0.808	1.386

Report for clock tree: clk

Clock Tree Gating Structure (logical):

```
# Full cycle clock gates : 58
Minimum clock gating depth : 1
Maximum clock gating depth : 1
Clock gate area (um^2) : 383.040
```

Clock Tree Buffering Structure (logical):

```
# Buffers : 6
# Inverters : 0
Total : 6
Minimum depth : 2
Maximum depth : 3
Buffering area (um^2) : 17.784
```

Clock Tree Level Structure (Logical):

Level	# Cycle	# Flops	# Posedge Flops	# Negedge Flops	# RAM Pins	# Enable Sinks	# Non enable Sinks	# Other Sinks
root	58	256	0	0	0	0	0	0
1	0	1704	0	0	0	0	0	0
Total	58	1960	0	0	0	0	0	0

Target and measured clock slews (in ns):

Timing Corner	Worst Rising Leaf Slew	Worst Falling Leaf Slew	Worst Rising Trunk Slew	Worst Falling Trunk Slew	Leaf Slew Target Type	Leaf Slew Target	Trunk Slew Target Type	Trunk Slew Target
default_emulate_delay_corner:hold.early	0.117	0.117	0.039	0.041	ignored	-	ignored	-
default_emulate_delay_corner:hold.late	0.121	0.120	0.040	0.042	ignored	-	ignored	-
default_emulate_delay_corner:setup.early	0.117	0.117	0.039	0.041	ignored	-	ignored	-
default_emulate_delay_corner:setup.late	0.121	0.120	0.040	0.042	explicit	0.150	explicit	0.150

* - indicates that target was not met.

Figure 95 clock tree report

Ο στόχος για το μέγιστο ρυθμός μετάβασης ικανοποιείται σύμφωνα με τον πίνακα *Target and measured clock slews (in ns)* της παραπάνω εικόνας.

	Άσκηση 1 ^η	Άσκηση 6 ^η	
Clock buffers	21	6	μειώθηκε
Skew groups	8	8	-
Μέγιστο Βάθος Ρολογιού	2	3	αυξήθηκε
Ελάχιστο Βάθος Ρολογιού	2	2	-
Μήκος Δρομολόγησης trunk	541.005 (Από το 1 ^ο Wire Length)	689.970	αυξήθηκε
Μήκος Δρομολόγησης leaves	6835.850 (Από το 1 ^ο Wire Length)	10198.930	αυξήθηκε

Πίνακας 25

Timing Corner	Skew Group	ID Target	Min ID	Max ID	Avg ID	Std.Dev. ID	Skew Target	Type	Skew Target	Skew	Skew window occupancy
default_emulate_delay_corner:setup_ear	clk/default_emulate_constraint_mode	0.097	0.148	0.135	0.099					0.048	
default_emulate_delay_corner:setup_late	clk/default_emulate_constraint_mode	none	0.099	0.148	0.139	0.099				0.049	
default_emulate_delay_corner:hold_early	clk/default_emulate_constraint_mode	-	0.097	0.144	0.135	0.099				0.048	
default_emulate_delay_corner:hold_late	clk/default_emulate_constraint_mode	-	0.099	0.148	0.139	0.099				0.049	100% (0.099, 0.148)

* - indicates that target was not met.

Figure 96 Skew Report

Άρα στα 4 skew groups ο στόχος skew ικανοποιείται.

Βήμα 6.15

Εκτελείτε η δρομολόγηση επιλέγοντας της ρυθμίσεις Fix Antenna, SI Driven και Timing Driven με effort 5 καθώς και Medium Effort για το Via Optimization. Τέλος αφού γίνει βελτιστοποίηση του Design, εξάγονται οι παρακάτω αναφορές:

Ισχύς

Total Power					
Total Internal Power:	0.75420389		26.0474%		
Total Switching Power:	2.13945019		73.8888%		
Total Leakage Power:	0.00184608		0.0638%		
Total Power:	2.89550015				

Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.3378	0.08335	0.0006854	0.4219	14.57
Macro	0	0	0	0	0
IO	0	0	0	0	0
Combinational	0.3879	2.01	0.001138	2.399	82.87
Clock (Combinational)	0.003469	0.02591	1.734e-06	0.02938	1.015
Clock (Sequential)	0.02496	0.01984	2.048e-05	0.04482	1.548
Total	0.7542	2.139	0.001846	2.896	100

Figure 97 report_power

Επιφάνεια

Hinst Name	Module Name	Inst Count	Total Area
picorv32		9296	27093.240

Figure 98 report_area

Timing

```
#####
th 1: MET Late External Delay Assertion
dpoint: mem_la_addr[31] (v) checked with leading edge of 'clk'
ginpoint: resetn          (^) triggered by leading edge of 'clk'
th Groups: {clk}
analysis View: default_emulate_view
her End Arrival Time      0.000
External Delay             1.000
Phase Shift                10.000
Uncertainty               0.050
Required Time              8.950
Arrival Time               3.136
Slack Time                5.814
Clock Rise Edge           0.000
+ Input Delay              1.000
+ Drive Adjustment         0.028
= Beginpoint Arrival Time 1.028
+
```

Figure 99 report_timing

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 26.

	Άσκηση 1 ^η	Άσκηση 6 ^η	
Επιφάνεια	30853.872 μm ²	27093.240 μm ²	μειώθηκε
Slack	6.343 ns	5.814 ns	μειώθηκε
Total Power	3.291 W	2.896 W	μειώθηκε
Internal Power	1.082 W	0.7542 W	μειώθηκε
Switching Power	2.208 W	2.139 W	μειώθηκε
Leakage Power	0.002051 W	0.001846 W	μειώθηκε

Πίνακας 26

Βήμα 6.16

Εξετάστηκε το φυσικό σχέδιο για DRC παραβιάσεις και έγινε έλεγχος για το αν όλες οι διασυνδέσεις και οι τοποθετήσεις των κελιών έχουν γίνει ορθά. Σύμφωνα με τα αποτελέσματα στις παρακάτω εικόνες, δεν υπάρχουν παραβάσεις, και όλες οι διασυνδέσεις και οι τοποθετήσεις των κελιών έχουν γίνει ορθά.

```

setting
*** Starting Verify DRC (MEM: 1587.6) ***

VERIFY DRC ..... Starting Verification
VERIFY DRC ..... Initializing
VERIFY DRC ..... Deleting Existing Violations
VERIFY DRC ..... Creating Sub-Areas
VERIFY DRC ..... Using new threading
VERIFY DRC ..... Sub-Area: {0.000 0.000 74.880 72.960} 1 of 9
VERIFY DRC ..... Sub-Area : 1 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {74.880 0.000 149.760 72.960} 2 of 9
VERIFY DRC ..... Sub-Area : 2 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {149.760 0.000 222.000 72.960} 3 of 9
VERIFY DRC ..... Sub-Area : 3 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {0.000 72.960 74.880 145.920} 4 of 9
VERIFY DRC ..... Sub-Area : 4 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {74.880 72.960 149.760 145.920} 5 of 9
VERIFY DRC ..... Sub-Area : 5 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {149.760 72.960 222.000 145.920} 6 of 9
VERIFY DRC ..... Sub-Area : 6 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {0.000 145.920 74.880 218.120} 7 of 9
VERIFY DRC ..... Sub-Area : 7 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {74.880 145.920 149.760 218.120} 8 of 9
VERIFY DRC ..... Sub-Area : 8 complete 0 Viols.
VERIFY DRC ..... Sub-Area: {149.760 145.920 222.000 218.120} 9 of 9
VERIFY DRC ..... Sub-Area : 9 complete 0 Viols.

```

ex6.1

Figure 100 Verify DRC

```

innovus 34> VERIFY_CONNECTIVITY use new engine.

***** Start: VERIFY CONNECTIVITY *****
Start Time: Fri Dec 9 09:32:19 2022

Design Name: picorv32
Database Units: 2000
Design Boundary: (0.0000, 0.0000) (222.0000, 218.1200)
Error Limit = 1000; Warning Limit = 50
Check all nets
**** 09:32:20 **** Processed 5000 nets.
**** 09:32:20 **** Processed 10000 nets.

Begin Summary
  Found no problems or warnings.
End Summary

End Time: Fri Dec 9 09:32:20 2022
Time Elapsed: 0:00:01.0

***** End: VERIFY CONNECTIVITY *****
Verification Complete : 0 Viols. 0 Wrngs. ex6.1
(CPU Time: 0:00:00.6 MEM: 0.000M)

```

Figure 101 Verify Connectivity

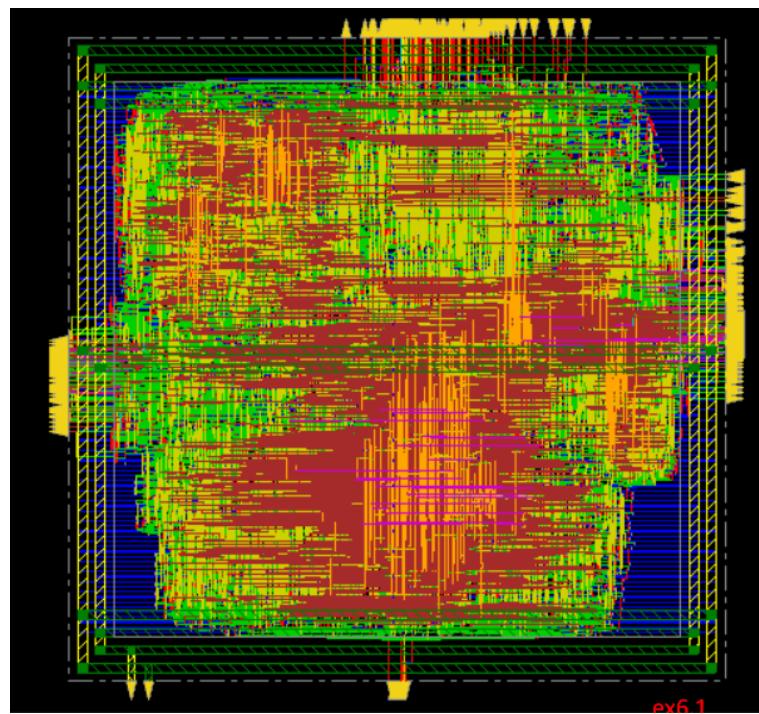


Figure 102

Τέλος εισάγονται τα Fillers σε όλα τα επίπεδα για να ικανοποιηθεί η πυκνότητα των μετάλλων. (Τέθηκε ελάχιστο όριο της πυκνότητας ως 10% για όλα τα μέταλλα)

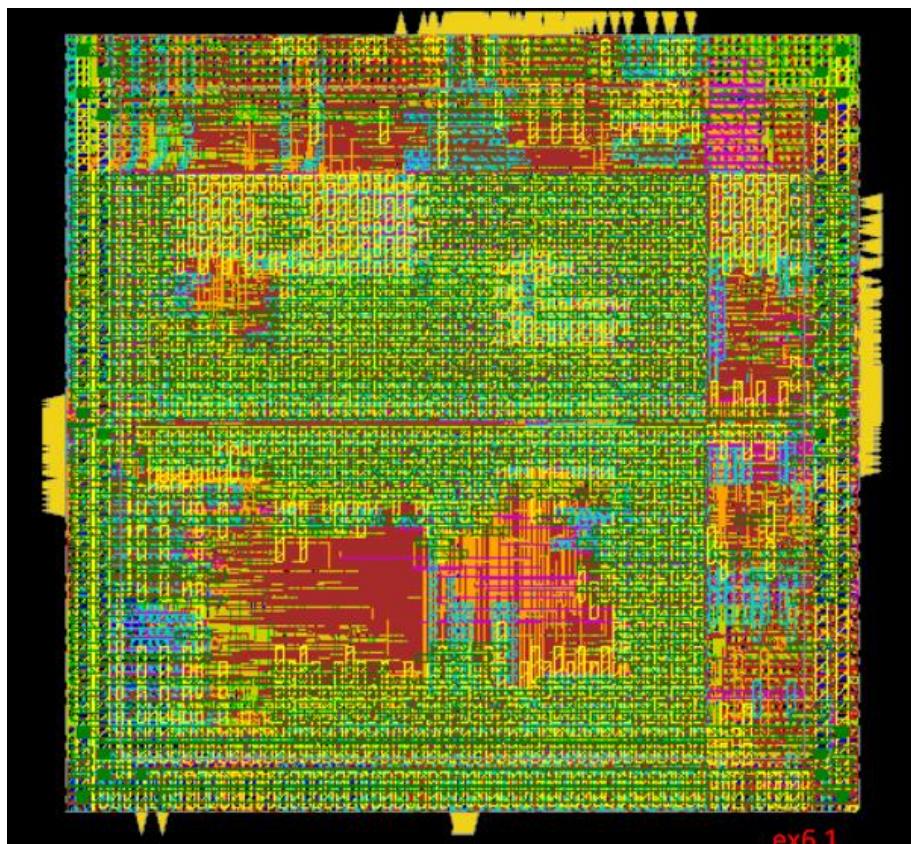


Figure 103 Τέλικο Αποτέλεσμα δης Άσκησης

Στην άσκηση αυτή ενεργοποιήθηκε η φραγή ρολογιού στα αρχικά στάδια της σύνθεσης. Η φραγή ρολογιού είναι μια τεχνική που χρησιμοποιείται στα κυκλώματα με στόχο τη μείωση της κατανάλωσης ισχύος τους. Πράγματι συγκριτικά με την άσκηση 1, η ισχύς σε όλα τα στάδια έχει μειωθεί, ενώ παράλληλα έχει μειωθεί η επιφάνεια και το slack σε όλα τα βήματα. Επιπλέον, οι buffers ρολογιού μειώθηκαν (από 21 σε 6) ενώ το βάθος ρολογιού και τα μήκη δρομολόγησης trunk/leaves αυξήθηκαν.

Άσκηση 7

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 1-7 της άσκησης 1. Τα αρχεία αναφορών αυτής της άσκησης βρίσκονται μαζί με τα αρχεία .cmd, .log στον φάκελο Άσκηση 7.

Κατά τη σύνθεση κώδικα μέσω του Genus, πρέπει να επιβεβαιωθεί ότι δεν αλλοιώθηκε το κύκλωμα από την αρχική μορφή σε κώδικα RTL σε επίπεδο λειτουργικότητας. Για το λόγο αυτό χρησιμοποιήθηκε το εργαλείο Conformal Equivalence Checking της Cadence.

Βήμα 7.1-7.3

Ακριβώς όμοια με την άσκηση 1. Μετά το elaboration, αποθηκεύεται ένα στιγμιότυπο μέσω των εντολών:

```
write_netlist -lec > elab.v  
write_do_lec -top picorv32 -golden_design rtl -revised_design elab.v  
-log_file rtl_elab.lec.log > rtl_elab.do
```

Βήμα 7.4-7.5

Ακριβώς όμοια με την άσκηση 1. Μετά το syn_generic, αποθηκεύεται ένα στιγμιότυπο μέσω των εντολών:

```
write_netlist -lec > generic.v  
write_do_lec -top picorv32 -golden_design elab.v -revised_design  
generic.v -log_file elab_generic.lec.log > elab_generic.do
```

Μετά το syn_map, αποθηκεύεται ένα στιγμιότυπο μέσω της εντολής:

```
write_do_lec -top picorv32 -golden_design generic.v -revised_design  
fv_map -log_file generic_fvmap.lec.log > generic_fvmap.do
```

Με αυτόν τον τρόπο αποθηκεύτηκαν σε 3 αρχεία .do τρεις συγκρίσεις netlist σε διαφορετικές στιγμές της σύνθεσης. Στην συνέχεια αναλύονται τα 3 αρχεία .do

Το κύριο τμήμα της ανάλυσης βρίσκεται στο Verification Report.

Αποτελέσματα για τα 1^o αρχείο .do (μετά το elaborate)

```
// Command: report_verification -hier -verbose
=====
Verification Report
-----
Category                                     Count
-----
1. Non-standard modeling options used:
  ▶ Tri-stated output:                                0
  Revised X signals set to E:                         checked
  Floating signals tied to Z:                         yes
  Command "add clock" for clock-gating:             yes
  Command "add ignore outputs" used:                 not used
-----
2. Incomplete verification:                      1
  All primary outputs are mapped:                  yes
  Not-mapped DFF/DLAT is detected:                no
  All mapped points are added as compare points: yes
  All compared points are compared:                yes
  User added black box:                            no
  Black box mapped with different module name:   no
  Empty module is not black boxed:                no
  Command "add ignore outputs" used:              yes *
  Always false constraints detected:             no
  Verified pin-equivalent outputs are unmapped:   no
-----
3. User modification to design:                  0
  Change gate type:                             no
  Change wire:                                 no
  Primary input added by user:                 ex7_1
-----
4. Conformal Constraint Designer clock domain crossing checks recommended: 2
  ▶ RTL5.1 Overlapped case items in parallel case statement: used *
  ▶ RTL5.4 Partial case items in full case statement:      used *
  Multiple clocks in the design:                no
-----
5. Design ambiguity:                           0
  Duplicate module definition:                  no
  Black box due to undefined cells:            no
  Golden design has abnormal ratio of unreachable gates: no
  Ratio of golden unreachable gates:           0%
  Revised design has abnormal ratio of unreachable gates: no
  Ratio of revised unreachable gates:          0%
  All primary input bus ordering is consistent: yes
  All primary output bus ordering is consistent: yes
-----
6. Compare Results:                           PASS
  Total Equivalent modules = 3
=====
pass
// Command: write_verification_information
// Verification information is written to rtl_elabv_db.
0
// Command: report_verification_information
// Generating reports on verification information at /mnt/scratch_b/users/k/karami
ex7_2
```

Figure 104

Αποτελέσματα για τα 2^o αρχείο .do (μετα το syn_generic)

Verification Report	
Category	Count
1. Non-standard modeling options used:	1
Tri-stated output:	checked
Revised X signals set to E:	yes
Floating signals tied to Z:	no *
Command "add clock" for clock-gating:	not used
2. Incomplete verification:	0
All primary outputs are mapped:	yes
Not-mapped DFF/DLAT is detected:	no
All mapped points are added as compare points:	yes
All compared points are compared:	yes
User added black box:	no
Black box mapped with different module name:	no
Empty module is not black boxed:	no
Command "add ignore outputs" used:	no
Always false constraints detected:	no
3. User modification to design:	0
Change gate type:	no
Change wire:	no
Primary input added by user:	no
4. Conformal Constraint Designer clock domain crossing checks recommended:	0
Multiple clocks in the design:	no
5. Design ambiguity:	0
Duplicate module definition:	no
Black box due to undefined cells:	no
Golden design has abnormal ratio of unreachable gates:	no
Ratio of golden unreachable gates:	1%
Revised design has abnormal ratio of unreachable gates:	no
Ratio of revised unreachable gates:	0%
All primary input bus ordering is consistent:	yes
All primary output bus ordering is consistent:	yes
6. Compare Results:	PASS
Number of EQ compare points:	2315
Number of NON-EQ compare points:	0
Number of Aborted compare points:	0
Number of Uncompared compare points :	0

===== ex7_4 =====

Figure 105

Αποτελέσματα για τα 3^ο αρχείο .do (μετά το syn_map)

Verification Report	
Category	Count
. Non-standard modeling options used:	0
Tri-stated output:	checked
Revised X signals set to E:	yes
Floating signals tied to Z:	yes
Command "add clock" for clock-gating:	not used
. Incomplete verification:	0
All primary outputs are mapped:	yes
Not-mapped DFF/DLAT is detected:	no
All mapped points are added as compare points:	yes
All compared points are compared:	yes
User added black box:	no
Black box mapped with different module name:	no
Empty module is not black boxed:	no
Command "add ignore outputs" used:	no
Always false constraints detected:	no
. User modification to design:	0
Change gate type:	no
Change wire:	no
Primary input added by user:	no
4. Conformal Constraint Designer clock domain crossing checks recommended:	0
Multiple clocks in the design:	no
5. Design ambiguity:	0
Duplicate module definition:	no
Black box due to undefined cells:	no
Golden design has abnormal ratio of unreachable gates:	no
Ratio of golden unreachable gates:	0%
Revised design has abnormal ratio of unreachable gates:	no
Ratio of revised unreachable gates:	0%
All primary input bus ordering is consistent:	yes
All primary output bus ordering is consistent:	yes
6. Compare Results:	PASS
Number of EQ compare points:	2268
Number of NON-EQ compare points:	0
Number of Aborted compare points:	0
Number of Uncompared compare points :	0
=====	
pass	ex7_6

Figure 106

Και στις 3 αναλύσεις των στιγμότυπων μετά το elaborate, μετά το syn_generic και το syn_map, τα αποτελέσματα της σύγκρισης (compare results) είναι PASS, όπως φαίνεται στις εικόνες 103-105 οπότε επιβεβαιώνεται ότι το κύκλωμα κατά τη σύνθεση μέσω του genus δεν αλλοιώθηκε σε επίπεδο λειτουργικότητας (synthesized netlist) σε σχέση με την αρχική μορφή του κώδικα RTL.

Βήμα 7.6-7.7

Ακριβώς όμοια με την άσκηση 1. Τα αρχεία αναφορών είναι ακριβώς ίδια με την άσκηση 1, για αυτό και δεν παρατίθενται αναλυτικά σε πίνακες.

Άσκηση 8

Βήμα 8.8

Αφού εκτελέστηκε ο κώδικας python, τροποποιείται σύμφωνα με το εγχειρίδιο το αρχείο genus.v. Εισήχθησαν τα αρχεία στο innovus και αρχικοποιήθηκε το design. Για αυτό το βήμα χρησιμοποιήθηκαν τα αρχεία .lef, .lib και .tch που χρησιμοποιήθηκαν στην Άσκηση 1 αλλά και το αρχείο giolib045.lef το οποίο περιέχει περιγραφές για διαφορετικά pads corners. Προκειμένου να οριστούν οι θέσεις των Corners με σωστό τρόπο το Innovus μας παρέχει ένα αρχείο με κατάληξη .io το οποίο αποθηκεύουμε, τροποποιούμε και στη συνέχεια το ξαναφορτώνουμε στο εργαλείο

Βήμα 8.9

Έγινε προσπάθεια να γίνει χωροθέτηση στο design με ποσοστό χρήσης του πυρήνα 75%. Ωστόσο λόγω των pads αυτό δεν κατέστη δυνατό, το utilization παρέμεινε 0.00059. Γενικά η προσθήκη των pads κάνει το design μικρό από πλευράς utilization (γιατί ο αριθμός των κελιών του δεν αλλάζει).

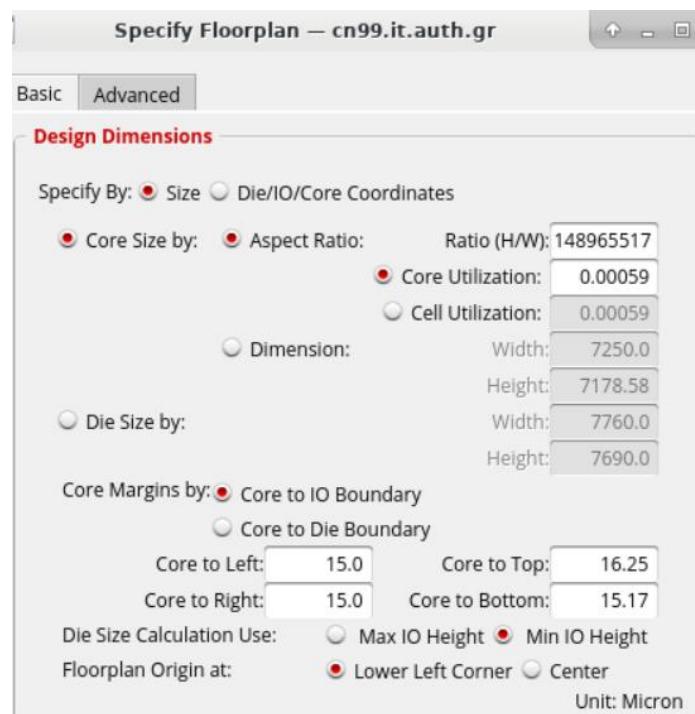


Figure 107 Specify Floorplan

Επιπλέον για το δίκτυο διανομής ισχύος, δημιουργήθηκε χώρος 15 μμ μέχρι τα I/O για τους δακτύλιους (δεν κατέστει δυνατό για το Core to Top να γίνει ακριβώς 15).

Βήμα 8.10

Δημιουργήθηκαν οι δακτύλιοι, οι γραμμές και τα pins σύμφωνα με την εκφώνηση. Ωστόσο κατά το sRoute τα power pins αρχικά δεν συνδέθηκαν με τα rings. Έπειτα από μεγάλο αριθμό προσπαθειών τελικά συνδέθηκαν με τα rings.

Βήμα 8.12

Ακριβώς όμοια με την άσκηση 1.

Εξάγονται οι παρακάτω αναφορές:

Ισχύς

Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.7112	0.1185	0.0006725	0.8303	18.67
Macro	0	0.8556	0	0.8556	19.24
IO	0	0	0	0	0
Combinational	0.427	2.332	0.001618	2.761	62.09
Clock (Combinational)	0	0	0	0	0
Clock (Sequential)	0	0	0	0	0
Total	1.138	3.307	0.00229	4.447	100
Rail	Voltage	Internal Power	Switching Power	Leakage Power	Total Power (%)
VDD	1.1	1.138	3.307	0.00229	4.447 100

Figure 108 report_power

Επιφάνεια

Hinst Name	Module Name	Inst Count	Total Area
example_module_pads		12531	6182142.264
picorv32_example	picorv32	12116	33342.264

Figure 109 report_area

Timing

```
Analysis View: default_emulate_view
Other End Arrival Time      0.000
- External Delay            1.000
+ Phase Shift               10.000
- Uncertainty                0.050
= Required Time             8.950
- Arrival Time              3.374
= Slack Time                5.576
    Clock Rise Edge          0.000
    + Input Delay             1.000
    + Drive Adjustment        0.203
= Beginpoint Arrival Time   1.203
```

Figure 110 report_timing

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 27.

	Άσκηση 1 ^η	Άσκηση 8 ^η	
Επιφάνεια	30562.146 μm ²	33342.264 μm ² *6182142.264 μm ²	αυξήθηκε
Slack	6.375ns	5.576 ns	μειώθηκε
Total Power	3.129 W	4.447 W	αυξήθηκε
Internal Power	1.048 W	1.138 W	αυξήθηκε
Switching Power	2.078 W	3.307W	αυξήθηκε
Leakage Power	0.002018 W	0.00229 W	αυξήθηκε

Πίνακας 27

* με τα pads

Τέλος ελέγχοντας την τοποθέτηση, μέσω του Check Placement παρατηρείται ότι υπάρχουν σε κάποια σημεία παραβάσεις (Violations, τα οποία ευθύνονται στο BUFX2).

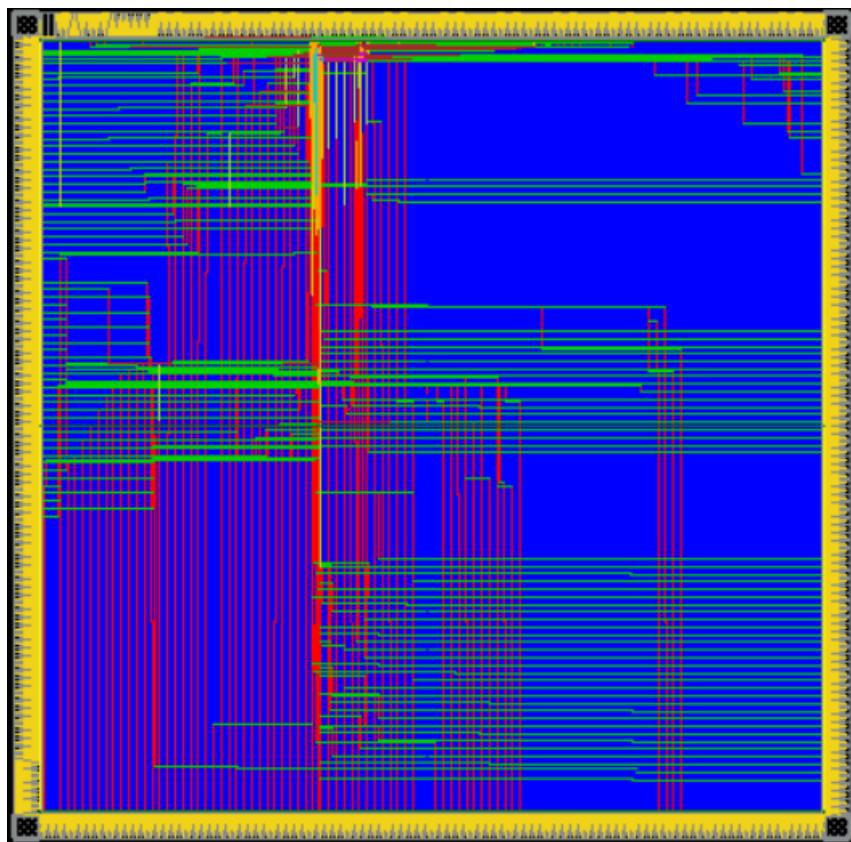


Figure 111 Placement

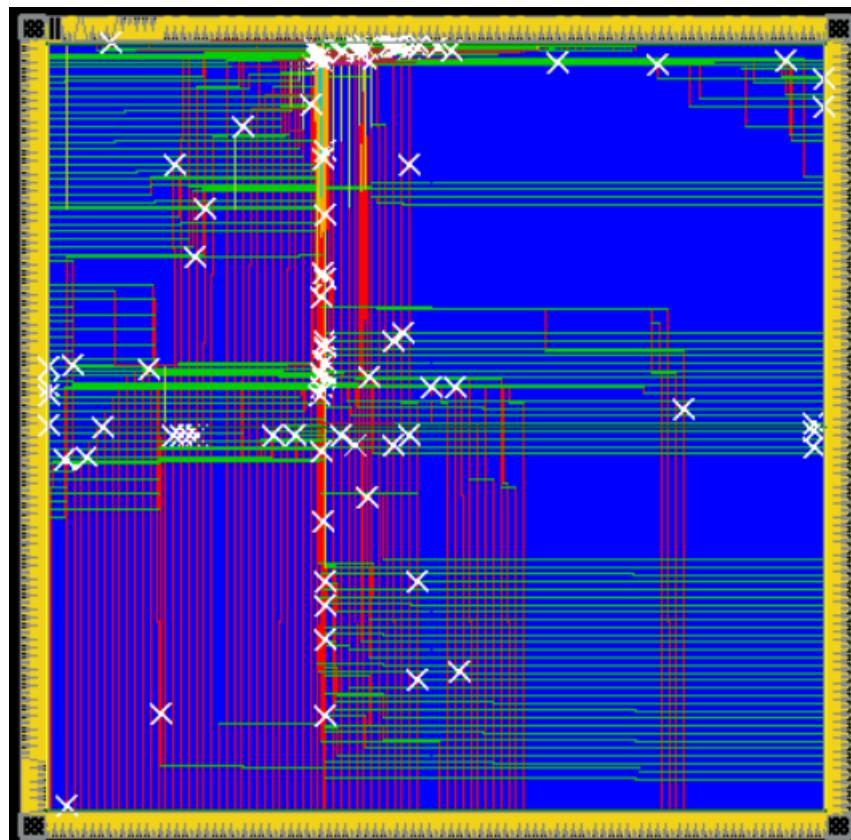


Figure 112 Violations

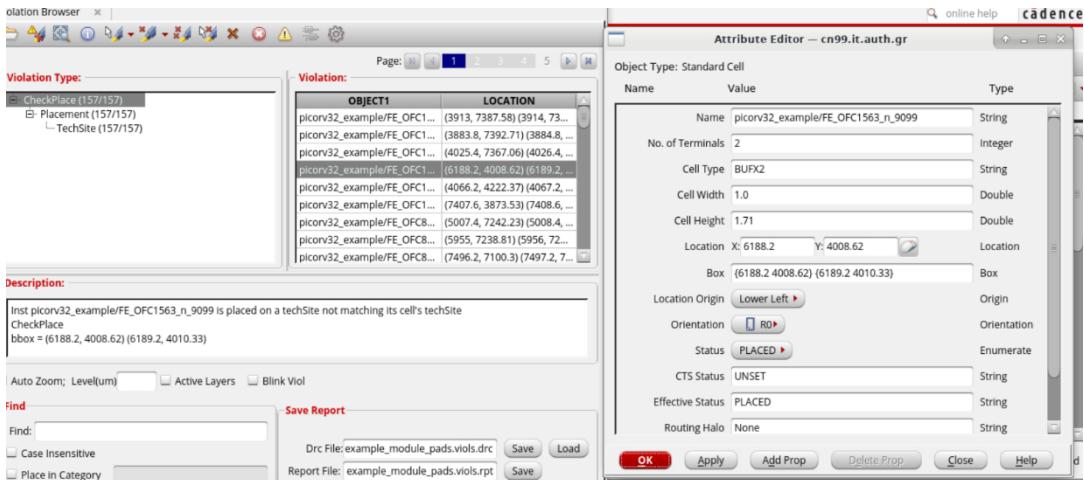


Figure 113 Violation Browser

Βήμα 8.13

Εφαρμόζεται Early Global Routing 1) με εύρος δρομολόγησης που να καλύπτει όλα τα μέταλλα 2) με εύρος από το δεύτερο (M2) ως το προτελευταίο (M10). Προκύπτει ότι δεν υπάρχει συμφόρηση σε κάποια από τις δύο περιπτώσεις (max, total hotspot = 0).

```
innovus 17> reportCongestion -hotSpot
[hotspot] +-----+-----+
[hotspot] |           max hotspot | total hotspot |
[hotspot] +-----+-----+
[hotspot] | normalized |      0.00 |      0.00 |
[hotspot] +-----+-----+
Local HotSpot Analysis: normalized max congestion hotspot area = 0.00, normalized total congestion hotspot area = 0.00 (area is in unit of 4 std-cell row bins)
innovus 18>
```

Figure 114 max & total hotspot

Βήμα 8.14

Δημιουργήθηκε ένα NDR με διπλάσιο πάχος και κενό για όλα τα μέταλλα. Ύστερα δημιουργήθηκε μέσω της εντολής: `create_route_type -top_preferred_layer Metal9 -bottom_preferred_layer Metal7 -non_default_rule NDRSTEP13 -name STEP13` ένας τύπος δρομολόγησης που ακολουθεί το NDR και έχει μέγιστο επίπεδο το μέταλλο 9 και ελάχιστο επίπεδο το μέταλλο 7 (Δεδομένου ότι το δίκτυο διανομής της ισχύος χρησιμοποιεί τα μέταλλα 10 και 11). Επιπλέον προστέθηκε στρέβλωση 100ps και μέγιστος ρυθμός μετάβασης ρολογιού ίσο με 150ps, συνθέθηκε το δέντρο ρολογιού, και έγινε βελτιστοποίηση του Design ακριβώς όπως στην άσκηση 1. Έπειτα εξάγονται οι παρακάτω αναφορές:

Ισχύς

Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.6987	0.118	0.0006725	0.8174	17.59
Macro	0	1.07	0	1.07	23.03
IO	0	0	0	0	0
Combinational	0.427	2.33	0.001618	2.759	59.37
Clock (Combinational)	0	0	0	0	0
Clock (Sequential)	0	0	0	0	0
Total	1.126	3.518	0.00229	4.646	100

Rail	Voltage	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
VDD	1.1	1.126	3.518	0.00229	4.646	100

Figure 115 report_power

Επιφάνεια

Hinst Name	Module Name	Inst Count	Total Area
example_module_pads		12534	6182143.290
picorv32_example	picorv32	12119	33343.290

Figure 116 report_area

Timing

```
Analysis View: default_emulate_view
Other End Arrival Time          0.000
- External Delay                1.000
+ Phase Shift                  10.000
- Uncertainty                   0.050
= Required Time                 8.950
- Arrival Time                  3.361
= Slack Time                    5.589
    Clock Rise Edge             0.000
        + Input Delay            1.000
        + Drive Adjustment       0.204
    = Beginpoint Arrival Time   1.204
```

Figure 117 report_timing

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 28.

	Άσκηση 1 ^η	Άσκηση 8 ^η	
Επιφάνεια	30853.872 μm ²	33343.290 μm ² *6182143.290 μm ²	αυξήθηκε
Slack	6.360 ns	5.589 ns	μειώθηκε
Total Power	3.299 W	4.646 W	αυξήθηκε
Internal Power	1.082 W	1.126 W	αυξήθηκε
Switching Power	2.215 W	3.518 W	αυξήθηκε
Leakage Power	0.002051 W	0.00229 W	αυξήθηκε

Πίνακας 28

* με τα pads

Βήμα 8.15

Εκτελείτε η δρομολόγηση επιλέγοντας της ρυθμίσεις Fix Antenna, SI Driven και Timing Driven με effort 5 καθώς και Medium Effort για το Via Optimization. Τέλος αφού γίνει βελτιστοποίηση του Design, εξάγονται οι παρακάτω αναφορές:

Επιφάνεια

Hinst Name	Module Name	Inst Count	Total Area
example_module_pads		12534	6182143.290
picorv32_example	picorv32	12119	33343.290

Figure 118 report_area

Ισχύς

Group	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
Sequential	0.6987	0.117	0.0006725	0.8164	18.21
Macro	0	1.05	0	1.05	23.41
IO	0	0	0	0	0
Combinational	0.4268	2.189	0.001618	2.617	58.38
Clock (Combinational)	0	0	0	0	0
Clock (Sequential)	0	0	0	0	0
Total	1.126	3.356	0.00229	4.483	100

Rail	Voltage	Internal Power	Switching Power	Leakage Power	Total Power	Percentage (%)
VDD	1.1	1.126	3.356	0.00229	4.483	100

Figure 119 report_power

Timing

```
Analysis View: default_emulate_view
Other End Arrival Time      0.000
- External Delay            1.000
+ Phase Shift               10.000
- Uncertainty                0.050
= Required Time             8.950
- Arrival Time              4.227
= Slack Time                4.723
    Clock Rise Edge          0.000
    + Input Delay             1.000
    + Drive Adjustment        0.148
    = Beginpoint Arrival Time 1.148
```

Figure 120 report_timing

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 29.

	Άσκηση 1 ^η	Άσκηση 8 ^η	
Επιφάνεια	30853.872 μm ²	33343.290 μm ² 6182143.290 μm ²	αυξήθηκε
Slack	6.343 ns	4.723 ns	μειώθηκε
Total Power	3.291 W	4.483 W	αυξήθηκε
Internal Power	1.082 W	1.126 W	αυξήθηκε
Switching Power	2.208 W	3.356 W	αυξήθηκε
Leakage Power	0.002051 W	0.00229 W	αυξήθηκε

Πίνακας 29

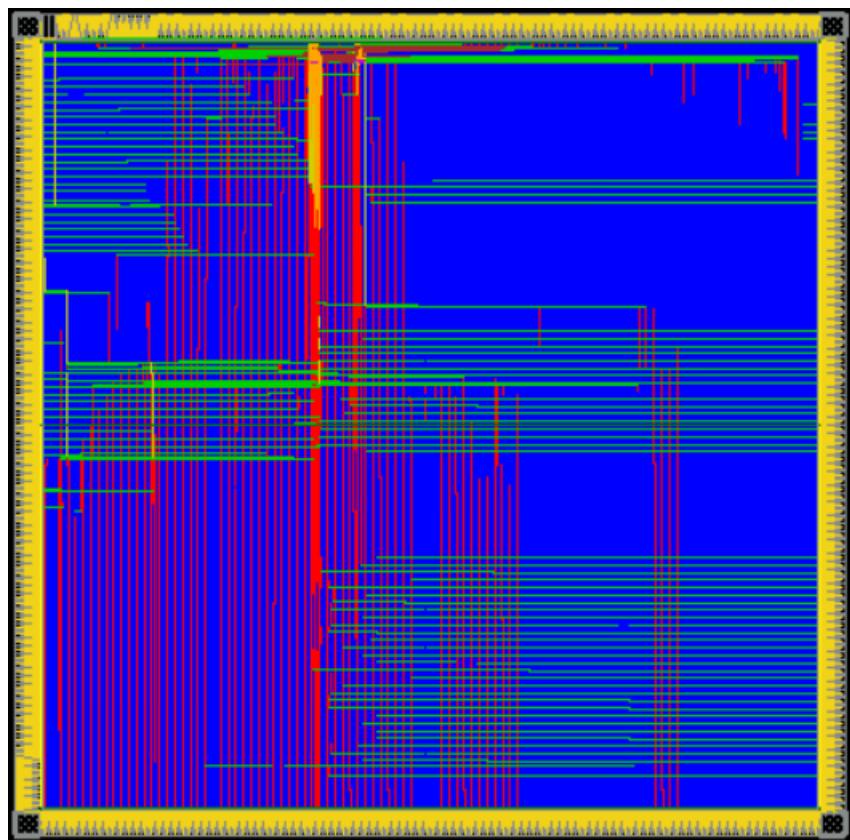


Figure 121 Κύκλωμα μετά την δρομολόγηση

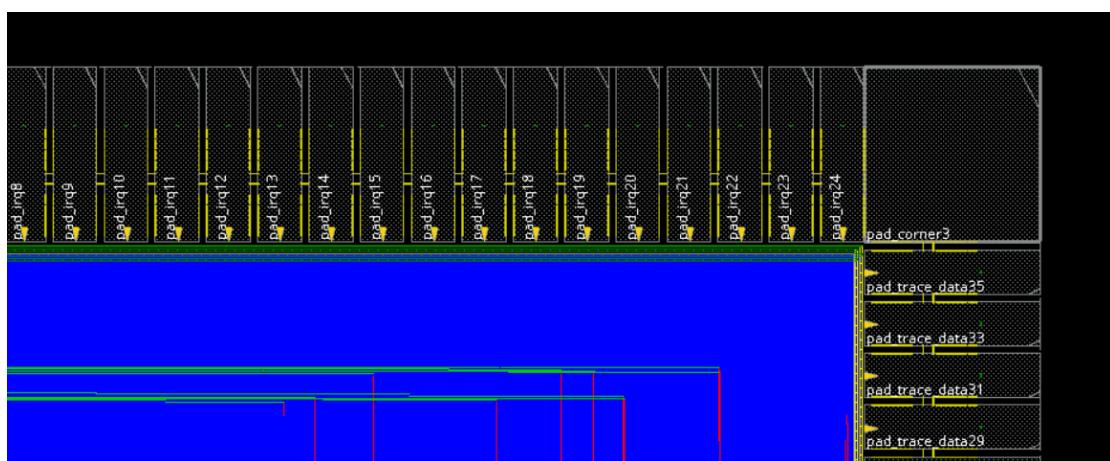


Figure 122 Pads (Zoom)

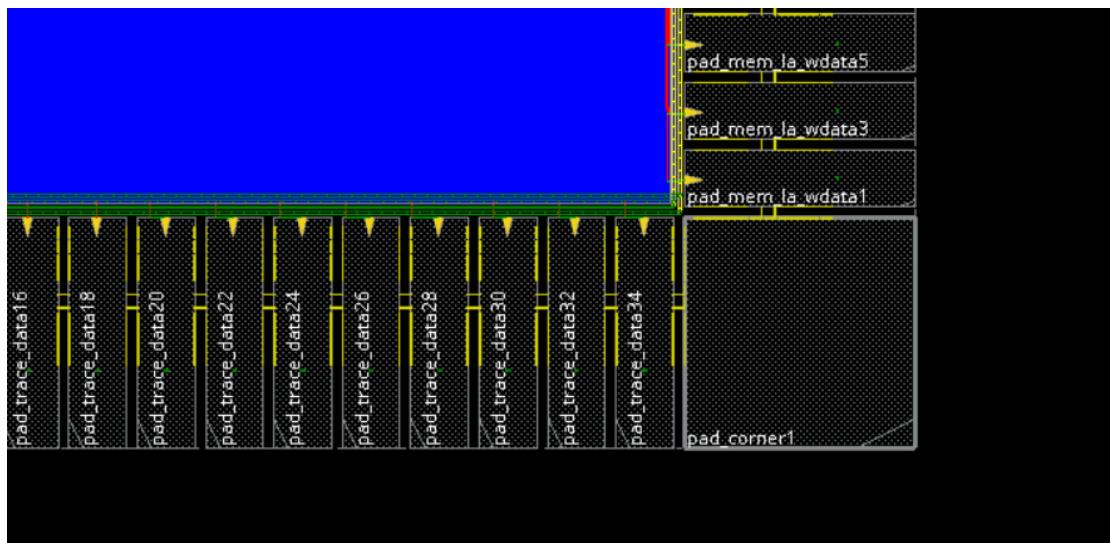


Figure 123 Pads (Zoom)

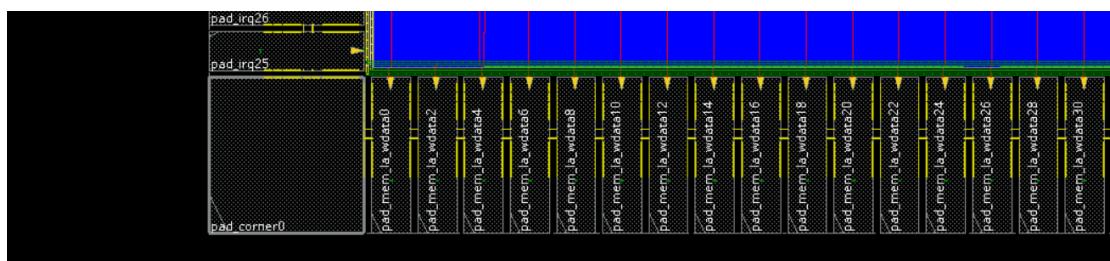


Figure 124 Pads (Zoom)

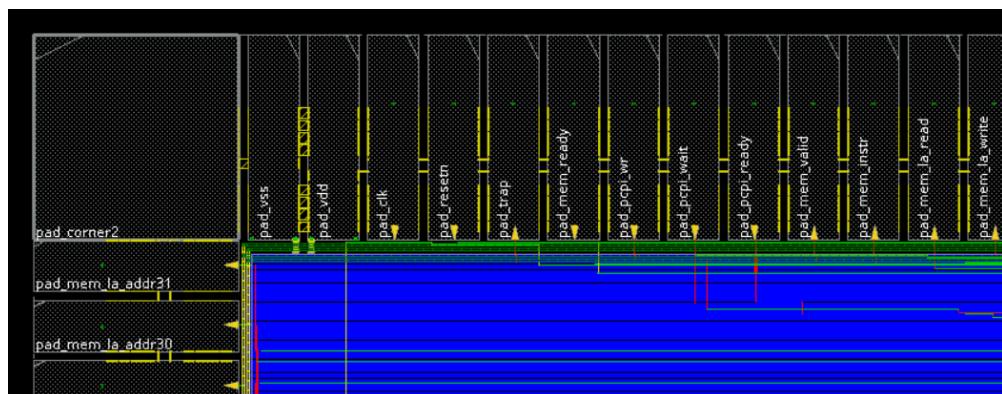


Figure 125 Pads (Zoom)

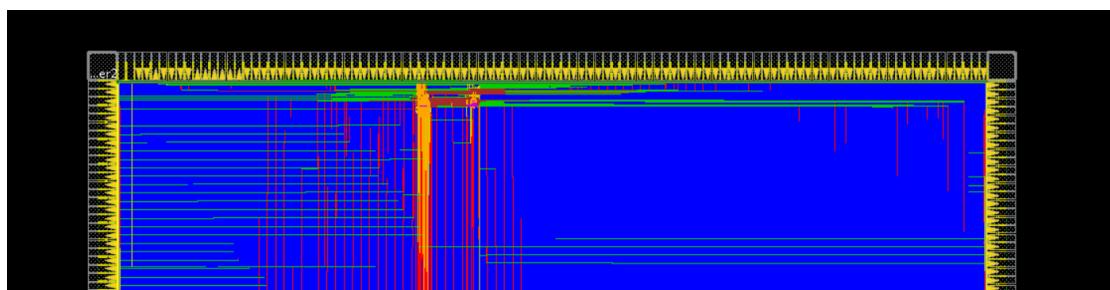


Figure 126 Pads (Zoom)

Βήμα 8.16

Εξετάστηκε το φυσικό σχέδιο για DRC παραβιάσεις και έγινε έλεγχος για το αν όλες οι διασυνδέσεις και οι τοποθετήσεις των κελιών έχουν γίνει ορθά. Τέλος εισάγονται τα Fillers σε όλα τα επίπεδα για να ικανοποιηθεί η πυκνότητα των μετάλλων. (Τέθηκε ελάχιστο όριο της πυκνότητας ως 10% για όλα τα μέταλλα)

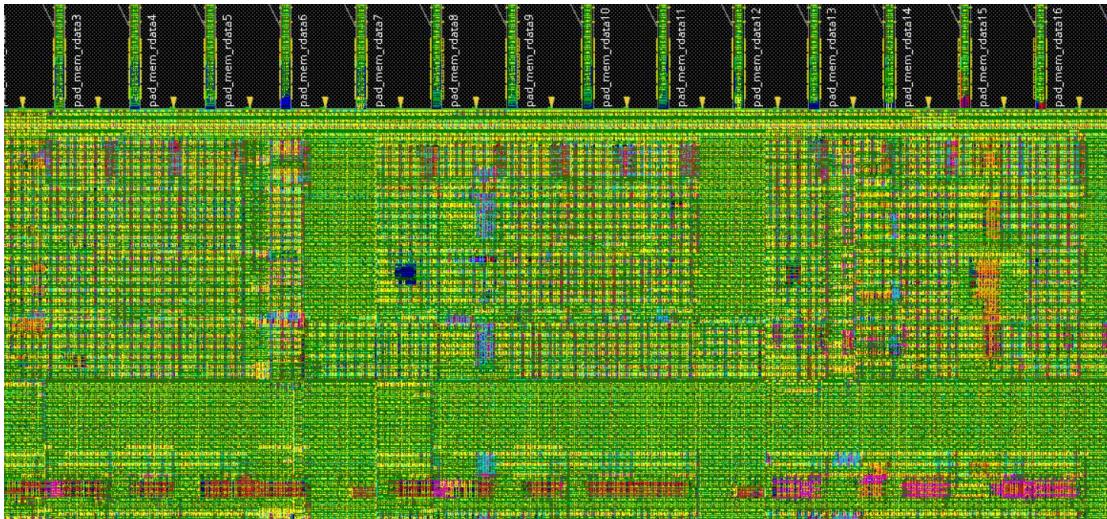


Figure 127



Figure 128

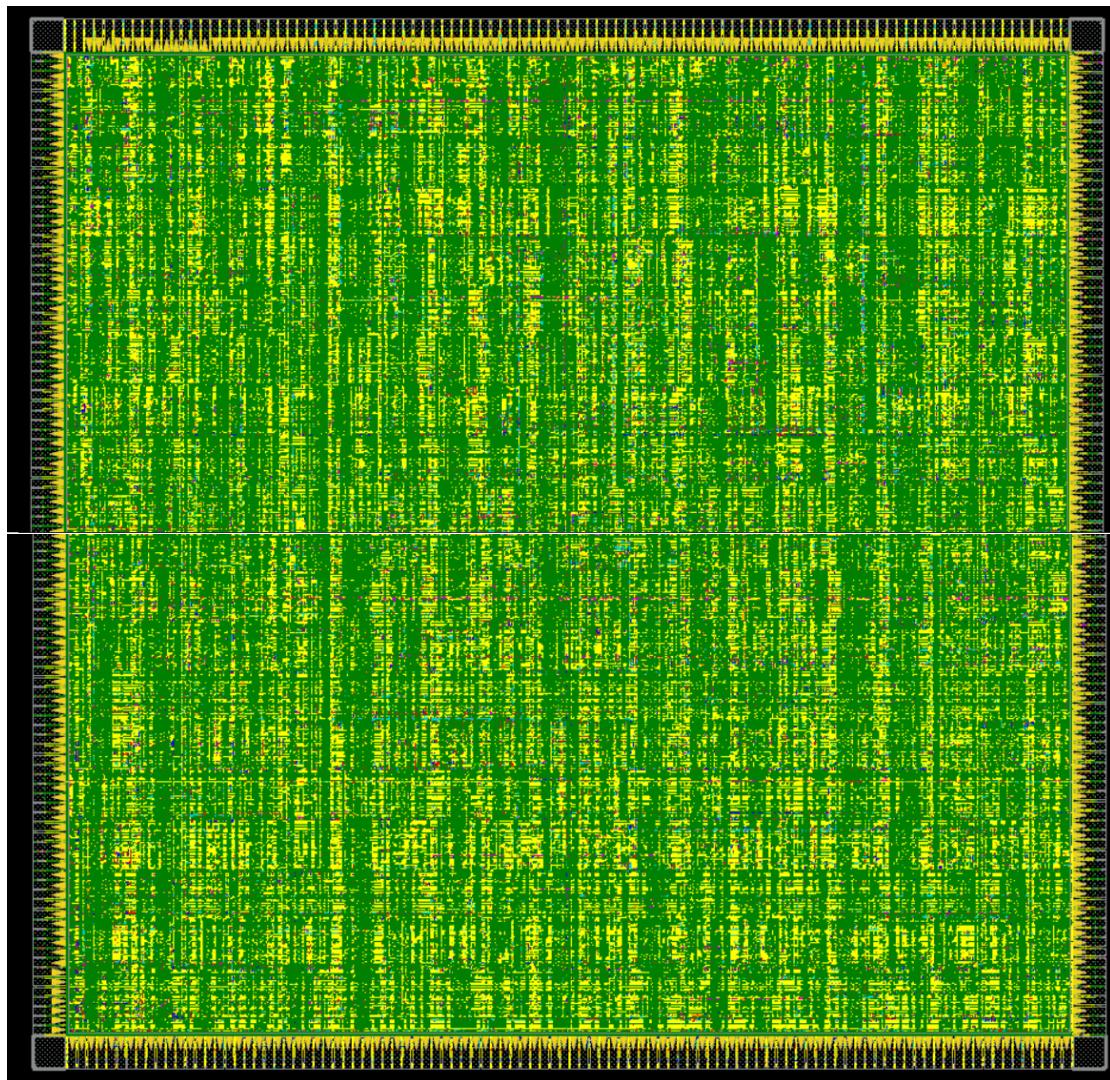


Figure 129 Τέλικο Αποτέλεσμα 8ης Άσκησης

Όπως ήταν αναμενόμενο η επιφάνεια με τα pads ($6182143.290 \mu\text{m}^2$) είναι πολύ μεγαλύτερη από την επιφάνεια του πυρήνα ($33343.290 \mu\text{m}^2$). Γενικά η προσθήκη των pads κάνει το design πολύ μεγάλο σε μέγεθος και μικρό από πλευράς utilization (γιατί ο αριθμός των κελιών του δεν αλλάζει). Όμως δεν σημαίνει ότι είναι καλό το Innovus να απλώσει το design για να εκμεταλλευτεί τον χώρο, για τον λόγο ότι η αντίσταση των διασυνδέσεων αυξάνεται στην περίπτωση που αυξηθεί η απόσταση από το ένα κελί στο άλλο. Οπότε το Innovus μαζεύει όλο το design σε ένα συγκεκριμένο μέρος πάνω στον core (εικόνα 121).

Άσκηση 9

Σε αυτήν την άσκηση εκτελέστηκαν τα βήματα 1-6 της άσκησης 1. Τα αρχεία αναφορών αυτής της άσκησης βρίσκονται μαζί με τα αρχεία .cmd, .log στον φάκελο Άσκηση 9.

Βήμα 9.1-9.3

Ακριβώς όμοια με την άσκηση 1. Μετά το elaboration, εφαρμόζονται οι εντολές:

```
set_db / .dft_scan_style muxed_scan
set_db / .dft_prefix DFT_
set_db / .dft_identify_top_level_test_clocks true
set_db / .dft_identify_test_signals true
set_db / .dft_identify_internal_test_clocks false
set_db / .use_scan_seqs_for_non_dft false
set_db "design:<design_name>" .dft_scan_map_mode tdrc_pass
set_db "design:<picorv32>" .dft_scan_map_mode tdrc_pass
set_db "design:picorv32" .dft_scan_map_mode tdrc_pass
set_db "design:<design_name>" \ .dft_connect_shift_enable_during_mapping tie_off
set_db "design:picorv32"\ .dft_connect_shift_enable_during_mapping tie_off
set_db "design:picorv32"\ .dft_connect_shift_enable_during_mapping tie_off
set_db "design:picorv32" .dft_connect_shift_enable_during_mapping tie_off
set_db "design:picorv32" .dft_connect_scan_data_pins_during_mapping loopback
set_db "design:picorv32" .dft_scan_output_preference auto
set_db "design:picorv32" .dft_lockup_element_type preferred_level_sensitive
set_db "design:picorv32" .dft_mix_clock_edges_in_scan_chains true
define_test_clock -name scanclk -period 20000 clk
define_shift_enable -name se -active high -create_port se
define_test_mode -name test_mode -active high -create_port test_mode
define_scan_chain -name top_chain -sdi scan_in -sdo scan_out -
shift_enable se -create_ports
check_dft_rules
report_scan_registers > ex9_report_scan_registers.txt
report_scan_setup > ex9_report_scan_setup.txt
```

Μέσω των τελευταίων εντολών ελέγχουμε για τυχόν παραβάσεις των κανόνων DFT. Στις παρακάτω εικόνες βλέπουμε τα αποτελέσματα των ελέγχων, όπου μπορεί γίνεται αντιληπτό ότι δεν υπάρχουν παραβάσεις DFT.

```

@genus:root: 30> check_dft_rules
    Checking DFT rules for 'picorv32' module under 'muxed_scan' style

        Checking DFT rules for clock pins
            ... Processed 250 registers
            ... Processed 500 registers
            ... Processed 1000 registers
            ... Processed 2000 registers
        Checking DFT rules for async. pins
            ... Processed 250 registers
            ... Processed 500 registers
            ... Processed 1000 registers
            ... Processed 2000 registers
        Checking DFT rules for shift registers.
Detected 0 DFT rule violation(s)
    Summary of check_dft_rules
    ****
        Number of usable scan cells: 48
Clock Rule Violations:
-----
    Internally driven clock net: 0
    Tied constant clock net: 0
    Undriven clock net: 0
    Conflicting async & clock net: 0
    Misc. clock net: 0

Async. set/reset Rule Violations:
-----
    Internally driven async net: 0
    Tied active async net: 0
    Undriven asvnc net: 0
    Misc. async net: 0

Total number of DFT violations: 0

Total number of Test Clock Domains: 1
Number of user specified non-Scan registers: 0
    Number of registers that fail DFT rules: 0
    Number of registers that pass DFT rules: 2090
Percentage of total registers that are scannable: 100%

```

Figure 130 check_dft_rules

Summary:

- Total registers that pass DFT rules: 2090
- Total registers that fail DFT rules: 0
- Total registers that are marked preserved or dont-scan: 0
- Total registers that are marked Abstract Segment dont-scan: 0
- Total registers that are part of shift register segments: 0
- Total registers that are lockup elements: 0
- Total registers that are level-sensitive: 0
- Total registers that are misc. non-scan: 0

Figure 131 report_scan_registers

Βήμα 9.4-9.5

Ακριβώς όμοια με την άσκηση 1. Οι περιορισμοί είναι επαρκείς. Μέσω της εντολής: `check_timing_intent` ελέγχεται ο χρονισμός, ο οποίος λειτουργεί σωστά.

```
=====
Generated by:          Genus(TM) Synthesis Solution 19.11-s087_1
Generated on:          Dec 25 2022 10:03:15 am
Module:                picorv32
Technology libraries:  fast_vdd1v0 1.0
                        physical_cells
Operating conditions: PVT_1P1V_0C
Interconnect mode:    global
Area mode:             physical library
=====

Lint summary
Unconnected/logic driven clocks                      0
Sequential data pins driven by a clock signal        0
Sequential clock pins without clock waveform         0
Sequential clock pins with multiple clock waveforms 0
Generated clocks without clock waveform              0
Generated clocks with incompatible options          0
Generated clocks with multi-master clock            0
Paths constrained with different clocks             0
Loop-breaking cells for combinational feedback       0
Nets with multiple drivers                          0
Timing exceptions with no effect                   0
Suspicious multi_cycle exceptions                 0
Pins/ports with conflicting case constants        0
Inputs without clocked external delays            0
Outputs without clocked external delays           0
Inputs without external driver/transition         0
Outputs without external load                     0
Exceptions with invalid timing start-/endpoints 0

Total: 0
```

Figure 132 `check_timing_intent`

Βήμα 9.6

Ακριβώς όμοια με την άσκηση 1.

Έχοντας συνθέσει επιτυχώς το κύκλωμα της άσκησης, αποτιμούνται στους παρακάτω πίνακες τα χαρακτηριστικά του κυκλώματος.

Αναφορές μετά το syn_map

Ισχύς

Instance: /picorv32

Power Unit: W

PDB Frames: /stim#0/frame#0

Category	Leakage	Internal	Switching	Total	Row%
memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
register	7.71803e-07	6.70441e-04	1.50103e-04	8.21316e-04	19.08%
latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
logic	1.44205e-06	3.74497e-04	3.10781e-03	3.48375e-03	80.92%
bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
clock	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
Subtotal	2.21385e-06	1.04494e-03	3.25791e-03	4.30506e-03	100.00%
Percentage	0.05%	24.27%	75.68%	100.00%	100.00%

Figure 133 report_power (syn_map)

Επιφάνεια

Instance	Module	Cell Count	Cell Area	Net Area	Total Area
picorv32		11732	35623.404	0.000	35623.404

Figure 134 report_area (syn_map)

Αριθμός Κελιών

Type	Instances	Area	Area %
sequential	1961	14822.622	41.6
inverter	1472	1195.974	3.4
buffer	378	1896.390	5.3
logic	7921	17708.418	49.7
physical_cells	0	0.000	0.0
total	11732	35623.404	100.0

Figure 135 report_gates (syn_map)

Timing

```
Path 1: MET (5731 ps) Late External Delay Assertion at pin mem_la_addr[31]
    Group: clk
    Startpoint: (R) resetn
        Clock: (R) clk
    Endpoint: (F) mem_la_addr[31]
        Clock: (R) clk

        Capture           Launch
    Clock Edge:+ 10000          0
    Drv Adjust:+   0          10
    Src Latency:+   0          0
    Net Latency:+   0 (I)      0 (I)
        Arrival:= 10000         10

    Output Delay:- 1000
    Uncertainty:- 50
    Required Time:= 8950
    Launch Clock:- 10
    Input Delay:- 1000
    Data Path:- 2210
    Slack:= 5731

Exceptions/Constraints:
    input_delay           1000      synthesis_constraint_1_line_26
    output_delay          1000      synthesis_constraint_1_line_14_885_1
```

Figure 136 report_timing (syn_map)

Quality of Results

```
Timing
-----
Clock Period
-----
clk 10000.0

Cost Critical Violating
Group Path Slack TNS Paths
-----
clk      5730.8 0.0      0
default  No paths 0.0
-----
Total      0.0      0

Instance Count
-----
Leaf Instance Count      11732
Physical Instance count      0
Sequential Instance Count     1961
Combinational Instance Count  9771
Hierarchical Instance Count      0

Area
-----
Cell Area                  35623.404
Physical Cell Area          0.000
Total Cell Area (Cell+Physical) 35623.404
Net Area                     0.000
Total Area (Cell+Physical+Net) 35623.404

Max Fanout                 1961 (clk)
Min Fanout                  1 (genblk1.pcp_i_mul_n_92)
Average Fanout                2.7
Terms to net ratio            3.8578
Terms to instance ratio       4.1113
Runtime                      315.19795 seconds
Elapsed Runtime                3230 seconds
Genus peak memory usage       1128.02
Innovus peak memory usage     no_value
Hostname                     cn98.it.auth.gr
```

Figure 137 report_qor (syn_map)

Αναφορές μετά το syn_opt

Ισχύς

Category	Leakage	Internal	Switching	Total	Row%
memory	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
register	7.67566e-07	6.69544e-04	2.02753e-04	8.73065e-04	20.56%
latch	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
logic	1.38422e-06	3.72696e-04	2.99881e-03	3.37289e-03	79.44%
bbox	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
clock	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pad	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
pm	0.00000e+00	0.00000e+00	0.00000e+00	0.00000e+00	0.00%
Subtotal	2.15179e-06	1.04224e-03	3.20156e-03	4.24595e-03	100.00%
Percentage	0.05%	24.55%	75.40%	100.00%	100.00%

Figure 138 report_power (syn_opt)

Επιφάνεια

Instance	Module	Cell Count	Cell Area	Net Area	Total Area
picorv32		10466	34604.586	0.000	34604.586

Figure 139 report_area (syn_opt)

Αριθμός Κελιών

Type	Instances	Area	Area %
sequential	1961	14775.426	42.7
inverter	456	340.290	1.0
buffer	233	1905.966	5.5
logic	7816	17582.904	50.8
physical_cells	0	0.000	0.0
total	10466	34604.586	100.0

Figure 140 report_gates (syn_opt)

Timing

```
Path 1: MET (5735 ps) Late External Delay Assertion at pin mem_la_addr[30]
          Group: clk
          Startpoint: (R) resetn
          Clock: (R) clk
          Endpoint: (F) mem_la_addr[30]
          clock: (R) clk

          Capture      Launch
          Clock Edge:+ 10000      0
          Drv Adjust:+ 0           25
          Src Latency:+ 0           0
          Net Latency:+ 0 (I)      0 (I)
          Arrival:=   10000       25

          Output Delay:- 1000
          Uncertainty:- 50
          Required Time:= 8950
          Launch Clock:- 25
          Input Delay:- 1000
          Data Path:- 2190
          Slack:= 5735

Exceptions/Constraints:
  input_delay      1000      synthesis_constraint_1_line_26
  output_delay     1000      synthesis_constraint_1_line_14_886_1
```

Figure 141 report_timing (syn_opt)

Quality of Results

```
Timing
-----
Clock Period
-----
clk 10000.0

Cost Critical Violating
Group Path Slack TNS Paths
-----
clk      5734.6  0.0    0
default  No paths 0.0
-----
Total        0.0    0

Instance Count
-----
Leaf Instance Count      10466
Physical Instance count    0
Sequential Instance Count   1961
Combinational Instance Count 8505
Hierarchical Instance Count 0

Area
-----
Cell Area                34604.586
Physical Cell Area        0.000
Total Cell Area (Cell+Physical) 34604.586
Net Area                  0.000
Total Area (Cell+Physical+Net) 34604.586

Max Fanout                 1961 (clk)
Min Fanout                  1 (genblk1.pcpi_mul_n_92)
Average Fanout               2.9
Terms to net ratio            4.0649
Terms to instance ratio        4.3643
Runtime                     338.810196 seconds
Elapsed Runtime                3332 seconds
Genus peak memory usage       1128.02
Innovus peak memory usage      no_value
Hostname                     cn98.it.auth.gr
```

Figure 142 report_qor (syn_opt)

Τα παραπάνω αποτελέσματα συνοψίζονται στον Πίνακα 30.

	Άσκηση 1 ^η	Άσκηση 9 ^η (syn_map)	Άσκηση 9 ^η (syn_opt)
Αριθμών Κελιών	10364	11732	10466
Επιφάνεια	30689.370 μm^2	35623.404 μm^2	34604.586 μm^2
Slack	5735 ps	5731 ps	5735 ps
Ισχύς	$4.229 \cdot 10^{-3} W$	$4.30506 \cdot 10^{-3} W$	$4.24595 \cdot 10^{-3} W$
Clock	10 ns	10 ns	10 ns

Πίνακας 30

Ήταν αναμενόμενη η αύξηση του αριθμού κελιών, της επιφάνειας και της ισχύος (μικρή αύξηση ισχύος) σε σχέση με την άσκηση 1, αφού σε αυτό το βήμα προστίθεται επιπλέον λογική για την δοκιμή του κυκλώματος. Το slack παρέμεινε το ίδιο. Επιπλέον γίνεται αντιληπτό ότι τα αποτελέσματα μετά το syn_opt έχουν βελτιωθεί συγκριτικά με το syn_map (κάτι που είναι αναμενόμενο αφού το syn_opt κάνει βελτιστοποίηση του design).

Στην συνέχεια ξαναελέγχεται το κύκλωμα με την εντολή ελέγχου:

```
check_dft_rules -advanced
```

```

@genus:root: 68> check_dft_rules -advanced
  Checking DFT rules for 'picorv32' module under 'muxed_scan' style

    Checking DFT rules for clock pins
      ... Processed 250 registers
      ... Processed 500 registers
      ... Processed 1000 registers
    Checking DFT rules for async. pins
      ... Processed 250 registers
      ... Processed 500 registers
      ... Processed 1000 registers
    Checking DFT rules for shift registers.
    Checking DFT rules for clock data race conditions.
    Checking DFT rules for set reset data race conditions.
    Checking DFT rules for x-sources.
Detected 0 DFT rule violation(s)
  Summary of check_dft_rules
  ****
  Number of usable scan cells: 48
Clock Rule Violations:
-----
  Internally driven clock net: 0
  Tied constant clock net: 0
  Undriven clock net: 0
  Conflicting async & clock net: 0
  Misc. clock net: 0

sync. set/reset Rule Violations:
-----
  Internally driven async net: 0
  Tied active async net: 0
  Undriven async net: 0
  Misc. async net: 0

Advanced DFT Rule Violations:
-----
  Tristate net contention violation: 0
  Potential race condition violation: 0
  X-source violation: 0

Warning: There are a total of 1 undriven pins which may act as x-source generators. For the list of pins, use the command
'check_design -undriven -report_scan_pins'.

  Total number of DFT violations: 0

  Total number of Test Clock Domains: 1
  Number of user specified non-Scan registers: 0
    Number of registers that fail DFT rules: 0
    Number of registers that pass DFT rules: 1961
    Percentage of total registers that are scannable: 100%

```

Figure 143 check_dft_rules -advanced

Δεν υπάρχουν παραβάσεις DFT, το μόνο πρόβλημα που φαίνεται να υπάρχει είναι ότι υπάρχει ένα undriven pin, το οποίο μπορεί να βρεθεί με την χρήση της εντολής:

`check_design -undriven -report_scan_pins`

```
@genus:root: 69> check_design -undriven -report_scan_pins
Checking the design.

    Check Design Report
    -----
    Undriven Port(s)/Pin(s)
    -----
    No undriven combinational pin in 'picorv32'
    No undriven sequential pin in 'picorv32'
    No undriven hierarchical pin in 'picorv32'
    The following port(s) in design 'picorv32' are undriven
    port:picorv32/scan_out
    Total number of undriven port(s) in design 'picorv32' : 1
    Done Checking the design.
```

Figure 144

Το pin αυτό είναι το scan_out που προστέθηκε για την δοκιμή του κυκλώματος.

Μέσω της εντολής connect_scan_chains -auto_create_chains συνδέονται όλες οι αλυσίδες ανίχνευσης.

Τέλος πάραγονται κάποιες αναφορές (ο οποίες μπορούν να βρεθούν στον φάκελο Άσκηση 9) μέσω των εντολών:

```
report_scan_chains > ex9_report_scan_chains.txt
report_scan_setup > ex9_report_scan_setup.txt
```

Ενδιαφέρουσες παρατηρήσεις

Αρχικά τα rings και τα stripes τοποθετήθηκαν όπως φαίνεται στις παρακάτω εικόνες αλλά κατά το sRoute άφησε ένα follow Pin ασύνδετο (στην Άσκηση 3).

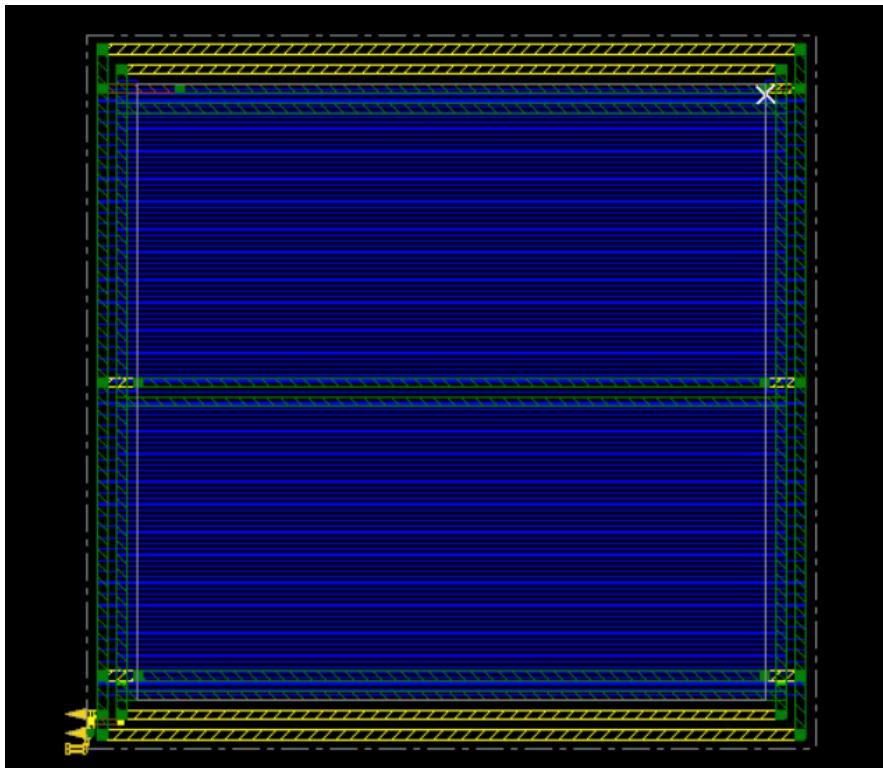


Figure 145

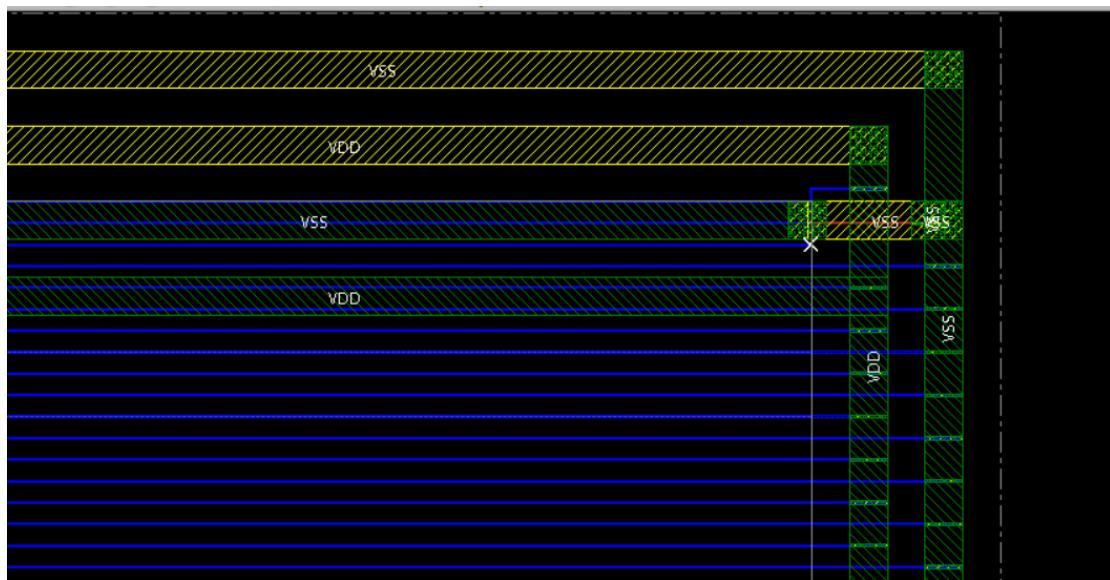


Figure 146

Δίπλα από αυτό το followpin, υπάρχει ένα μεγάλο via το οποίο χρησιμοποιείται για να κατεβάσει κατά ένα επίπεδο μετάλλου το VSS stripe, ώστε να το συνδέσει με το αντίστοιχο ring. Αυτό όμως προκαλεί

προβλήματα στη δρομολόγηση, εξαιτίας των Design Rules, οπότε το εργαλείο προκειμένου να αποφύγει DRC Violations καταλήγει να αφήσει εκείνο το σημείο ανοικτό. Αυτό το πρόβλημα δεν υπήρχε στην άσκηση 1 γιατί το utilization ήταν μικρό και άρα είχε μεγαλύτερο die, οπότε δεν υπήρχε θέμα αποστάσεων. Όσο όμως μικραίνει το μέγεθος του die τόσο πιο πολλά προβλήματα θα εμφανίζονται. Για τον λόγο αυτό σε όλες τις άσκησεις, απλά έγινε μια αμοιβαία αλλαγή των μετάλλων 11,10 των power rings η οποία φαίνεται παρακάτω.

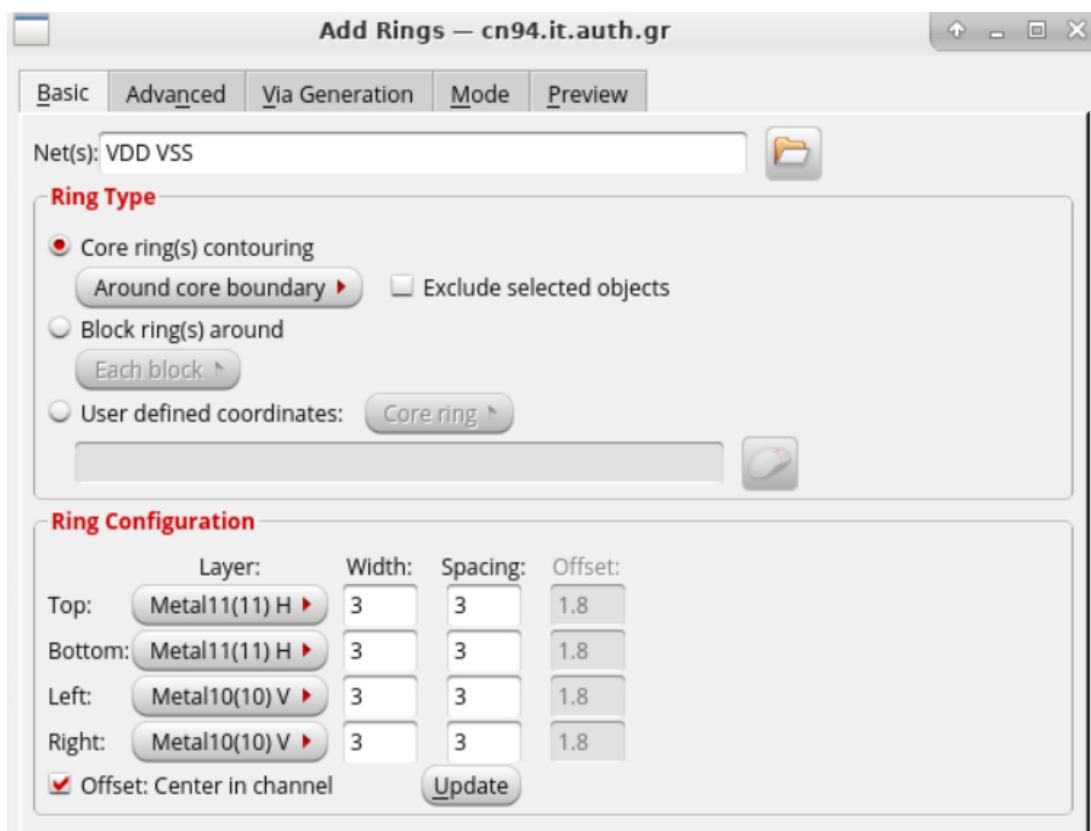


Figure 147

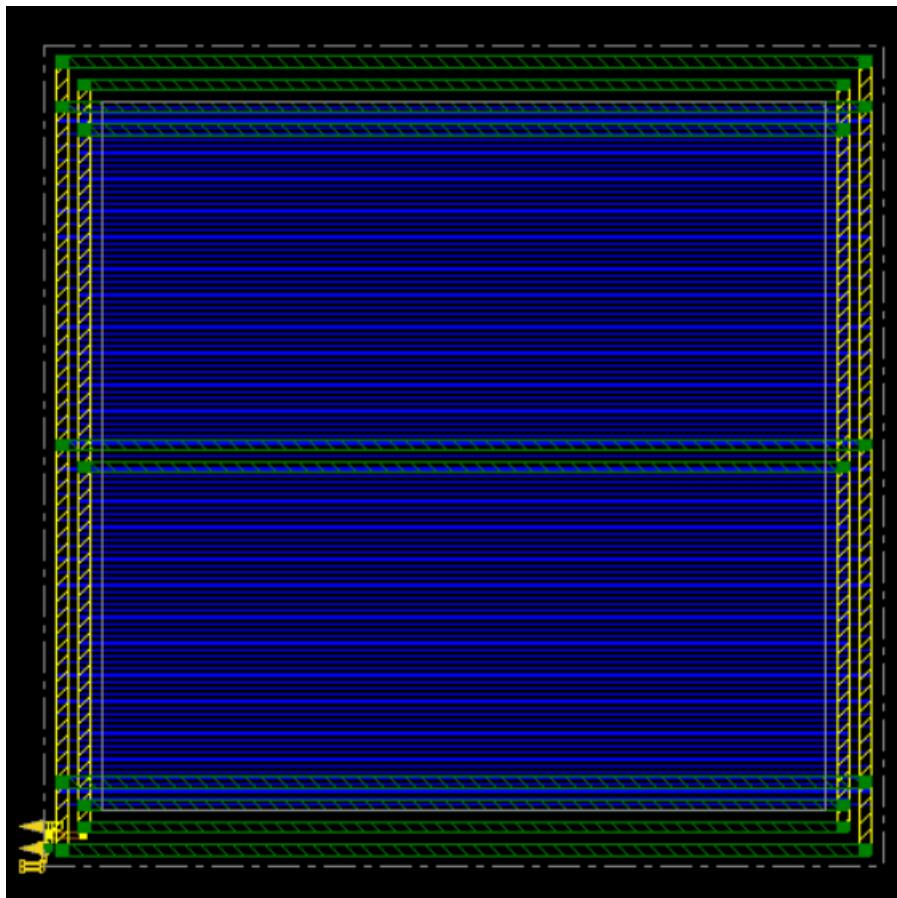


Figure 148

Πολλά ήταν τα προβλήματα στην Άσκηση 8, κυρίως στο Βήμα 10 κατά την σύνδεση των pins της τροφοδοσίας με τα power rings (κατά το sroute). Για την αντιμετώπιση του προβλήματος, αρχικά ενεργοποιήθηκαν τα pin shapes (Cell -> Pin Shapes δεξιά και επιλογή Visibility on), έτσι εμφανίζονται δύο pins στο μέταλλο 3 πάνω στα pads VDD,VSS από την μεριά του core. Ύστερα δημιουργήθηκαν ξανά το rgpins (τετράγωνα) πάνω σε ένα από τα δύο pins για το pad VDD και VSS. Ωστόσο πάλι με το sroute δεν έγινε η σύνδεση των pins των pads με τα rings. Σε επόμενη προσπάθεια με αλλαγή της ονομασίας των pins από VDD/VSS σε VDD_IN/VSS_IN αντίστοιχα κατά το sroute συνδέθηκαν τα pins με τα pads. Ωστόσο τα προβλήματα δεν σταμάτησαν εδώ, υπήρχαν κάποια και κάποια errors/warnings κατά την τοποθέτηση, τα οποία εμφανίζονται γιατί δεν υπάρχει κάποιος driver για τα IO. Υπήρχε τρόπος για να λυθεί το συγκεκριμένο θέμα αλλά έπρεπε να γίνει αλλαγή στα pads κάτι το οποίο ξεφεύγει από τα πλαίσια της εργασίας.

Ακολουθούν διάφορα στιγμύτουπα από τα προβλήματα που εμφανίστηκαν στην Άσκηση 8.

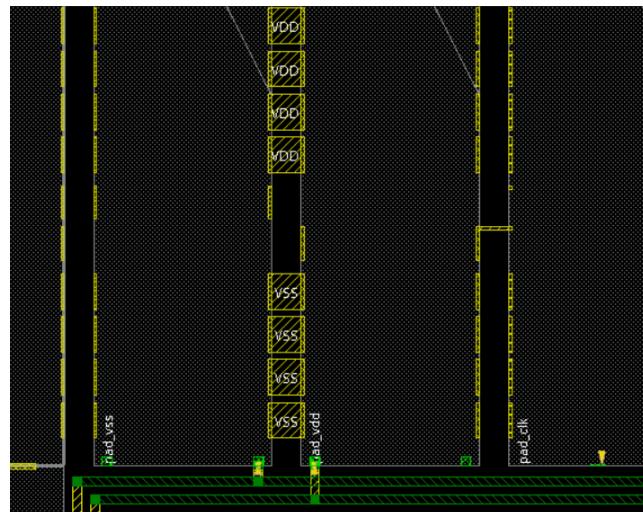


Figure 149 Pins VDD/VSS

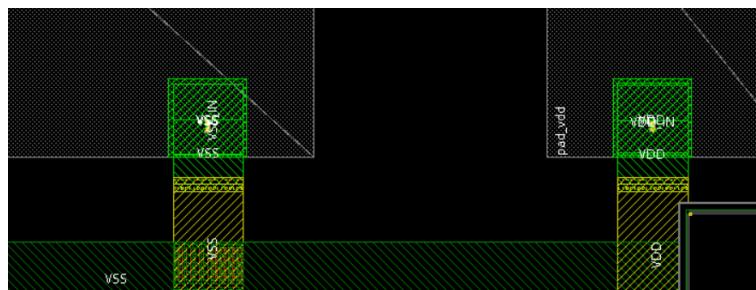


Figure 150 Figure 149 Pins VDD/VSS (Zoom)

```
*** Finished GigaPlace ***
*** Summary of all messages that are not suppressed in this session:
Severity ID          Count Summary
WARNING IMPPTN-1754    36 %.2f%% of possible pin-positions on laye...
WARNING IMPDB-2078     146 Output pin %s of instance %s is connecte...
ERROR  IMPESTI-2221    465 No driver %s is found in the delay stage...
WARNING IMPSP-9025      2 No scan chain specified/traced.
WARNING IMPSP-9042      1 Scan chains were not defined, -place_glo...
WARNING IMPOPT-3195     2 Analysis mode has changed.
*** Message Summary: 187 warning(s), 465 error(s)
```

Figure 151 Errors/Warnings κατά την τοποθέτηση

Αξίζει να σημειωθεί ότι ο χρόνος εκτέλεσης των βημάτων της άσκησης 8 ήταν μεγαλύτερος σε σχέση με τα αντίστοιχα βήματα των άλλων ασκήσεων.

Βιβλιογραφία-Πηγές

Υλικό Μαθήματος Ψηφιακά Ολοκληρωμένα Κυκλώματα VLSI-ASIC
Μεγάλης Κλίμακας, Β. Παυλίδης, ΤΗΜΜΥ ΑΠΘ