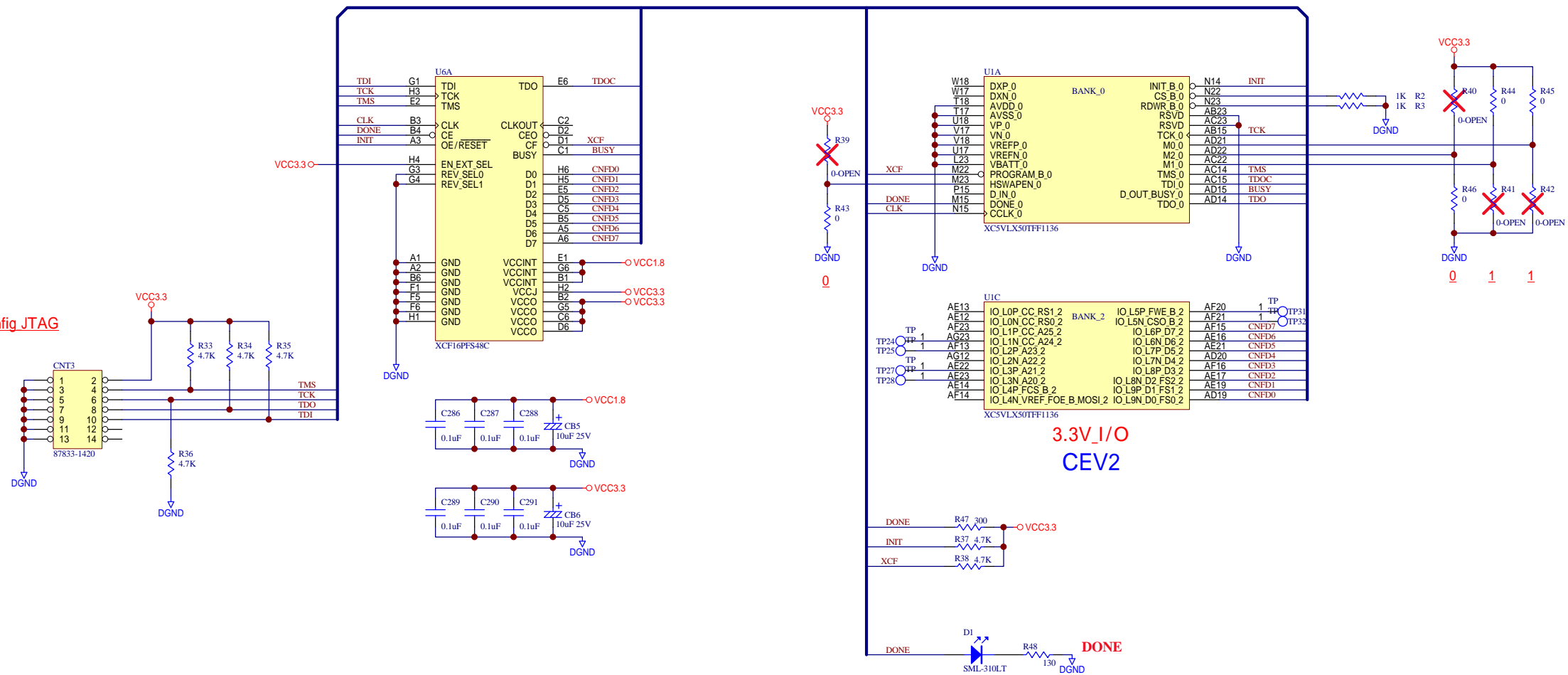
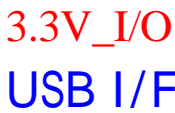




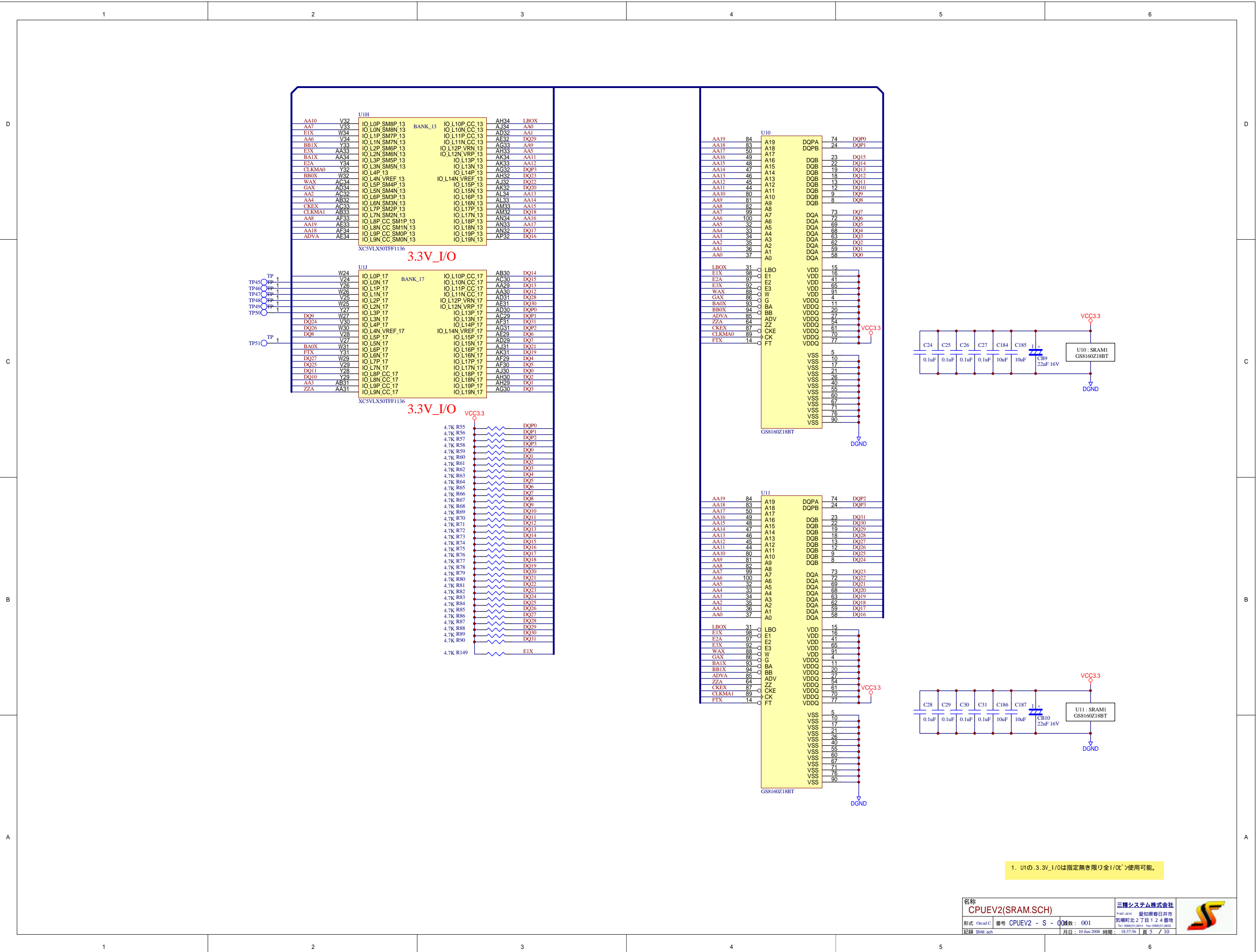
Config JTAG



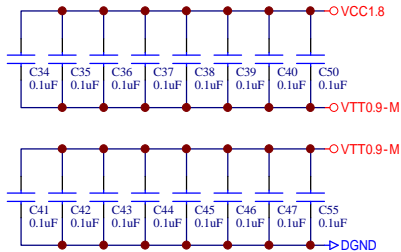
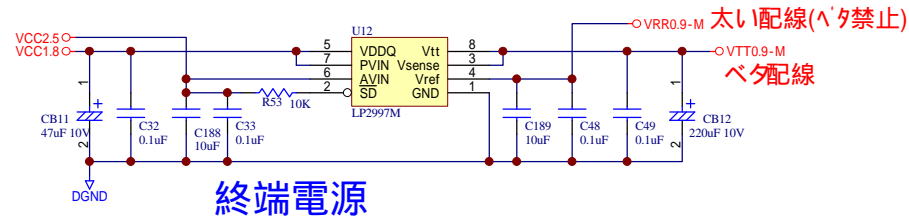


名称 <b>CPUEV2(USBI.SCH)</b>		三精システム株式会社 〒487-0015 愛知県春日井市 気町北2丁目124番地 Tel: 0568(51)3614 Fax: 0568(51)8632	
形式 Ocrad C	番号 CPUEV2 - S - 00	値数: 001	
記録 USBI.sch	月日: 10-Jun-2008	時間: 18:37:54	頁 4 / 10

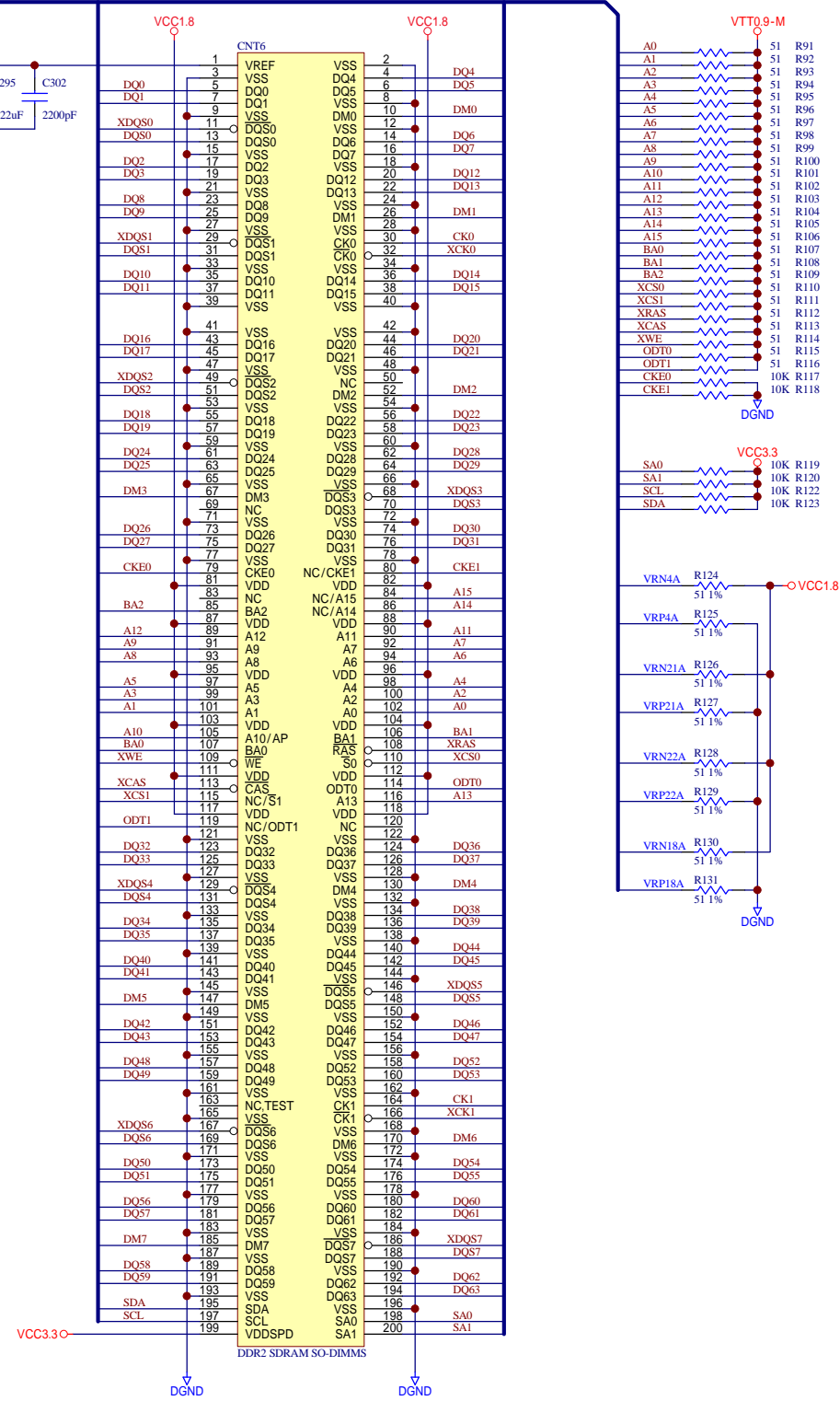
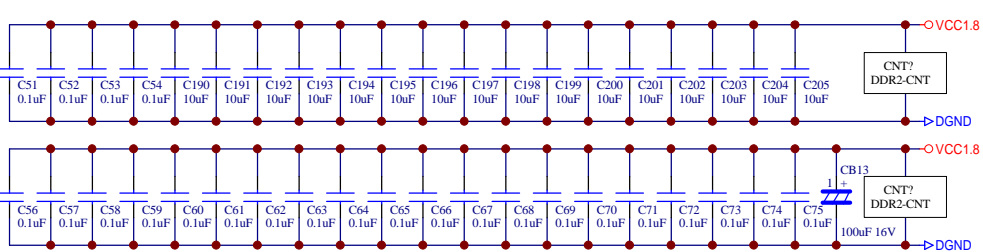




C342,C343はFPGA直近に配置



追加優先順位 10uF>0.1uF

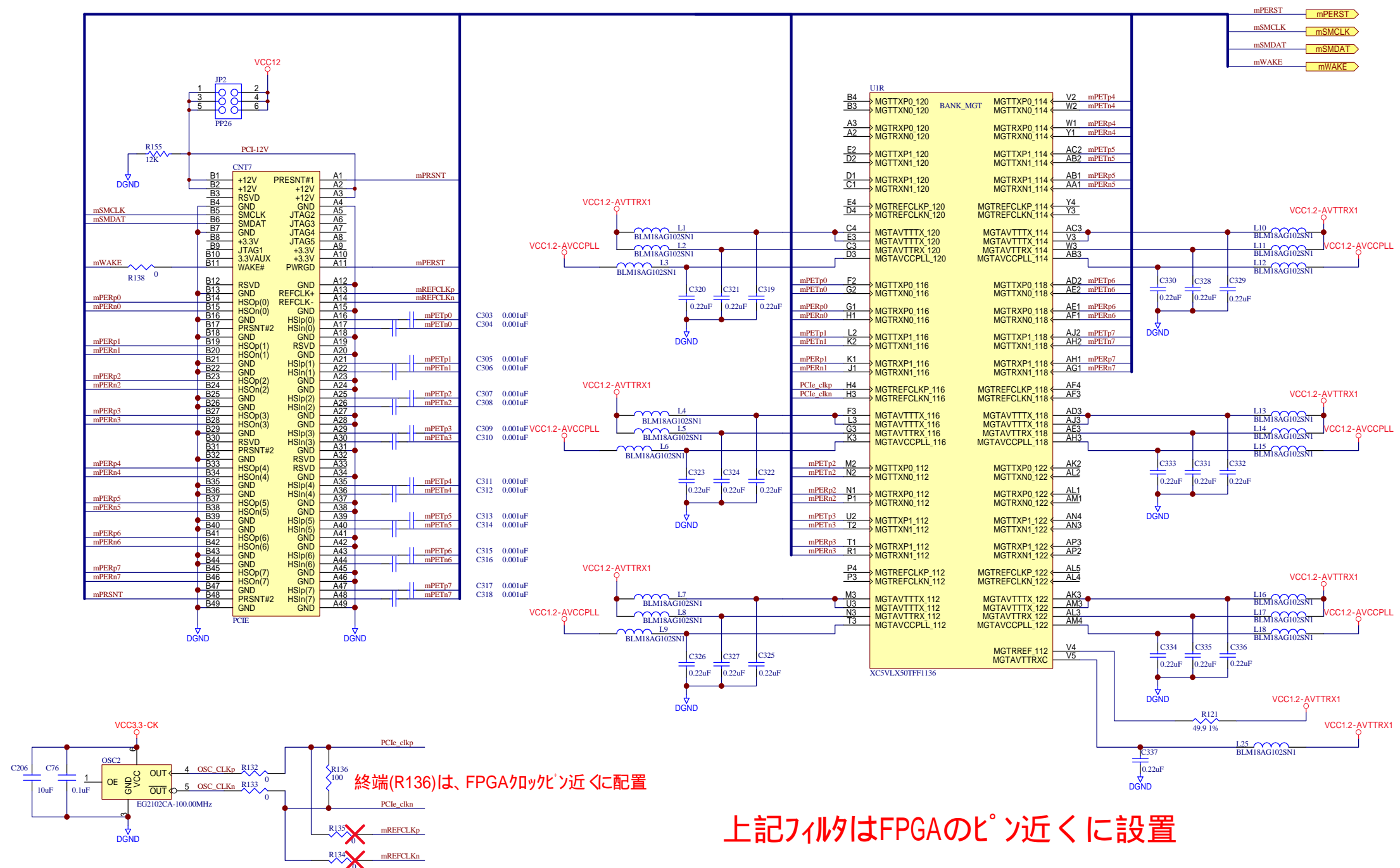


1. U1の3.3V I/O(LVTTL)は指定無き限り全I/O<sup>2</sup>で使用可能。
2. U1の1.8V I/O(SSTL)のADDR, DATAは10\_Lxxx, M/Aで使う。  
(他の信号を入れないXWE, XRAS等)
3. U1の1.8V I/O(SSTL)のA?信号(DQS, CLK, etc)は10\_Lxxx\_CC  
信号A?<sup>2</sup>を使わないこと。
4. U1の1.8V I/O(SSTL)の信号当長差は最大30mm以内とする。  
A?信号線の線長差は10mm以内とする。
5. U1の1.8V I/O(SSTL)の信号線端、線間インダクタンスは100に合わせ込むこと。  
(グランド等、層配置を基板製造メーカーと相談の上決定する事)
6. U1の1.8V I/O(SSTL)の信号線途中にパッドは作らない。  
(但し、BGA直下でやむを得ない場合を除く)
7. U1の1.8V I/O(SSTL)の信号線間隔は、2mil以上の間隔を置くこと。
8. VRR0.9-Mはインダクタンスが高いので、A?配線は禁止とする。

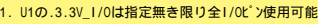




電源以外全て2.5G\_LVDS配線



1. LVDSの配幅、線間インピーダンスは100 に合わせ込むこと。  
(GNDパッド等、層配置を基板製造メーカーと相談の上決定する事)
2. LVDSの配線途中にランドは作らない。  
(但し、BGA直下でやむを得ない場合を除く)
3. 各種信号線間隔は、2W以上の間隔を置くこと。
4. LVDSペア信号線の線長差は10mm以内とする。

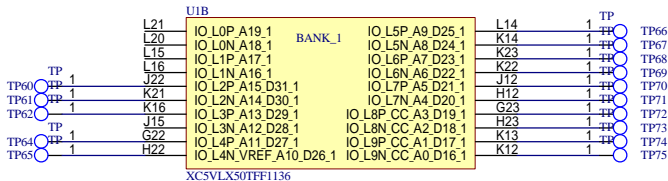
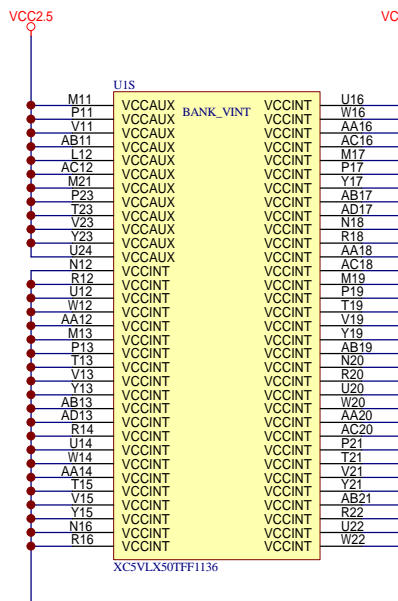
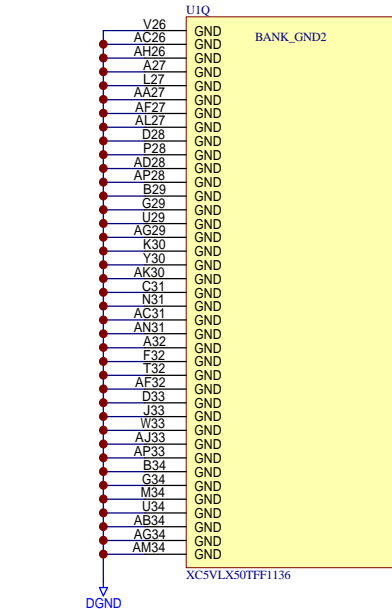
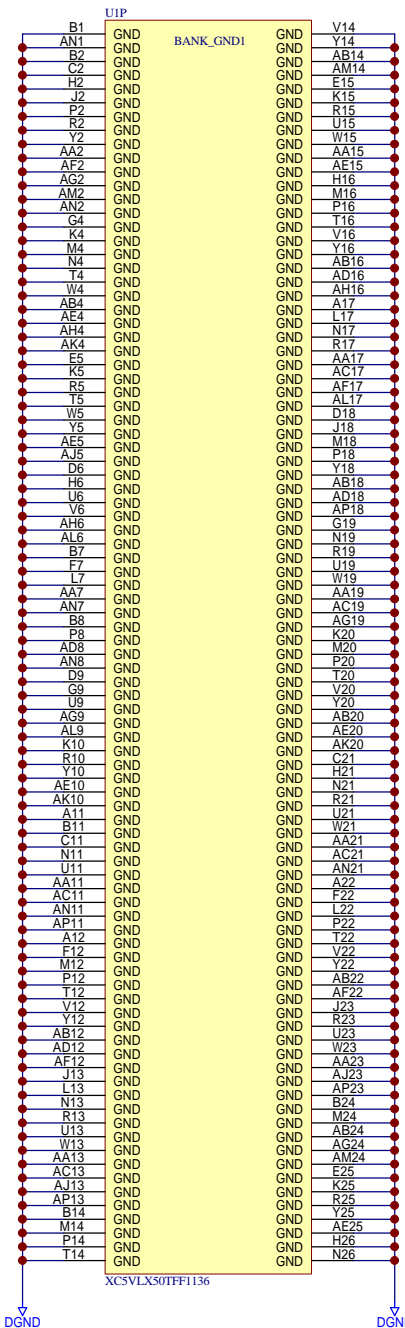




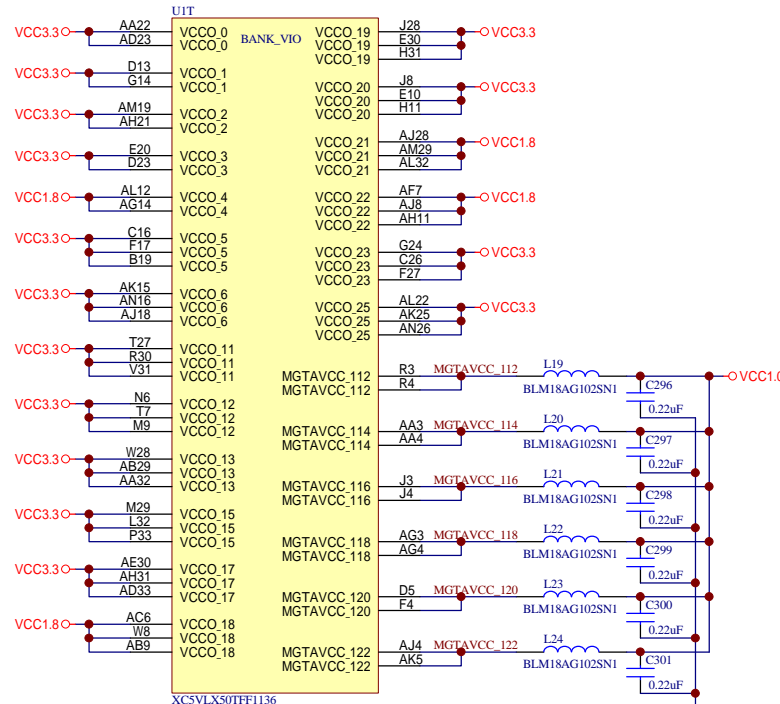
## D



## CPU EV2 電源



3.3V\_I/O  
空きBANK



Bank00 ~ 3.3V: Config Signal  
Bank01 ~ 3.3V: 3.3V No Use  
Bank02 ~ 3.3V: Config Data  
Bank03 ~ 3.3V: 3.3V Clock  
Bank04 ~ 1.8V: 1.8V DDR2  
Bank05 ~ 3.3V: Bank None  
Bank06 ~ 3.3V: Bank None  
Bank07 ~ 3.3V: Bank None  
Bank08 ~ 3.3V: Bank None  
Bank09 ~ 3.3V: Bank None  
Bank10 ~ 3.3V: Bank None  
Bank11 ~ 3.3V: 3.3V EXCN  
Bank12 ~ 3.3V: 3.3V USB I/F  
Bank13 ~ 3.3V: 3.3V ZBT-SRAM  
Bank14 ~ 3.3V: 3.3V Bank None  
Bank15 ~ 3.3V: 3.3V EXCN  
Bank16 ~ 3.3V: Bank None  
Bank17 ~ 3.3V: 3.3V ZBT-SRAM  
Bank18 ~ 1.8V: 1.8V DDR2  
Bank19 ~ 3.3V: 3.3V EXCN  
Bank20 ~ 3.3V: 3.3V EXCN/USB/I/F  
Bank21 ~ 1.8V: 1.8V DDR2  
Bank22 ~ 1.8V: 1.8V DDR2  
Bank23 ~ 3.3V: Bank None  
Bank24 ~ 3.3V: Bank None  
Bank25 ~ 3.3V: Bank None

