

Projekt: Cooley-Tukey FFT algorithm implementation as IP-Core for Zynq7000 System on Chip

Wykonali: Adam Gawlik i Dominik Różycki

1. Opis algorytmu.

Algorytm Cooley-Tukey polega na optymalizacji obliczeń DFT przez dzielenie obliczeń macierzowych na kolejne przemnażanie danych wejściowych w kolejnych coraz to większych blokach o liczbie wejść równej potędze dwójki, przez współczynniki znane właśnie z macierzy DFT.

Celem naszego projektu, jest próba wykorzystania uproszczonego algorytmu, według schematu zamieszczonego poniżej do implementacji DFT na układzie FPGA.

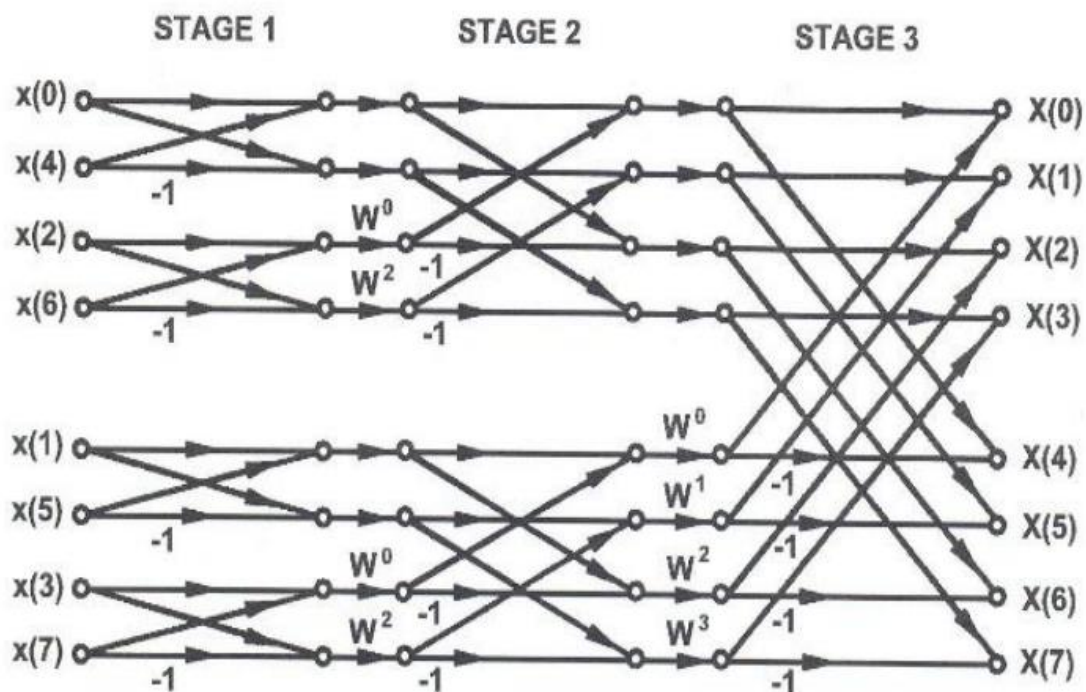


Figure 2. Butterfly diagram for a 8-point DIT FFT

Z poziomu SW, użytkownik powinien móc używać funkcji wysyłających do IP danych za pomocą magistrali AXI-Lite 4, oraz również za jej pomocą odczytywać wynik operacji.

Do projektu wykorzystany zostanie język SystemVerilog znany również jako IEEE 1800. Jako symulator i narzędzie implementacji posłuży środowisko Xilinx Vivado.