

丁越雷

手机: 13588697615 邮箱: dyl0514@foxmail.com 生日: 1997.5



教育背景

本科 浙江大学 信息与电子工程学院 电子科学与技术	GPA 4.01/5.0 (12/117)	2015.9-2019.6
● 主修课程: 微机原理 (95) 半导体物理 (92) 机器学习 (92) 嵌入式系统 (94) 等		
硕士 浙江大学 信息与电子工程学院 电子科学与技术	GPA 3.96/5.0	2019.9 - 至今 (预计 2022.3 毕业)
● 本科以综合成绩 (12/117) 保送研究生;		
● 核心课程: 数据结构与算法、C++、优化理论、系统芯片设计、计算机视觉等;		

科研经历

大尺度 RC 网络模型缩减	浙江大学, 2019.9-至今
● 随着芯片制程越发先进, EDA仿真软件对Large-scale全芯片级的仿真愈发困难, 主要难点在时效 (RC网络普遍组成一张上亿节点的图) 和内存 (过大的图运算将会瞬间占据过多的内存), 对参数提取后的RC网络缩减降维是解决上述难题的一种可行方法;	
● 研究方向为基于时域的节点缩减算法和基于频域模型降阶方法, 目前已经实现基于改进的TICER算法对于transistor&gate level 10^8 规模以上nodes/edge数目的RC网络(graph)可实现80%左右的nodes/edge缩减, 缩减后时序timing的误差范围在0.5%以内, 符合业界要求, 已接入行芯Glory-EX产品交付客户;	
● 对于稠密的RC网络降阶, 采用矩匹配方法, 实现SparseRC频域降阶算法。	

实习经历

行芯科技 Extraction 部门 软件研发实习生	杭州, 2020.6-至今
● 全程参与全芯片寄生参数提取(Glory-EX RC Extraction)软件晶体管级、门级(Transistor level/ Gate level)flow功能开发;	
● 负责完成客户提出feature 开发, 已完功能开发: REDUCTION、TEMPRETURE SENSITIVITY、IGNORE_CAPACITANCE、EXTRACTION_MODE:C、CALIBRE_LVS_DEVICE_TYPE_MOS/CAP/RES、CALIBRE_OPTIONAL_DEVICE_PIN_FILE、MOS_GATE_DELTA_RES、OPENS_REPORT、SHORTS_REPORT、COUPLING_CAP_REPORT;	
● 负责完成Glory-EX binary file release, 顺利完成2021.3/2021.5版本交付;	
● 负责完成DSPF、SPEF等格式文件过滤, 负责完成dspf/spef parser及RLC网络数据结构、图结构、图算法搭建;	
● 负责3D-IC热仿真预研工作, 使用floTHERM对3D-IC circuit进行热仿真, 剖析HotSpot热传导数学模型并完成预研报告;	
● 负责完成Large-scale大尺度RLC network快速模型缩减Reduction功能开发, 分别实现时域节点缩减算法和频域模型降阶算法对于不同大小RLC network进行适配缩减。	

校园经历

浙江大学团委学生文体中心俱乐部 项目推广部副部长	浙江大学, 2016.9-2017.6
● 担任浙江大学团委学生文体中心项目推广部副部长, 负责策划完成浙江大学第四届学生节活动、高雅艺术进校园活动;	
● 2017.9赴西藏那曲县完成小学支教一个月, 得到优良反响。	

所获荣誉

● 2020.6 浙江大学华为校级奖学金		
● 2019.3 浙江大学学业一等奖学金	2018.3 浙江大学学业二等奖学金	
● 2019.9 华为杯全国大学生创芯大赛一等奖	2018.9 TI杯全国大学生电子设计竞赛三等奖	
● 2020.6 浙江大学校级优秀研究生	2020.6 浙江大学校级优秀研究生干部	2020.6 浙江大学优秀团员
● 2018.6 浙江大学信电学院大华奖学金		
● 2016.9 浙江省物理创新竞赛二等奖		

技能与兴趣

● 语言: 熟练使用中英文 (通过CET4和CET6考试, CET6 573分)
● 计算机语言: C++/Python/Makefile
● 技能: 熟悉linux开发环境/熟悉svn版本控制/熟悉gdb开发环境/熟悉flex&bison