

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
Національний аерокосмічний університет ім. М.Є. Жуковського
“Харківський авіаційний інститут”

Кафедра комп’ютерних систем, мереж і кібербезпеки

Лабораторна робота №1

з дисципліни “Технології проект. КС”

ОБЩЕЕ ЗНАКОМСТВО С ЯЗЫКОМ ОПИСАНИЯ
АППАРАТУРЫ VHDL. РАЗРАБОТКА ПРОСТЫХ
ПРОЕКТНЫХ РЕШЕНИЙ ЦИФРОВЫХ УСТРОЙСТВ С
ПОМОЩЬЮ ЯЗЫКА ОПИСАНИЯ АППАРАТУРЫ VHDL

ХАІ.503.525А.20В. 123, 1805039

Виконав студент гр. 525а

(№ групи)

Мусатов Денис Євгенович

(П.І.Б.)

13.02.2020

(підпис, дата)

Перевірів викладач

(науковий ступінь, вчене звання, посада)

13.02.2020

(підпис, дата)

Перепелицин А.Є.

(П.І.Б.)

Цель работы – научиться создавать простые проектные решения с помощью языка описания аппаратуры VHDL в среде проектирования Quartus II Web Edition, проводить их отладку в среде ModelSim-Altera. Ознакомиться с общей структурой VHDL описания цифровых устройств. Понятие RTL-уровень представления цифровых проектов. Рассмотреть основные типы данных языка VHDL, архитектурное тело проекта и его декларативную часть.

Задание 1

В среде проектирования Quartus II Web Edition создать на языке VHDL описание устройства в соответствии с индивидуальным заданием. Отладить разработанное проектное решение в среде ModelSim-Altera. Создать условно-графическое изображение полученного текстового описания (BSF).

$$Y = (X1 \vee X2) \oplus (!(!X3 \& X4) \& X5)$$

nor

Часть 1. Листинг VHDL

```
library ieee;
use ieee.std_logic_1164.all;

entity variant12 is
    port(
        x1,x2,x3,x4,x5      : in  std_logic;
        y                   : out std_logic
    );
end entity;

architecture rtl of variant12 is

    -- Build an enumerated type for the state machine
    type state_type is (s0, s1, s2, s3);

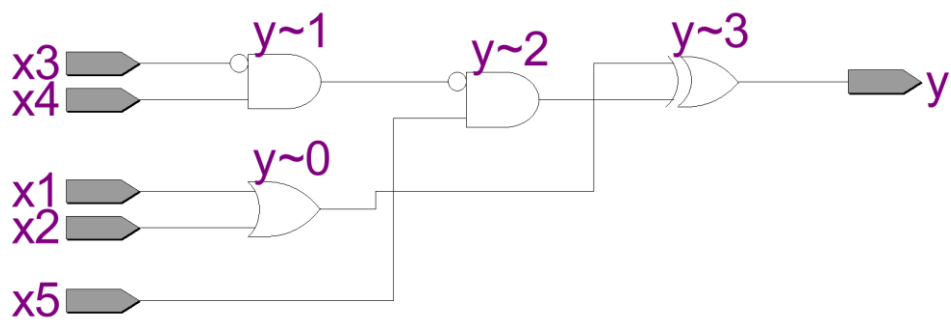
    -- Register to hold the current state
    signal state : state_type;

begin

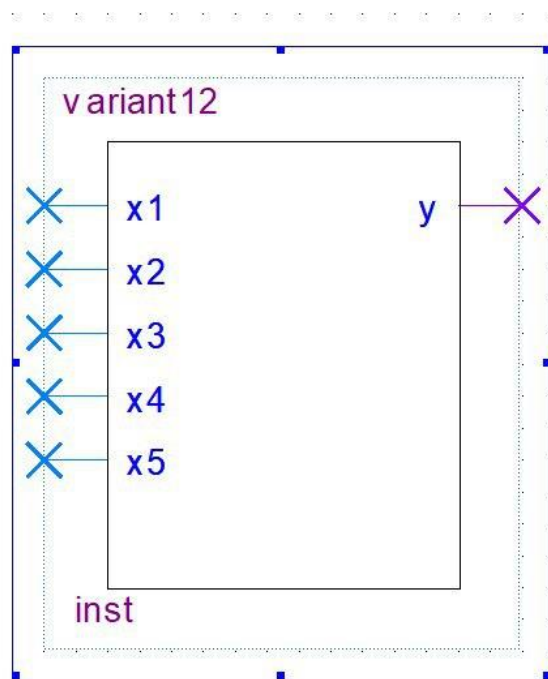
    Y <= (X1 or X2) xor (not((not X3) and X4) and X5);

end rtl;
```

Часть 2. RTL-представление проекта



Часть 3. Условно-графическое обозначение элемента (BSF)



Часть 4. Листинг VHDL кода тестирующего модуля (TestBench)

```
library ieee;
use ieee.std_logic_1164.all;

entity variant12_tb is

end entity;

architecture rtl of variant12_tb is

component variant12 is

port(
    x1,x2,x3,x4,x5      : in  std_logic;
    y                   : out std_logic
```

```

    );

end component;
signal x1,x2,x3,x4,x5,y      : std_logic;
begin
    metka: variant12 port map (x1,x2,x3,x4,x5,y);

    process
    begin
        x1 <= '0';
        wait for 50 ps;
        x1 <= '1';
        wait for 50 ps;
    end process;

    process
    begin
        x2 <= '0';
        wait for 100 ps;
        x2 <= '1';
        wait for 100 ps;
    end process;

    process
    begin
        x3 <= '0';
        wait for 200 ps;
        x3 <= '1';
        wait for 200 ps;
    end process;

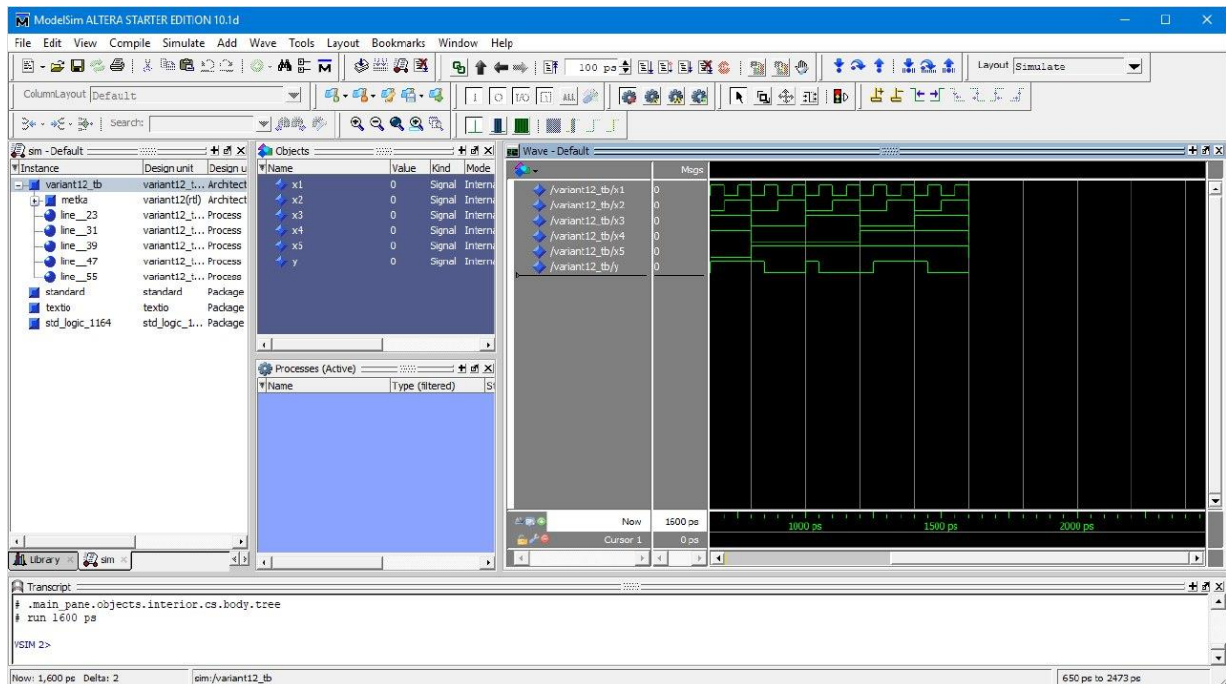
    process
    begin
        x4 <= '0';
        wait for 400 ps;
        x4 <= '1';
        wait for 400 ps;
    end process;

    process
    begin
        x5 <= '0';
        wait for 800 ps;
        x5 <= '1';
        wait for 800 ps;
    end process;

end rtl;

```

Часть 5. Эпюры напряжений



Выводы: выполняя данную лабораторную работу, я научился создавать простые проектные решения с помощью языка описания аппаратуры VHDL в среде проектирования Quartus II Web Edition, проводить их отладку в среде ModelSim-Altera, ознакомился с общей структурой VHDL описания цифровых устройств.