登录 | 注册

hunterlew的专栏 做一个有理想的工科男!

:■ 目录视图

₩ 摘要视图



个人资料



hunterlew



访问: 86554次

积分: 2248

等级: BLOG > 5

排名: 第14551名

原创: 136篇 转载: 10篇 译文: 0篇 评论: 14条

文章搜索

博客专栏



深度学习_在路

文章: 12篇 阅读: 13797

文章分类

机器学习 (16)

心情 (6)

FPGA学习 (22)

数据结构和算法 (6)

JAVA (17)

S2SH (6)

Linux (1)

虚拟机 (2)

PHP (10)

MATLAB数字信号处理 (8)

OpenCV图像处理 (5)

LabVIEW (5)

C&C++ (25)

VC++ (10)

PCB设计 (1)

DSP学习 (8)

Verilog实现fir和iir滤波器的细节问题

标签: 滤波器 fir Verilog

2016-02-21 22:49

1499人阅读

评论(0) 收藏 举报

₩ 分类:

FPGA学习 (21) -

版权声明:本文为博主原创文章,未经博主允许不得转载。

最近要求用fpqa仿真fir和iir滤波器并比较它们的性能。fir一天即完成,而iir花了近一个多上 星期才搞出来,没有想象中这么简单,需要考虑很多细节。

fir滤波器由于没有反馈,因此跟着时间往前计算,实现流水线也不难,总能得到结果。而 iir滤波器由于存在反馈,很容易由于量化误差问题而导致不稳定。还有其他一系列细节问 题,如下:

- 考虑好输入是有符号的,滤波器系数也是有符号的。
- 2、 lir有直接1型和直接2型两种形式,考虑到节约寄存器和实现方式简单化,多用直接2 型。
- 3、 对于4阶以上的iir滤波器,如果直接采用直接2型,那么当系数量化取整后,由于量化 误差及其反馈迭代的影响,误差足以使极点超过单位圆使得滤波器不稳定(表现为输出波 形溢出)。因此,高阶情况下必须用2阶滤波器进行级联实现,因为在2阶条件下极点离单 位圆较远, 误差不足以使极点偏离到单位圆外。
- 4、 存在一次除法,课本中a0是1,但由于量化的作用,这个数非1。最好放大2的幂次 方,这样除法可以用移位处理。另外,经过尝试发现,移位会造成向下取整,而不是仿真 中的四舍五入。由于向下取整的误差比四舍五入大,所以结果频谱会多直流分量,因此必 须在中间结果进行四舍五入处理(判断的算法)
- 5、 还是由于反馈的问题, 使得每次乘加后得到的输出又会返回输入, 再进行乘加后位数 增长了又要反馈回输入,导致我们困惑到底应该定义多少位数。因此对于8*8,我们可以 都扩充为16*16,得到32位中截取16位作为结果反馈回去。理论上讲,如果iir是稳定的, 最后肯定不会溢出。所以,可以预设大点的容量,通过Modelsim观测每次结果占多少位, 然后再选择更合适的位数。
- 6、 由于反馈,在时序上必须保证,乘加等运算结束后,才能把这个数反馈回去而不能反 馈回一个还没算完的数。因此,并行语言要实现串行的思想,可以考虑状态机。

踩 顶

上一篇 ISE与Modelsim联合仿真配置和技巧

文章存档

2017年02月 (20)

2016年10月 (1)

2016年08月 (8) 2016年07月 (2)

2016年05月 (1)

展开

阅读排行

实现Linux命令行上传和 (3579)

吴恩达机器学习笔记_第三(2915)

深度学习UFLDL教程翻译 (2032)

基于quartus ii 的fpga下载 (1772)

正余弦信号的DFT频谱分 (1632)

dsp EDMA学习与疑问 (1617)

matlab simulink系统仿真 (1566)

吴恩达机器学习笔记_第一(1537) Verilog实现fir和iir滤波器 (1499)

信号的采样和量化 (1471)

评论排行

深度学习UFLDL教程翻译 (4)

新开的博客, 欢迎光临 (3)

《那些年,我们拿下了FF

吴恩达机器学习笔记_第一 (2)

深度学习之路—写在开题

fpga驱动ad9854重大bug (1)

red5视频直播初探 (1)

烦躁而无奈的一次调试-ti (1)

对GFI文件的理解 (1)

verilog实现按键消抖检测 (0)

推荐文章

- * 【《Real-Time Rendering 3rd》 提炼总结】(一) 全书知识 点总览
- * CSDN日报20170409 ——《扯 蛋的密码规则》
- * Shader2D: 一些2D效果的 Shader实现
- *一个屌丝程序猿的人生(六十
- * 自定义控件三部曲视图篇 瀑布流容器 WaterFallLayout实现
- *面向服务的体系架构(SOA) —架构篇

最新评论

深度学习之路—写在开题前 tiantian向上: 年后开题的狗在这

对GEL文件的理解 banning0426: 请问 menuitem

具体在哪里创建菜单

faster-rcnn 之 RPN网络的结构解 hunterlew: 楼主 您知道那个feat stride参数是什么意思吗? 一直没

烦躁而无奈的一次调试-记fpga驱 li476838581: 原理图设计有问 题, IOUT的四个脚输出是不是没

下一篇 如何设置端口对外网开放

我的同类文章

FPGA学习(21)

• Chipscope使用简介 2016-03-05 阅读 580 • ISE与Modelsim联合仿真配... 2016-02-21 阅读 1321

• MATLAB与ISE联合仿真的... 2016-02-21 阅读 1068 • 浅谈计算机中浮点数的表达... 2016-02-21 阅读 324

· ISE 设计、综合及仿真流程 2015-08-27 阅读 1257 • VHDL常用 2014-12-16 阅读 382

· verilog温故知新 2014-12-11 阅读 381 • FPGA高手设计实战真经100... 2014-09-19 阅读 1320

《那些年,我们拿下了FPG... 2014-09-17 阅读 779 2014-09-06 阅读 1221 · fpga过零检测算法

更多文章

猜你在找

《C语言/C++学习指南》加密解密篇(安全相关算法) Python算法实战视频课程--二叉树

使用决策树算法对测试数据进行分类实战

解码皮肤美化算法

Java经典算法讲解

脉动型SystolicFIR滤波器的实现 直接型FIR滤波器的C语言实现 基于Matlab的FIR滤波器设计与实现 直接型FIR滤波器的C语言实现 IIR与FIR基础知识

查看评论

暂无评论

(2)

(1)

您还没有登录,请[登录]或[注册]

以上用户言论只代表其个人观点,不代表CSDN网站的观点或立场

核心技术类目

Hadoop AWS 移动游戏 Java Android iOS Swift 智能硬件 Docker OpenStack VPN Spark ERP IE10 Eclipse CRM JavaScript 数据库 Ubuntu NFC WAP iQuerv BI HTML5 Spring Apache .NET API HTML SDK IIS Fedora XML LBS Unity Splashtop UML components Windows Mobile Rails QEMU KDE Cassandra CloudStack iOS6 FTC coremail OPhone CouchBase 云计算 Rackspace Web App SpringSide Maemo 大数据 aptech Perl Tornado Ruby Hibernate ThinkPHP HBase Pure Compuware Solr Cloud Foundry Redis Scala Django Bootstrap Angular

有接地啊,用四个100欧的电阻 分别接地,调试电路的时候...

caffe配置折腾记

hunterlew: 你好,我的显卡也是 无法在bios中设置。能不能贴一 下所有的操作。。

red5视频直播初探

杜瑞祺: 没看懂

fpga驱动ad9854重大bug—已 qg_34895666: 你好 我问下9854 管脚分配的时候input里有个CLK 怎么分配管脚呢,对应板子上怎

吴恩达机器学习笔记 第一周 hunterlew: @tiantiancsdn:哦

吴恩达机器学习笔记_第一周 tiantiancsdn: 不错! 好好学!

新开的博客, 欢迎光临 tiantiancsdn: @hunterlew:么

公司简介 | 招贤纳士 | 广告服务 | 联系方式 | 版权声明 | 法律顾问 | 问题报告 | 合作伙伴 | 论坛反馈

网站客服 杂志客服 微博客服 webmaster@csdn.net 400-600-2320 | 北京创新乐知信息技术有限公司 版权所有 | 江苏知之为计算机有限公司 |

江苏乐知网络技术有限公司

京 ICP 证 09002463 号 | Copyright © 1999-2016, CSDN.NET, All Rights Reserved

