

我心狂野

——文字和影像比我们的活得更长久

首页新随笔联系订阅管理

随笔 - 60 文章 - 0 评论 - 17

< 2011年5月 >						
日	一	二	三	四	五	六
24	25	26	27	28	29	30
1	2	3	4	5	6	7
8	9	10	11	12	13	14
15	16	17	18	19	20	21
22	23	24	25	26	27	28
29	30	31	1	2	3	4

搜索

谷歌搜索

- 随笔分类(60)
- 编程语言(7)

电路设计(10)

软件相关(11)

数字逻辑(24)

算法相关(5)

随便写作(3)

- 阅读排行榜
1. DDR工作原理(28118)

2. 第三层交换机和路由器的区别(23279)

3. 乘法器的Verilog HDL实现(19261)

4. 千兆以太网芯片88E1111 RGMII模式的驱动(15997)

5. 位图文件（BMP）格式以及Linux下C程序实现(7863)

6. 以太网PHY和MAC(7835)

7. 关于建立时间和保持时间(7499)

8. Pacman 命令详解(6328)

9. 交换机和路由器各自的实现原理(5703)


10. 流水线技术原理和Verilog HDL实现(4928)

11. [转]TimeQuest约束外设之诡异的

乘法器的Verilog HDL实现

1. 串行乘法器

两个N位二进制数x、y的乘积用简单的方法计算就是利用移位操作来实现。



```
module multi_CX(clk, x, y, result);


    input clk;
    input [7:0] x, y;
    output [15:0] result;

    reg [15:0] result;

    parameter s0 = 0, s1 = 1, s2 = 2;
    reg [2:0] count = 0;
    reg [1:0] state = 0;
    reg [15:0] P, T;
    reg [7:0] y_reg;

    always @(posedge clk) begin
        case (state)
            s0: begin
                count <= 0;
                P <= 0;
                y_reg <= y;
                T <= {{8{1'b0}}, x};
                state <= s1;
            end
            s1: begin
                if(count == 3'b111)
                    state <= s2;
                else begin
                    if(y_reg[0] == 1'b1)
                        P <= P + T;
                    else
                        P <= P;
                    y_reg <= y_reg >> 1;
                    T <= T << 1;
                    count <= count + 1;
                    state <= s1;
                end
            end
            s2: begin
                result <= P;
                state <= s0;
            end
            default: ;
        endcase
    end


endmodule
```



乘法功能是正确的，但计算一次乘法需要8个周期。因此可以看出串行乘法器速度比较慢、时延大，但这种乘法器的优点是所占用的资源是所有类型乘法器中最少的，在低速的信号处理中有着广泛的应用。

2.流水线乘法器

一般的快速乘法器通常采用逐位并行的迭代阵列结构，将每个操作数的N位都并行地提交给乘法器。但是一般对于FPGA来讲，进位的速度快于加法的速度，这种阵列结构并不是最优的。所以可以采用多级流水线的形式，将相邻的两个部分乘积结果再添加到最终的输出乘积上，即排成一个二叉树形式的结构，这样对于N位乘法器需要Ib（N）级来实现。



- Create Generated Clocks用法(4667)
12. 路由器换大Flash(3465)
13. [转]Verilog 中 define parameter localparam的区别(3296)
14. [转]换位思考多周期约束(3116)
15. 关于C/C++中的点操作符和箭头操作符(3025)

```
module multi_4bits_pipelining(mul_a, mul_b, clk, rst_n, mul_out);

    input [3:0] mul_a, mul_b;
    input      clk;
    input      rst_n;
    output [7:0] mul_out;

    reg [7:0] mul_out;

    reg [7:0] stored0;
    reg [7:0] stored1;
    reg [7:0] stored2;
    reg [7:0] stored3;

    reg [7:0] add01;
    reg [7:0] add23;

    always @(posedge clk or negedge rst_n) begin
        if(!rst_n) begin
            mul_out <= 0;
            stored0 <= 0;
            stored1 <= 0;
            stored2 <= 0;
            stored3 <= 0;
            add01 <= 0;
            add23 <= 0;
        end
        else begin
            stored0 <= mul_b[0]? {4'b0, mul_a} : 8'b0;
            stored1 <= mul_b[1]? {3'b0, mul_a, 1'b0} : 8'b0;
            stored2 <= mul_b[2]? {2'b0, mul_a, 2'b0} : 8'b0;
            stored3 <= mul_b[3]? {1'b0, mul_a, 3'b0} : 8'b0;

            add01 <= stored1 + stored0;
            add23 <= stored3 + stored2;

            mul_out <= add01 + add23;
        end
    end
endmodule
```

从图中可以看出，流水线乘法器比串行乘法器的速度快很多很多，在非高速的信号处理中有广泛的应用。至于高速信号的乘法一般需要利用FPGA芯片中内嵌的硬核DSP单元来实现。

分类: [数字逻辑](#)

好文要顶

关注我

收藏该文

我心狂野

关注 - 3

粉丝 - 61

+加关注

0 0

« 上一篇: [超前进位加法器](#)
» 下一篇: [流水线技术原理和Verilog HDL实现](#)

posted @ 2011-05-23 16:12 我心狂野 阅读(19261) 评论(0) 编辑 收藏

[刷新评论](#) [刷新页面](#) [返回顶部](#)

注册用户登录后才能发表评论，请 [登录](#) 或 [注册](#)，[访问](#)网站首页。

- 【推荐】50万行VC++源码：大型组态工控、电力仿真CAD与GIS源码库
- 【抢】大学生专享 | 9.9元即刻拥有一台云服务器