



MEMORIA DE ACTIVIDAD:
DOS ALTERNATIVAS DE
ARQUITECTURA DE
PROCESADORES
SUPERESCALARES

Carlos Gálvez

Contenido

1.INTRODUCCIÓN	2
1.1. Objetivo del trabajo:	2
1.2. Justificación:	2
2.IBM POWER4.	2
2.2 Sun UltraSPARC III	3
3. COMPARACION TÉCNICA IBM POWER4 VS Sun UltraSPARC III	3
3.1 Cauces empleados	3
3.2 Tipos de unidades funcionales	4
3.3 Número de vías	5
3.4 Características del juego de instrucciones	5
3.5 Aplicaciones fundamentales	6
4. ASPECTOS AVANZADOS	6
4.1 Renombrado de registros y buffer de reordenamiento	6
4.2 Predicción de saltos e interrupciones	6
5. CONCLUSIÓN	7
6.GLOSARIO DE TÉRMINOS	7
7.REFERENCIAS	8

MEMORIA TÉCNICA DE ACTIVIDAD

1.INTRODUCCIÓN

1.1. Objetivo del trabajo:

El presente trabajo tiene como finalidad comparar dos arquitecturas de procesadores superescalares: **IBM POWER4** y **Sun UltraSPARC III**. La comparación se realiza a partir de los elementos definidos en el tema 6 de la asignatura, atendiendo a criterios como los cauces empleados, tipos de unidades funcionales, número de vías, características del conjunto de instrucciones y sus principales aplicaciones.

1.2. Justificación:

Los procesadores se han seleccionado por representar enfoques distintos en el diseño de arquitecturas superescalares. IBM POWER4 destaca por su ejecución fuera de orden, diseño multiprocesador en chip (CMP) y uso intensivo de buffers de reordenamiento y renombrado dinámico. Sun UltraSPARC III, por su parte, mantiene una ejecución ordenada y se apoya en técnicas propias de la arquitectura SPARC, como el uso de ventanas de registros. La elección de estos dos modelos permite analizar distintos mecanismos de explotación del paralelismo a nivel de instrucción (ILP).

2. DESARROLLO DE LA ACTIVIDAD:

2.1. IBM POWER4.

El procesador IBM POWER4 marcó un hito al ser uno de los primeros en incorporar dos núcleos dentro de un mismo encapsulado, lo que dio lugar al concepto conocido como Chip Multiprocessing (CMP). Su diseño se basa en la arquitectura **PowerPC 2.00**, derivada de la línea de procesadores RISC desarrollada por IBM. Cada núcleo del POWER4 está equipado con una arquitectura superescalar de cuatro vías, lo que le permite captar y emitir hasta cuatro instrucciones por ciclo. Estas instrucciones se distribuyen entre diversas unidades funcionales independientes, optimizando la ejecución paralela y el aprovechamiento del paralelismo a nivel de instrucción. Gracias a su diseño de ejecución fuera de orden, el POWER4 logra identificar paralelismo dinámico dentro del flujo de instrucciones, reorganizando su ejecución para maximizar el aprovechamiento del hardware.

Entre sus características clave se encuentran:

- Núcleo dual, con arquitectura de 4 vías por núcleo (hasta 8 instrucciones por ciclo en total).
- Ejecución desordenada mediante renombrado de registros dinámico.
- Gestión de consistencia con buffer de reordenamiento (ROB).
- Predicción de saltos dinámica y multi-nivel.
- Arquitectura altamente segmentada y modular.

2.2 Sun UltraSPARC III

El procesador UltraSPARC III pertenece a la familia de arquitecturas SPARC V9, una arquitectura RISC de 64 bits orientada a sistemas multiprocesador simétricos (SMP). A diferencia del POWER4, el UltraSPARC III mantiene una ejecución ordenada, lo que implica que las instrucciones se decodifican, emiten y completan siguiendo el orden programado. Aun así, incorpora una arquitectura superescalar de 4 vías, lo que le permite captar, decodificar y emitir hasta cuatro instrucciones por ciclo.

Sus principales características incluyen:

- Arquitectura superescalar de 4 vías con segmentación profunda (hasta 14 etapas).
- Uso de ventanas de registros para minimizar dependencias y facilitar el paralelismo.
- Predicción de saltos mejorada, pero estática en esencia.
- Gestión eficiente del flujo mediante unidades funcionales especializadas para enteros, coma flotante y acceso a memoria.

Ambos procesadores son representativos de dos enfoques distintos en el diseño de arquitecturas superescalares: uno orientado a la ejecución desordenada y otro al mantenimiento de la secuencialidad con técnicas propias del RISC clásico.

3. COMPARACION TÉCNICA IBM POWER4 VS Sun UltraSPARC III

3.1 Cauces empleados

Ambos procesadores presentan estructuras con múltiples cauces, pero con enfoques distintos en su organización:

- IBM POWER4 implementa cauces separados para instrucciones enteras, operaciones de coma flotante, saltos y acceso a memoria. Cada núcleo incluye varias unidades funcionales conectadas mediante una ventana de instrucciones común y un sistema de emisión desordenada. La existencia de buffers intermedios permite desacoplar las etapas de emisión y ejecución mitigando conflictos estructurales y de datos.

- UltraSPARC III también utiliza múltiples cauces, pero su arquitectura mantiene la ejecución ordenada. El diseño incluye una segmentación profunda con 14 etapas, lo cual permite alcanzar frecuencias de reloj más altas, aunque con mayor latencia de pipeline. La gestión del flujo está centrada en mantener la secuencialidad mediante técnicas como el uso de ventanas de registros y una planificación cuidadosa de las instrucciones en compilación.

Ambos se ajustan al modelo superescalar, pero POWER4 representa una versión más avanzada con mayor ILP aprovechado.

3.2 Tipos de unidades funcionales

Las unidades funcionales del POWER4 están diseñadas para operar en paralelo, de forma desordenada, con el soporte de estaciones de reserva y mecanismos de selección y arbitraje. En UltraSPARC III, la ejecución ordenada limita el número de instrucciones que pueden lanzarse por ciclo, aunque su pipeline más profundo ayuda a mantener un flujo constante de instrucciones.

Tipo de unidad	Definición	IBM POWER4	Sun UltraSPARC III
Arquitectura	Tipos de conjunto de instrucciones que puede interpretar el procesador	PowerPc 2.00(64 bits)	SPARC V9 (64bits)
Vías superescalares	Num. De instrucciones que puede captar y procesar en paralelo por ciclo	4 por núcleo (hasta 8 por chip)	4 vías
Unidades funcionales	Componentes que ejecutan operaciones (enteros, coma flotante, memoria)	2 ALU, 2 Load/Store, 1FPU, 1 Branch	2 ALU, 1 Load/Store, 1 FPU
Cauces empleados	Estructura del pipeline y cómo se organiza el flujo de instrucciones	Pipeline segmentado con buffers intermedios	Pipeline profundo (14 etapas) ejecución ordenada
Aplicaciones	Uso habitual del procesador	Servidores críticos, BBDD,HPC	Servidores UNIX, estaciones gráficas, redes
Ejecución (ordenada/desordenada)	Define si las instrucciones se ejecutan en el mismo orden que se emiten	Fuera de orden	Ordenada

Predicción de saltos	Técnica para anticipar el resultado de instrucciones de salto condicional	Dinámica	Estática
Renombrado de registros	Método para evitar conflictos entre instrucciones que usan los mismos registros	Si	NO
Num. Núcleos	Cantidad de procesadores independientes dentro del chip	2	1
Tamaño de caché L1	Memoria más cercana a la CPU para datos e instrucciones frecuentes	32 Kb(16 + 16)	64 Kb(32 + 32)
Caché L2	Memoria intermedia que acelera el acceso a datos recurrentes	1.44 Mb/núcleo	2-8Mb externa
Caché L3	Caché compartida de gran capacidad	Hasta 32 Mb externa	Opcional
Ventanas de registros	Técnica SPARC que permite alternar entre múltiples conjunto de registros	NO	Si
Tecnología de fabricación	Tamaño de los transistores, afecta a rendimiento, consumo y densidad	180 nm	180nm

3.3 Número de vías

POWER4: 4 vías por núcleo, ejecución fuera de orden, hasta 8 instrucciones por ciclo en el chip completo. Las vías están desacopladas de la etapa de captación, lo que permite reordenar instrucciones en función de la disponibilidad de operandos y unidades.

UltraSPARC III: 4 vías, ejecución ordenada. Las instrucciones siguen el orden del programa y dependen de la planificación del compilador. No se emplea buffer de reordenamiento (ROB), lo que simplifica el control, pero reduce la eficiencia ante dependencias.

3.4 Características del juego de instrucciones

POWER4 implementa PowerPC 2.00, un ISA RISC de 64 bits, con instrucciones de longitud fija y codificación sencilla. Esto permite decodificación rápida y planificación de ejecución paralela. Además, incorpora instrucciones específicas para control de flujo, coma flotante, SIMD y acceso eficiente a memoria.

UltraSPARC III utiliza SPARC V9, también RISC de 64 bits, pero destaca por su mecanismo de ventanas de registros, que permite gestionar múltiples contextos sin necesidad de acceder a memoria. Esta técnica reduce el impacto de dependencias RAW y WAW, aunque no sustituye completamente al renombrado dinámico. Ambas ISAs favorecen el paralelismo y la segmentación, pero PowerPC ofrece un mayor grado de flexibilidad para ejecución dinámica.

3.5 Aplicaciones fundamentales

Aplicación	IBM POWER4	Sun UltraSPARC III
Tipología	Servidores empresariales, bases de datos, HPC	Estaciones de trabajo, servidores UNIX
Escalabilidad	Alta (SMP, diseño modular)	Alta (SMP con coherencia de caché)
Rendimiento estimado	>1000 MIPS	500–800 MIPS
Soporte multihilo	Dual-core, recursos por núcleo	Mononúcleo, optimización multiproceso

4. ASPECTOS AVANZADOS

4.1 Renombrado de registros y buffer de reordenamiento

POWER4 emplea un sistema completo de renombrado dinámico de registros, gestionado por un buffer de renombramiento (BR) y un buffer de reordenamiento (ROB). Esto le permite evitar pseudodependencias tipo WAR y WAW y facilita la ejecución fuera de orden con finalización desordenada pero retirada ordenada de resultados.

UltraSPARC III no utiliza ROB, ya que mantiene la ejecución ordenada. Su ISA SPARC permite evitar algunas dependencias mediante ventanas de registros, pero carece de flexibilidad frente a ILP dinámico.

4.2 Predicción de saltos e interrupciones

POWER4: utiliza predicción dinámica multietapa, con bits de historia y tablas de predicción de saltos (BHT, BTB). Esta capacidad permite reducir la penalización ante saltos condicionales no resueltos y soportar ejecución especulativa.

UltraSPARC III: emplea predicción estática mejorada, con menor coste en hardware pero menos acierto en patrones complejos. La gestión de errores por predicción incorrecta requiere reinicio parcial del pipeline.

En cuanto a interrupciones:

- POWER4 garantiza interrupciones precisas gracias al uso de ROB.
- UltraSPARC III debe coordinar múltiples etapas del pipeline para preservar el estado en caso de excepción.

5. CONCLUSIÓN

La comparación entre IBM POWER4 y Sun UltraSPARC III pone de manifiesto dos aproximaciones distintas al diseño de procesadores superescalares. POWER4 representa una arquitectura moderna, con ejecución fuera de orden, múltiples unidades funcionales por núcleo, buffers avanzados y un uso intensivo de técnicas de paralelismo dinámico. Su rendimiento está orientado a aplicaciones de cálculo intensivo y sistemas de misión crítica.

Por su parte, UltraSPARC III apuesta por un diseño más conservador, centrado en la ejecución ordenada y en aprovechar el paralelismo mediante segmentación profunda y planificación a nivel de compilador. Aunque menos agresivo en términos de ILP, su eficiencia estructural y fiabilidad lo hacen idóneo para entornos UNIX y sistemas multiprocesador tradicionales.

6. GLOSARIO DE TÉRMINOS

ALU: Unidad funcional encargada de realizar operaciones aritméticas (suma, resta, etc.) y lógicas (AND, OR, NOT) sobre datos enteros.

Load/Store Unit: Unidad encargada de gestionar operaciones de carga y almacenamiento entre la CPU y la memoria. Las instrucciones tipo LOAD traen datos desde la memoria al procesador, y las STORE los envían desde el procesador hacia la memoria.

FPU (Floating Point Unit): Unidad funcional que ejecuta operaciones matemáticas con números en coma flotante (reales). Es utilizada para cálculos científicos, gráficos y multimedia.

Branch Unit (Unidad de control de saltos): encarga de procesar instrucciones de salto condicional o incondicional. Incluye la lógica para la predicción de saltos y la redirección del flujo de ejecución.

SPARC(Scalable Processor Architecture): Arquitectura RISC desarrollada originalmente por Sun Microsystems. SPARC se caracteriza por su diseño abierto, extensible y por el uso de ventanas de registros rotativas, que permiten minimizar accesos a memoria.

PowerPC: Arquitectura desarrollada por IBM–Motorola–Apple. PowerPC 2.00 es una versión de 64 bits utilizada en entornos de alto rendimiento como servidores y supercomputadoras. Su diseño permite una ejecución paralela avanzada y soporte para múltiples núcleos.

Pipeline segmentado: Técnica mediante la cual la ejecución de instrucciones se divide en etapas (como captación, decodificación, ejecución...). Cada etapa se ejecuta en paralelo sobre diferentes instrucciones, como en una cadena de montaje.

Pipeline de ejecución ordenada: Modelo en el que las instrucciones se captan, ejecutan y finalizan en el mismo orden en que fueron escritas en el programa. Es más simple de implementar pero limita el paralelismo y el rendimiento.

Renombrado de registros: Técnica que asigna registros físicos temporales a los registros lógicos usados por el programa, evitando conflictos por dependencias WAR (Write After Read) y WAW (Write After Write).

Buffer de reordenamiento (ROB): Estructura que almacena temporalmente los resultados de instrucciones ejecutadas fuera de orden y garantiza que se escriban en memoria siguiendo el orden original del programa, manteniendo la consistencia.

7.REFERENCIAS

Temas Vistos en clase.

Clases Impartidas por el profesor.

[https://es.wikipedia.org/wiki/POWER_\(IBM\)](https://es.wikipedia.org/wiki/POWER_(IBM))

https://en.wikipedia.org/wiki/UltraSPARC_III

<https://public.dhe.ibm.com/software/mktsupport/techdocs/power4.pdf>

<https://www.timetoast.com/timelines/microprocesador-ibm>

https://cseweb.ucsd.edu/classes/wi13/cse240a/pdf/03/UltraSparc_III.pdf