# Uniwersalny moduł sprzętowego przetwarzania danych oparty na FPGA

Opiekun: dr Jacek Długopolski

Krzysztof Papciak

#### Na czym polega projekt?

- przygotowanie płytki PCB z układem FPGA pozwalającej na projektowanie edukacyjnych procesorów
- przygotowanie modułów konfiguracji FPGA obsługujących poszczególne peryferia zestawu
- zaprojektowanie i uruchomienie przykładowego procesora wykorzystującego możliwości zestawu

#### Wymagania funkcjonalne

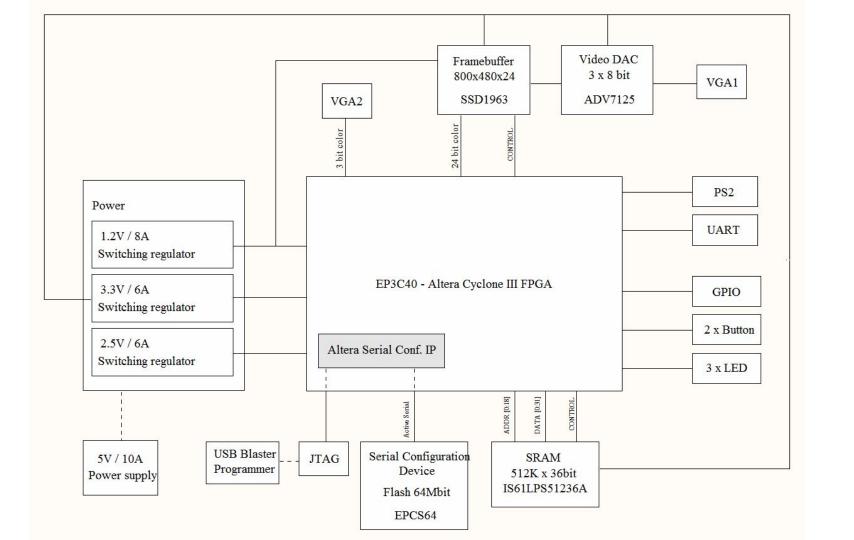
- możliwość wykorzystania układu FPGA w projekcie
- dostęp do pamięci RAM
- obsługa wejścia/wyjścia użytkownika
- wyświetlanie obrazu VGA

#### Wymagania niefunkcjonalne

- użycie uładu FPGA Altera Cyclone III
- łatwy interfejs do programowania układu FPGA
- szybki dostęp do danych w pamięci
- możliwość asynchronicznego wyświetlania obrazu na monitorze VGA
- moduły do obsługi peryferiów na płytce

#### Elementy modułu FPGA

- układ FPGA Altera Cyclone III (~40 tys. elementów logicznych)
- pamięć SRAM (18Mbit, 32-bitowa szyna danych + 4 bity parzystości)
- złącze PS2 (klawiatura lub myszka)
- port szeregowy (z konwerterem na USB)
- wyjście VGA1 (24 bity koloru + bufor obrazu)
- wyjście VGA2 (3 bity koloru)
- GPIO (porty ogólnego przeznaczenia)
- przyciski i diody LED



#### Planowany porządek prac

#### I Semestr:

- stworzenie schematu modułu FPGA (wykonano)
- dobór elementów (wykonano)
- zaprojektowanie płytki PCB (w trakcie realizacji)
- montaż elementów
- uruchomienie i testowanie zestawu

#### II Semestr:

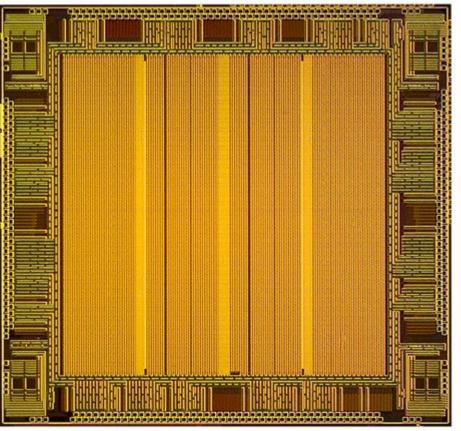
- stworzenie konfiguracji FPGA obsługującej poszczególne podzespoły modułu (pamięć SRAM, wyjście video, framebuffer)
- zaprojektowanie prostego procesora prezentującego możliwości zestawu

## Elementy modułu FPGA

#### Układ FPGA

- Cyclone III EPC40
- Obudowa PQFP, 240 nóżek,
   128 portów wejścia/wyjścia
- 39,600 elementów logicznych
- 1,2Mbit RAM
- 4 x PLL



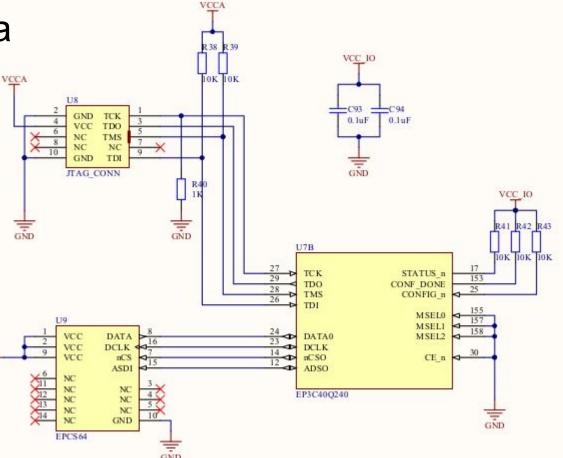


	UTC .	-		
SRAM ADDR10 240 A		- 6	SRAM ADDR9	
SRAM_ADDR11 239	IO / PLL3_CLKOUTp IO / PLL3_CLKOUTn DIFFIO_L07p / DQS 2L		SRAM_ADDR8	
SRAM ADDR12 236	DIFFIO T03p / DQS1T IO	15	SRAM ADDR7	5
SRAM_ADDR13 235	10 10		SRAM_ADDR6	
SRAM ADDR14 232	DIFFIO_T07n / DM5T IO / DQS0L	21	SRAM ADDRO	
SRAM_PAR0 231	DIFFIO T08p / DQ5T		SRAM_ADDR1	
	10			
SKAM DQ0 220	DIFFIO_T11p / DQ5T		******	
PS2 CLK PS2 CLK 224 CPIO11 223	DIFFIO_T16m / DQS3T IO / CLK0		SRAM ADDR4	_
SPAM DOL 221	IO IO/CLK1	(D)	SRAM ADDR3	
SRAM DO2 219	DIFFIO_T19p / DQ5T IO / CLK2 / DIFFCLK_1p	2.6	SRAM ADDR2	_
CDIOLO 218	DIFFIO_T20p / DQ5T IO / CLK3 / DIFFCLK_1n	< <del>□</del> 22	SRAM DO31	-
SPAM DOL 212	DIFFIO_T20n DIFFIO_L28p / DQ IL	20	SRAM DQ30	
GP109 216	DIFFIO_T22n / DQ5T DIFFIO_L28n / DQ IL	20	SRAM ADDR5	-
GPIOS 214			SRAM_DQ29	
GPIO7 212	DIFFIO_T24p / DQS5T   DIFFIO_L32p / DQ IL   IO / CLK11 / DIFFCLK 4p   DIFFIO_L33n / DQ IL	4.5	SRAM DQ28	
GPIO6 211	IO / CLK10 / DIFFCLK 4n DIFFIO L34p / DQS1L	94	BTN1	BINI
	DIFFIO L34n / DQ1L	45	SRAM DQ27	BIAI
	10	46	BTN2	BTN2
GPIO5 210 ◆		49	SRAM DQ26	
VGAI PIXEL CLK 209	IO/CLK8/DIFFCLK_5n IO	20	LED1	LEDI
GPIO3 203	DIFFIO T29p / DQS4T IO / DQ11	51 52	SRAM DQ25	
CDAM DOL 202	10 / DQ11	(D)	SRAM_DQ24 LED2	
SPAM DOS 201	DIFFIO_T36p / DQ5T IO / DQS3L	56	LED2 LED3	LED2
VCALTE 200	DIFFIO_T36n / DQ5T	C 2	SRAM DQ23	LED3
VGALTE SPAM DOG 197	DIFFIO_T37p / DQS2T IO / DQ1L	4	moun byza	
VGALCS n 196	DIFFIO_T38p / DQ5T	- 63	VGA2 VSync	
VOALCS 8 VOAL RESET = 195	DIFFIO_T38n IO DIFFIO_L06n / DOS1E	4.0	SRAM MODE	VGA2_VSync
SRAM DQ7 194	10   DIFFIO_L06p / DQS1E     DIFFIO_T41p / DQST   10 / PLL1_CLKOUTp	69	SRAM CLK	SRAM_MODE SRAM CLK
SRAM ZZ 189	IO IO PLLI_CLKOUT:			SKAM_CLK
VUAL RU 188	10 10	13	VGA2_HSync	VGA2 HSvnc
VGA1 R1 187	10	- /0	VGA2_R	VGA2 R
VGA1 R2 186	10 / PLL2 CLKOUTp DIFFIO B 16p / DQS3E	/8	VGA2_G	VGA2 G
VGA1 R3 185	IO / PLL2_CLKOUTn DIFFIO_B17n / DM5E		VGA2_B	VGA2 B
VGA1 R4 184 VGA1 B3 183	IO DIFFIO B 18p / DQ5E	82	SRAM_DQ22 SRAM_DQ21	
V(IA1 B3 183	DIFFIO_T49p / DQS0T DIFFIO_B 18n / DQSE	92	SRAM CE n	
VGA1 B2 177	DIFFIO_B21n / DQS5E	84	SRAM CE2 n	SRAM_CE_n
VGA1 B2 176	10 10	87	SRAM DO20	SRAM_CE2_n
VGA 1 B6 171	DIFFIO_R04n / DQS2T DIFFIO_L27p / DQSE	00	SRAM DO19	
SRAM_DQ8 171	IO DIFFIO_L27n / DQ5E	90	GPIO0	_
VGA1 B5 169	DIFFIO_R12n / DQ1R	90	GPIO1	
VGA1 B4 166	DIFFIO R23n / DQS0R	100		
VGA1 B1 164	DIFFIO_R24p IO / CLK13 / DIFFCLK_7g	91	GPIO2	
VGA1_B0 162	DIFFIO T24n IO / CLK12 / DIFFCLK 7n	94	SRAM_PAR3	
VGA1 G7 161	IO DIFFIO B28p / DQ5B	95	SRAM DQ18	
VGA1 G6 160	DIFFIO_R27p DIFFIO_B28n / DQ5B		SRAM DQ17	
VGA1 G5 159 50MHz 152	DIFFIO_T27n IO	<b>4</b> 93 98	UART RXD SRAM DO16	UART_RXD
VGA1 G4 151	IO / CLK4 / DIFFCLK_2p DIFFIO_B32p / DQ5E	00.	UART TXD	
VGA1 G4 151	IO / CLK5 / DIFFCLK_2n DIFFIO_B32n / DQS4B	100	SRAM PAR2	UART_TXD
VGA1_G3 150	DIFFIO_B34p / DQ5E	107	SRAM PAR I	
VGA1 G2 149	IO / CLK6 / DIFFCLK_3p DIFFIO_B35p / DQ5B	106	SRAM_ADDR18	
VGA1 G1 146	IO / CLK7 / DIFFCLK_3n IO / DQS2B	107	SRAM ADDR17	
VGA1_G0 145	DIFFIO R32p	110	SRAM_BWE_n	SRAM BWE n
VUAL R	DIFFIO R32n 10	111	SRAM OE n	SRAM OE n
VGA1 R6 143	DIFFIO R33p / DQS1R IO	112	SRAM_ADSC_n	SRAM ADSC n
VGA1 R5 142	IO DIFFIO B48n / DQS0B	113	SRAM ADSP n	SRAM ADSP n
VGA1_RW_n VGA1_RW_n 139  SRAM_DO9 137	10	114	SRAM_ADV n	SRAM_ADV_n
	DIFFIO_R46p / DQ IR IO / PLL4_CLKOUTp	117	SRAM ADDR16 SRAM ADDR15	
SPAM DOIL 134	DIFFIO_R51p / DQ1R IO / PLL4_CLKOUTs	118	SEAM_NDDK15	-
V/14.1 E 122	DIFFIO_R51n / DQ1R			
VGALE B CRAM DOLD 122	10			
SPAM DOIL 121	DIFFIO_R53p / DQ1R			
VGA1 DC n 128	DIFFIO_R53n / DQ1R			
SRAM DQ14 127	IO / DQS3R IO / DQIR			
SRAM DQ15 126	IO / DQ IR IO / DO IR			
the same of the sa	The state of the s			

EP3C40Q240

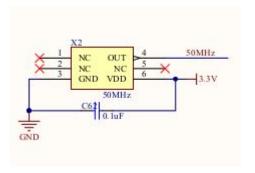


- programowanie przez złącze JTAG
- programator USB Blaster



#### Taktowanie układu FPGA

- wejściowa częstotliwość pracy: 50MHz
- oscylator MEMS
- wbudowane w układ FPGA pętle PLL pozwolą na wykorzystanie wyższych oraz niższych częstotliwości
- maksymalna częstotliwość pracy 400MHz

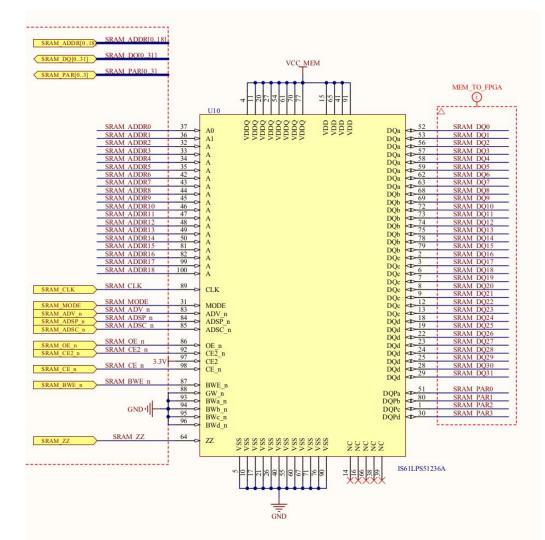


#### Układ FPGA - zastosowanie w projekcie

- duża liczba jednostek logicznych pozwoli na implementację procesorów wielordzeniowych lub o rozbudowanej architekturze
- stosunkowo duża ilość pamięci wewnętrznej umożliwi osadzenie kodu programu procesora bezprośrednio w pamięci układu FPGA lub stworzenie pojemnego cache'u

### Pamięć SRAM

- 18Mbit
- 36 bitowa szyna danych
- 19 bitowa szyna adresowa
- 4 bity parzystości
- Burst Mode
   (możliwość szybszego
   odczytu/zapisu porcji danych)

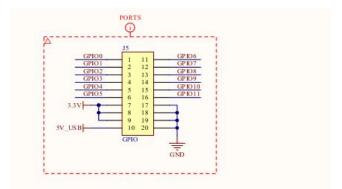


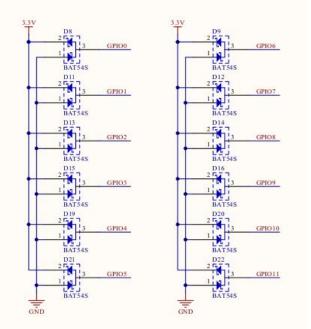
### Pamięć SRAM - zastosowanie w projekcie

- jako pamięć danych
- możliwe wykorzystanie do przechowania kodu zaimplementowanego procesora
- szeroka (36-bitowa) magistrala danych pozwoli na szybsze obliczenia
- szybkie taktowanie pamięci (200MHz) umożliwi wydajny odczyt i zapis danych
- kontrola bitów parzystości zapewni lepszą ochronę danych
- funkcja Burst Mode przyspieszy obliczenia SIMD

## Porty wejścia wyjścia ogólnego przeznaczenia

- 12 portów
- wyprowadzone napięcia 3.3V oraz 5V



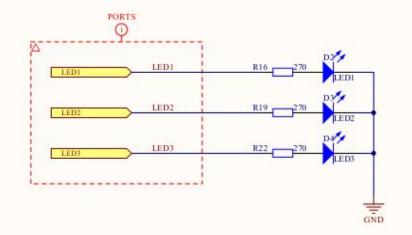


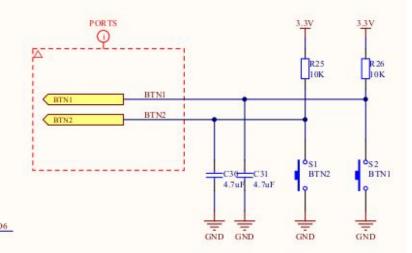
### Porty wejścia/wyjścia - zastosowanie w projekcie

- możliwość podłączenia zewnętrznych modułów np. czujników
- pozwoli na rozbudowę płytki o kolejne moduły np. ethernet

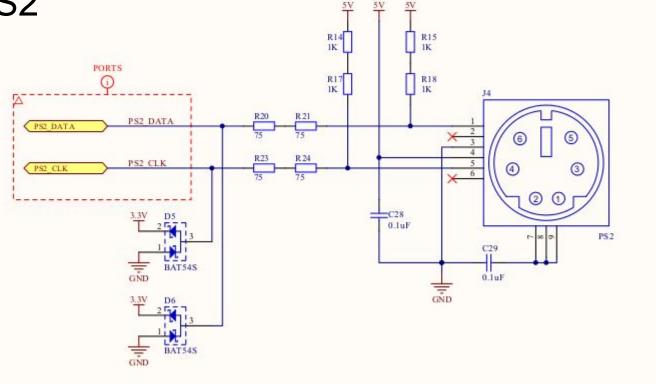
#### Przyciski i diody LED

- 3 diody LED ogólnego przeznaczenia
- kontrolka zasilania
- kontrolka przesyłania danych przez port szeregowy
- 2 przyciski ogólnego przeznaczenia





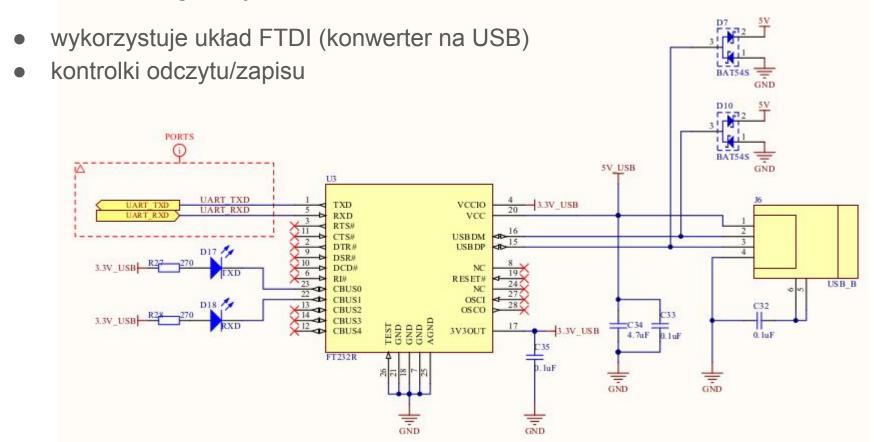
#### Port PS2



#### Port PS2 - zastosowanie w projekcie

- umożliwi podpięcie klawiatury lub myszki
- ułatwi sposób wprowadzania danych do systemu

#### Port szeregowy



#### Port szeregowy - zastosowanie w projekcie

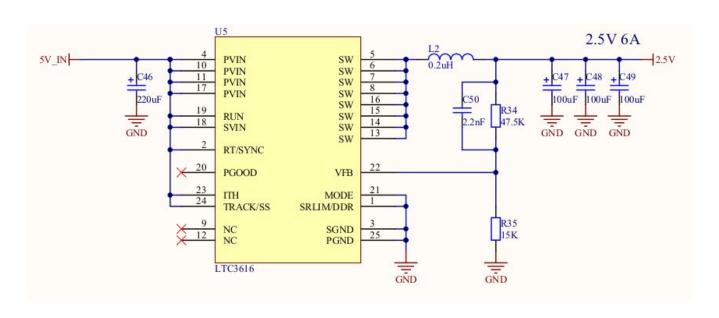
- umożliwi wysyłanie i pobieranie danych ze stworzonego procesora
- będzie służył jako interfejs do przesyłania programu do procesora
- dzięki zastosowaniu konwertera na USB będzie łatwy do wykorzystania w nowszych komputerach
- dostarczy napięcie 5V

#### Układ zasilania

- zasilacz zewnętrzny 5V / 10A
- stabilizatory impulsowe na płytce:
  - o 1.2V / 8A
  - o 2.5V / 6A
  - o 3.3V / 6A
- stabilizatory impulsowe zapewnią dużą efektywność układu zasilania
- duża moc stabilizatorów dostarczy wystarczającą ilość prądu dla złożonych konfiguracji układu FPGA
- małe wymiary układu zasilania
- zmniejszenie nagrzewania się płytki

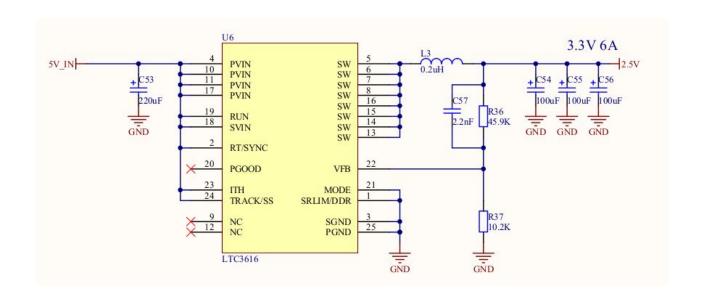
#### 2.5V / 6A

pętle PLL układu FPGA



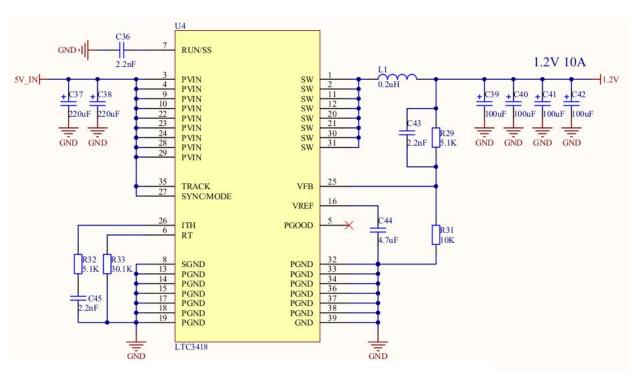
#### 3.3V / 6A

układy wejścia wyjścia FPGA, pamięć SRAM, układy video



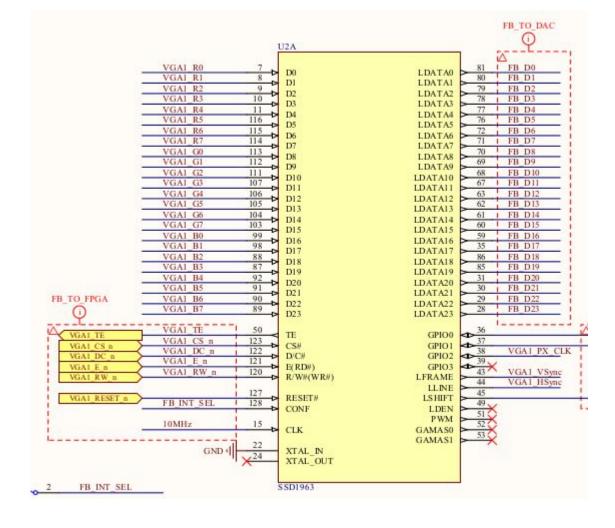
#### 1.2V / 6A

napięcie dla rdzenia układu FPGA oraz framebuffera



#### Framebuffer

- pamięć pozwalająca przechować obraz o rozdzielczości max. 800x480x24bit
- pozwoli zastosować dowolną szybkość dostarczania danych obrazu oraz przejmie obsługę sygnałów VGA

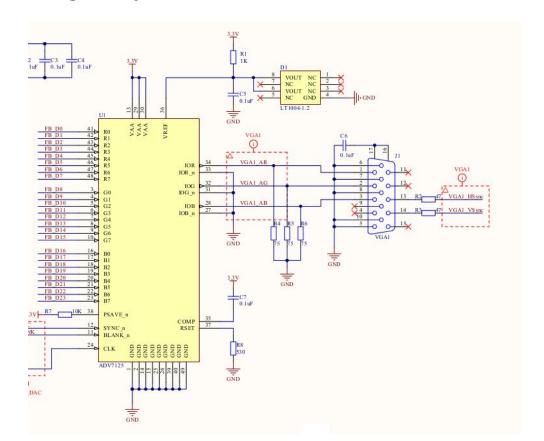


#### Framebuffer - zastosowanie w projekcie

- umożliwi przechowywanie danych obrazu w swojej pamięci
- pozwoli na generowanie skomplikowanych programów graficznych
- zlikwiduje konieczność generowania danych obrazu przez układ FPGA z częstotliwością zgodną ze standardem VGA
- wyręczy układ FPGA w generowaniu odpowiednich sygnałów standardu VGA

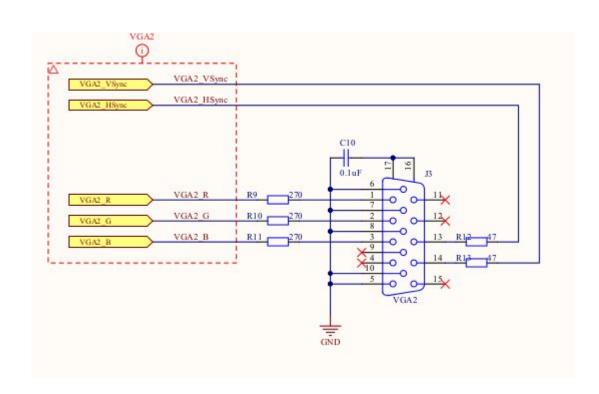
#### Przetwornik cyfrowo analogowy video

- zamieni 24 bitową wartość koloru na sygnał analogowy dla VGA
- umożliwi uzyskanie obrazu o dużej głębi kolorów



#### Drugie złącze VGA

- 3 bity informacji o kolorze
- osobne wyjście VGA
- zastosowanie w mniej wymagających graficznie projektach
- pozwoli na podłączenie
   2 monitorów



# Prace w kolejnym semestrze

## Szkic konfiguracji układu FPGA

