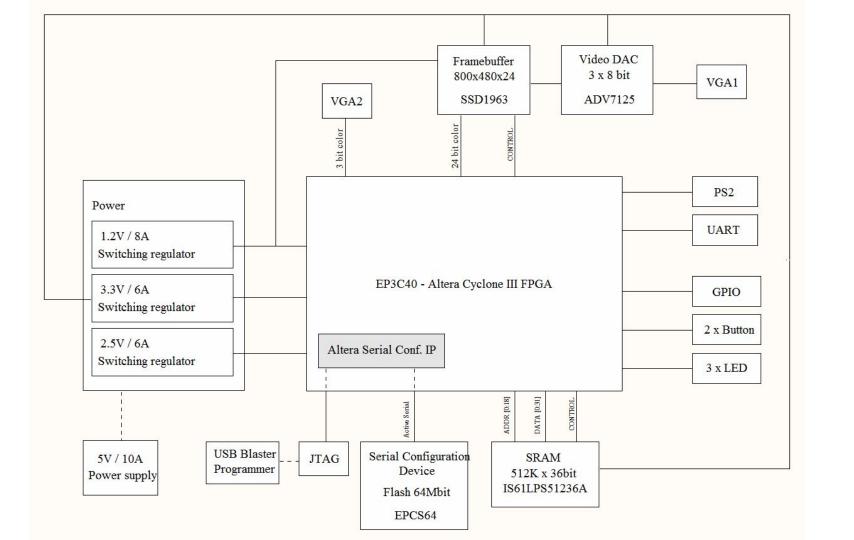
# Uniwersalny moduł sprzętowego przetwarzania danych oparty na FPGA

Studium wykonalności projektu oraz aktualny stan prac

## Zadania do wykonania

- przygotowanie płytki PCB z układem FPGA pozwalającej na projektowanie edukacyjnych procesorów
- przygotowanie modułów konfiguracji FPGA obsługujących poszczególne peryferia zestawu
- zaprojektowanie i uruchomienie przykładowego procesora wykorzystującego możliwości zestawu



## Obecny stan prac

### I Semestr:

- stworzenie schematu modułu FPGA (wykonano)
- dobór elementów(wykonano)
- zaprojektowanie płytki PCB (w trakcie realizacji, 80-90%, do ok. połowy maja)
- zakup elementów i zamówienie wykonania płytki PCB (w trakcie realizacji, do końca maja)
- montaż elementów (początek czerwca)
- uruchomienie i testowanie zestawu (do końca czerwca i na wakacjach)

### II Semestr:

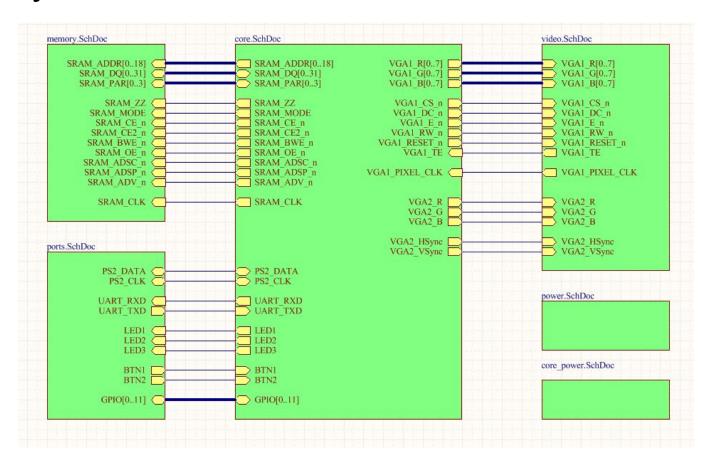
- stworzenie konfiguracji FPGA obsługującej poszczególne podzespoły modułu (pamięć SRAM, wyjście video, framebuffer)
- zaprojektowanie prostego procesora prezentującego możliwości zestawu

Prezentacja dotychczasowych

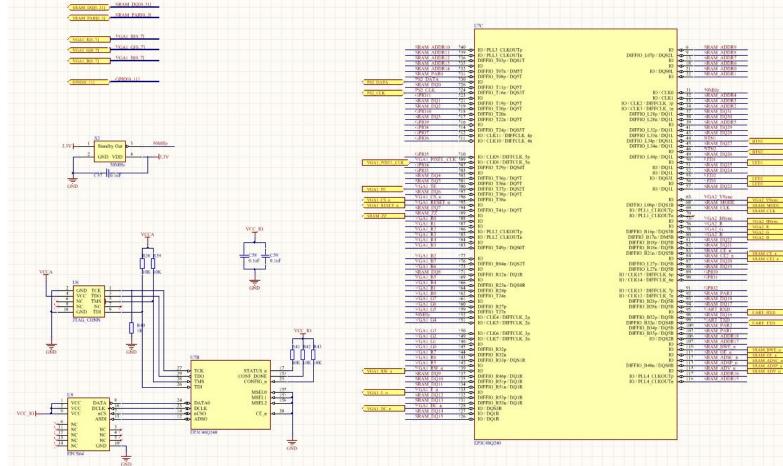
wyników pracy

## Schemat płytki PCB

## Moduły zestawu



## Schemat: FPGA oraz układ programowania

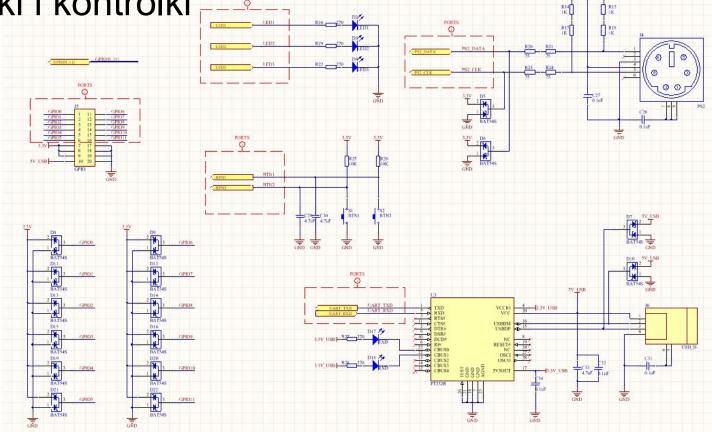


### Schemat: zasilanie FPGA VCC INT VCC 10 VCCA + C77 100uF 0.luF 0.1uF 0.luF VCC\_INT C80 || 0.1uF 0.1uF 0.1uF 0.1uF 0.1uF 0.1uF U7A 0.luF 0.1uF VCC IO 0.luF 0.1uF + C89 291 11 T 100uF VCCI01 GND 0.1uF 0.1uF VCCI01 GND 35 293 11 VCCIO2 GND GND 47 16 VCCIO2 0.luF 0.luF 66 VCCIO3 295 11 VCCI03 42 VCCIO4 104 48 0.1uF 0.luF VCCI04 54 VCCIO5 136 62 VCCI05 67 0.1uF 154 VCCIO6 VCCI06 VCCI07 206 79 0.luF VCCIO7 C98 VCCIO8 97 VCC IO VCCI08 0.1uF 105 299 11 VCCD\_PLL1 116 VCCD PLL2 120 0.1uF VCCD PLL3 121 125 C100 | 1 VCCD PLL4 130 138 C101 VCCA1 141 0.1uF VCCA2 148 GND GND VCCA3 123 156 0.1uF VCCA4 C102 | L 0.1uF C103 | | EP3C40Q240 0.luF C104 VCC INT 0.luF C105 | |

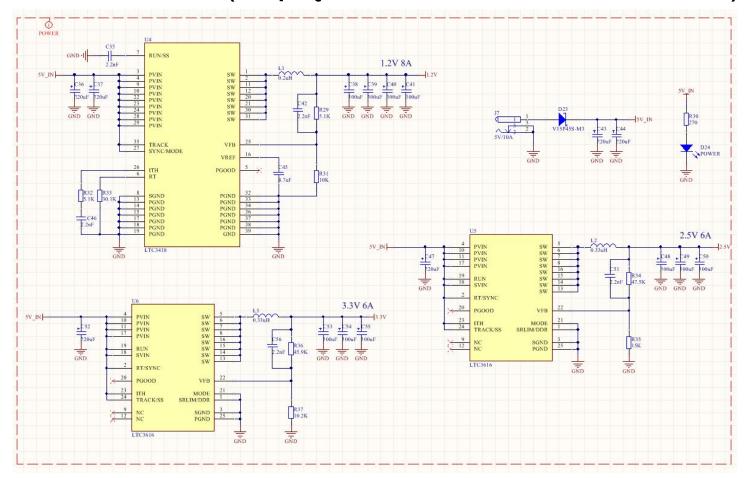
Schemat: pamięć SRAM SRAM DQ[0.31 VCC\_MEM SRAM PARIO. R44 R45 5.1K 5.1K MEM TO FPGA U10 SRAM OF n SRAM CE n SRAM ADDRO SRAM DOG SRAM ADDRI SRAM DQ1 DQa DQa DQa SRAM MODE SRAM\_ADDR2 SRAM DO2 SRAM ADDR3 33 SRAM DO3 SRAM CE2 n SRAM ADDR4 34 SRAM DO4 DQa SRAM DQ5 SRAM ADDRS 35 DQa SRAM ADDR6 42 SRAM DO6 DQa 43 SRAM ADDR7 SRAM DO7 DQa DQb DQb R46 R47 R48 5.1K 5.1K 5.1K SRAM ADDRS SRAM DOS SRAM ADDR9 45 SRAM ADDR 10 46 SRAM DO10 DQb SRAM ADDRII SRAM DQ11 DQb SRAM ADDR13 SRAM DQ12 DQb DQb DQb DQb SRAM ADDR15 81 SRAM DO15 SRAM ADDR16 82 SRAM DQ16 SRAM DQ17 SRAM ADDR17 99 DQc DQc DQc DQc SRAM ADDRIS 100 SRAM DQ18 SRAM DO19 SRAM DO20 SRAM CLK SRAM DO21 DQc DQc DQd DQd DQd DQd SRAM DQ22 SRAM ADV n 83 SRAM DO23 VCC\_MEM SRAM DQ24 100uF 100uF ADSP n SRAM DO25 SRAM ADSC n 85 ADSC n SRAM DQ26 SRAM OF n SRAM DQ27 SRAM OE n SRAM CE2 n SRAM DQ28 DQd CE2 n GND GND 97 SRAM DO29 DQd DQd CE2 SRAM CE n 98 SRAM CE n CE n SRAM DO31 BWE n SRAM BWE n SRAM PARO GW n DQPa SRAM PARI DQPb DQPc SRAM PAR2 BWb n SRAM PAR3 BWc n DOPd SRAM 72 VCC\_MEM IS61LPS51236A 264

Schemat: porty wejścia wyjścia

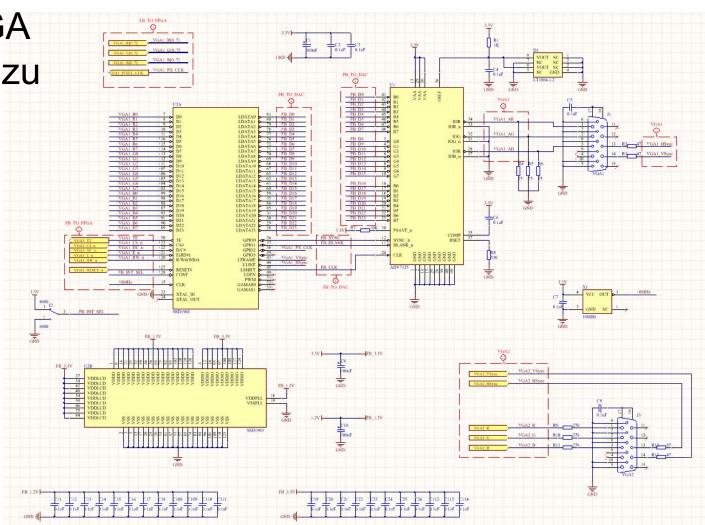
oraz przyciski i kontrolki



## Układ zasilania (napięcia 1.2V, 2.5V oraz 3.3V)

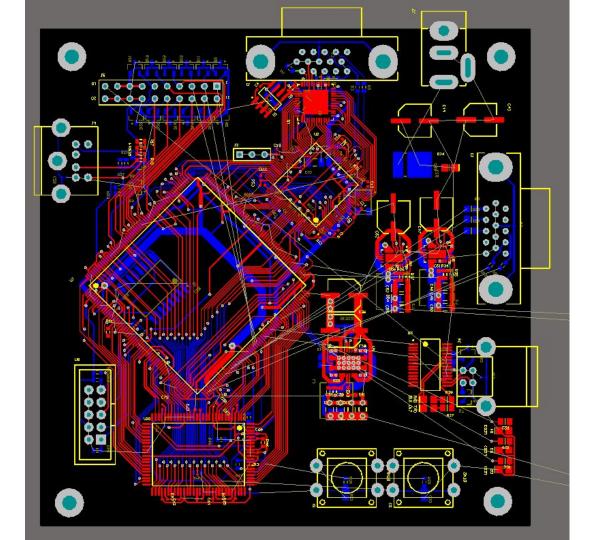


Wyjścia VGA i bufor obrazu

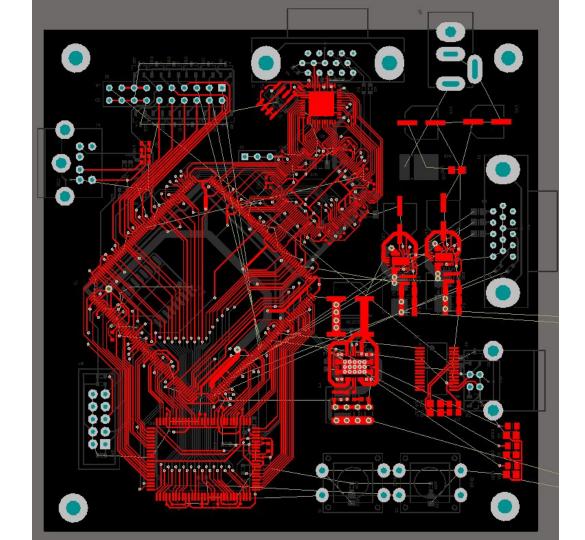


Płytka PCB

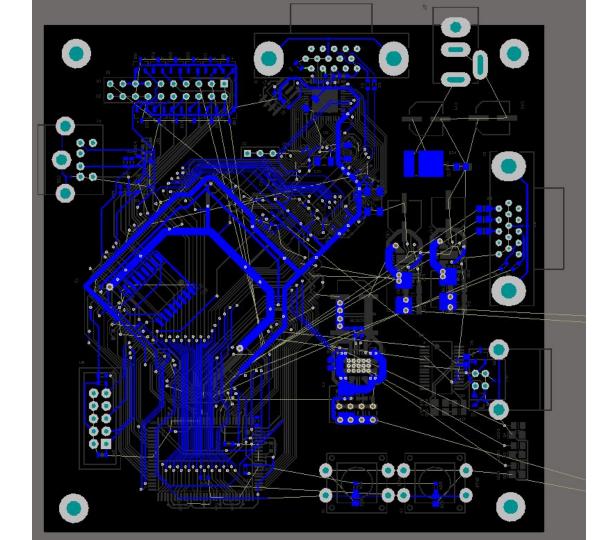
# Płytka PCB: obie warstwy



Płytka PCB: górna warstwa



## Płytka PCB: dolna warstwa



## Cele projektu

- w pełni funkcjonalny moduł FPGA (możliwość zaprojektowania procesora w języku opisu sprzętu),
- moduł powinien zapewniać możliwość załadowania do procesora zarówno programu jak i danych za pomocą portu szeregowego,
- powinien pozwalać na obsługę klawiatury PS2
- powinien pozwalać na graficzną wizualizację pracy procesora na monitorze
  VGA (przy opcjonalnym wykorzystaniu bufora obrazu)

Analiza ryzyka

Ryzyko (prawdopodobieństwo, 1-10)		Skutki (poziom szkód, 1-10)	
Błąd w projekcie schematu	5	Konieczność wprowadzenia zmian w gotowej płytce PCB lub zrezygnowania z pewnej funkcjonalności	7
Błędny dobór elementów	3	Możliwość niewłaściwego działania modułu, w szczególności uszkodzenie układów scalonych	8
Wadliwe lub niskiej jakości elementy kluczowe do działania układu	1	Niedziałanie modułu lub jego kluczowych funkcjonalności (drogie elementy zamienne)	10
Wadliwe lub niskiej jakości elementy peyferyjne	7	Niewłaściwe działanie niektórych funkcjonalności modułu (tanie elementy zamienne, długi czas oczekiwania na ponowną dostawę)	4
Błąd w połączeniu elementów modułu (np. wykorzystanie niewłaściwych portów układu FPGA	4	Wolniejsze działanie lub brak możliwości wykorzystania niektórych komponentów	3

Ryzyko (prawdopodobieństwo, 1-10)		Skutki (poziom szkód, 1-10)	
Błąd w wykonaniu płytki (np. brak połączenia, niewłaściwe połączenie)	1	Ryzyko uszkodzenia lub niepoprawnego działania	8
Niewłaściwy dobór specyficznych parametrów płytki: grubość laminatu, wielkość otworów, odstępy między ścieżkami, wielkość przelotek, grubość ścieżek	4	Mała odporność mechaniczna płytki, zakłócenia, duże opóźnienia w transmisji sygnału	5
Zbyt mała wydajność odprowadzania ciepła od układu FPGA	5	Nagrzewanie się układu i jego otoczenia przy bardziej wymagających obliczeniach i zastosowaniu większej ilości elementów logicznych	2
Zbyt niska wydajność prądowa zasilacza zewnętrznego	2	Niewystarczająca ilość prądu dla układu FPGA w złożonych konfiguracjiach (wiele elementów logicznych, pamięć, pętle PLL)	7
Złe rozmieszczenie elementów na płytce PCB	4	Problemy ze zmontowaniem zestawu lub wykorzystaniem złącz	4

# Testowanie

### **Testowanie**

- testy poszczególnych modułów systemu
  - test działania kluczowych elementów systemu: działanie układu FPGA oraz możliwość jego programowania
  - test połączenia z pamięcią (zapis odczyt, szybkość transmisji)
  - test działania interfejsów PS2, port szeregowy
  - test działania wyjścia video 3 bitowego
  - test działania wyjścia video 24-bitowego oraz bufora ramki
- testy działania całego systemu
- testy działania przykładowego procesora (poprawność obliczeń, szybkość)

