

Tarea 1 IPD-413

1st Sebastián Sánchez

Ingeniería Civil Electrónica

Universidad Técnica Federico Santa María

Valparaíso, Chile

sebastian.sanchezp@usm.cl

Abstract—Este informe presenta la obtención de curvas características y parámetros de dispositivos MOSFET, el diseño de un amplificador de fuente común compuesto por un solo transistor, y el diseño de transistores de potencia para un convertidor DC-DC tipo Buck. Para lograr estos objetivos, se utilizaron métodos de diseño basados en g_m/I_D , junto con herramientas de simulación de código abierto como XSpice y NGSPICE.

Index Terms—MOSFET, g_m/I_D , DC-DC Buck, XSpice, NGSPICE.

I. INTRODUCCIÓN

Este informe corresponde a la primera tarea del curso IPD-413: Seminario Avanzado de Electrónica Industrial. En él se abordan tres actividades principales: la caracterización eléctrica de un transistor MOSFET de bajo voltaje, el diseño de un amplificador de fuente común utilizando la metodología basada en g_m/I_D , y el dimensionamiento de transistores de potencia para un convertidor DC-DC tipo Buck.

II. CARACTERIZACIÓN DEL MOSFET

Para obtener un mejor entendimiento del nodo tecnológico con el cual se está trabajando, resulta fundamental conocer el comportamiento de los dispositivos disponibles. En este caso, se analizarán las curvas características de un transistor de bajo voltaje perteneciente a la tecnología de código abierto IHP-sg13g2.

A. Curva I_{DS} vs V_{GS}

Esta curva representa el efecto de la polarización entre compuerta y fuente sobre la corriente de drenaje del transistor. Particularmente, permite identificar tres zonas características de operación del dispositivo.

Estas curvas permiten observar con claridad las zonas de operación en inversión débil, moderada y fuerte del transistor, asociadas a la respuesta exponencial, cuadrática y lineal de la corriente, respectivamente.

B. Curva I_{DS} vs V_{DS}

Esta curva representa el efecto de la diferencia de potencial entre los terminales *Drain* y *Source* del transistor sobre la corriente de drenaje. Existen tres zonas de operación características: triodo, lineal y saturación, las cuales se observan en la Figura 3.

Para identificar correctamente estas zonas, es necesario conocer el voltaje de compuerta V_{GS} aplicado y el voltaje de umbral V_{th} del dispositivo. Las condiciones que definen cada región son:

- **Zona de triodo:** cuando $V_{DS} < V_{th}$.
- **Zona lineal:** cuando $V_{th} < V_{DS} < V_{GS} - V_{th}$.
- **Zona de saturación:** cuando $V_{DS} > V_{GS} - V_{th}$.

Cada una de estas regiones refleja un comportamiento distinto en la conducción del transistor, lo cual es crucial para su operación en sistemas analógicos y/o digitales.

C. Curva g_m/I_D y f_T vs V_G

Estas curvas han cobrado gran relevancia en los últimos años, ya que permiten analizar el desempeño del dispositivo de manera independiente de la tecnología utilizada. Un valor alto de g_m/I_D es deseable en aplicaciones de baja velocidad o bajo consumo, como sensores; mientras que un valor bajo se prefiere en aplicaciones de alta velocidad, como circuitos RF.

En la Figura 4, se pueden distinguir claramente las zonas de operación mencionadas en la Subsección A: la zona de inversión débil (exponencial), donde g_m/I_D toma valores altos; la zona de inversión moderada, donde la pendiente de la curva g_m/I_D es pronunciada; y la zona de inversión fuerte, donde los valores de g_m/I_D disminuyen y la frecuencia de transición f_T es más alta.

D. Parámetros n y V_{th}

La forma más directa de extraer el voltaje umbral V_{th} de un dispositivo es utilizando comandos de ngspice. Sin embargo, es importante destacar que este valor no es constante,

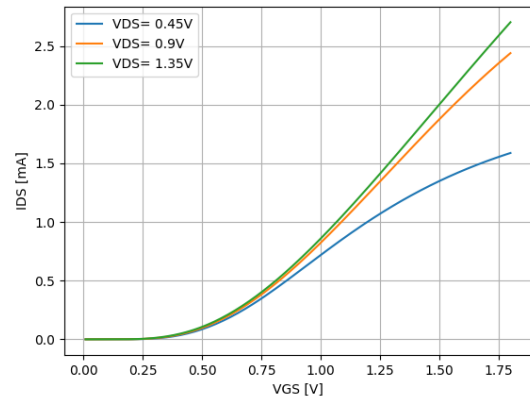


Fig. 1. Curva en escala lineal de I_{DS} vs V_{GS} para distintos valores de V_{DS}

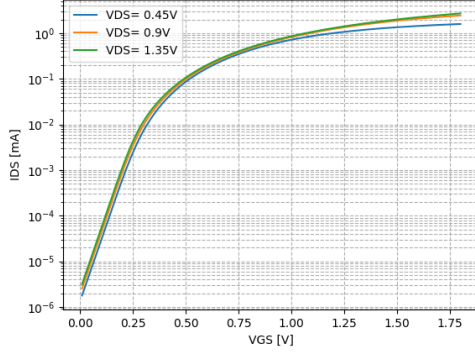


Fig. 2. Curva en escala logarítmica de I_{DS} vs V_{GS} para distintos valores de V_{DS}

ya que depende del potencial en la superficie del canal y de la polarización del terminal *bulk* o *body*.

También se puede estimar V_{th} a partir de la curva I_{DS} vs V_{DS} , observando cuándo el dispositivo entra en saturación; esto ocurre cuando $V_{DS} > V_{GS} - V_{th}$.

Por otro lado, el parámetro n corresponde al llamado *factor de subumbral*, que indica la sensibilidad del transistor al voltaje de compuerta en la región de subumbral. Este parámetro puede calcularse en función de las capacidades parásitas del dispositivo, según la ecuación 1

$$n = 1 + \frac{C_D}{C_{ox}} \quad (1)$$

donde C_D representa la capacitancia de depleción del canal y C_{ox} la capacitancia del óxido de compuerta. Este parámetro es crucial en el diseño de circuitos de bajo consumo y en el análisis de conmutación entre dispositivos vecinos.

III. AMPLIFICADOR CS

El diseño del amplificador con un solo transistor de fuente común fue realizado mediante un procedimiento metódico con el fin de alcanzar las especificaciones deseadas, generando

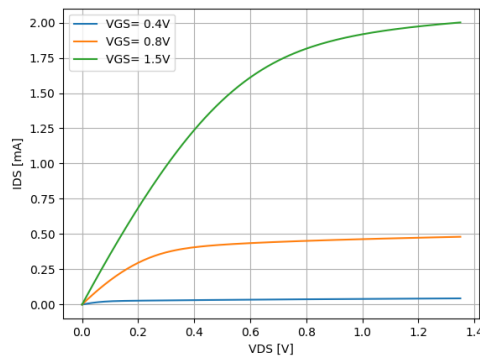


Fig. 3. Curva I_{DS} vs V_{DS} para distintos valores de V_{GS}

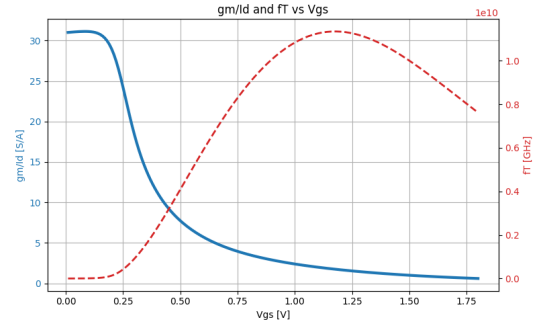


Fig. 4. Curvas g_m/I_D y f_T vs V_G

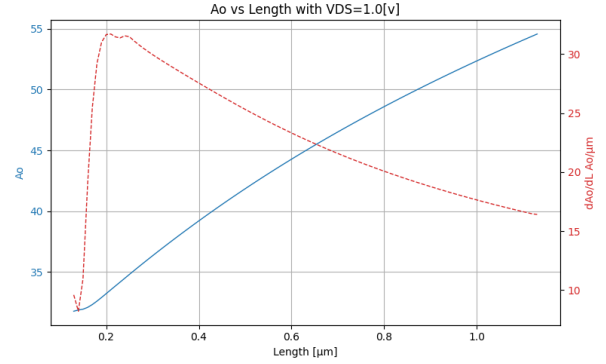


Fig. 5. Barrido del largo del canal del transistor

múltiples curvas que describen el comportamiento del transistor de bajo voltaje.

En primer lugar, para obtener una mejor comprensión de cómo se comporta la ganancia intrínseca del transistor frente a distintos largos de canal —sin aún fijar un valor específico de largo— se generó la curva mostrada en la Figura 5.

Posteriormente, a partir de la ecuación 2, se determinó la transconductancia (g_m) utilizando la especificación del diseño ganancia- ancho de banda con un 10% adicional, con el objetivo de contar con un margen de error adicional.

$$GBW = \frac{g_m}{2\pi C_L} \quad (2)$$

Se definieron diversos valores de g_m/I_D para trabajar, lo que permitió generar múltiples combinaciones de dimensionamiento para el transistor. A través de simulaciones que relacionan g_m/I_D con el voltaje *Gate-Source* y/o con la relación entre la corriente I_D y el ancho W , se obtuvieron los resultados que se resumen en la Tabla I.

TABLE I
VALORES OBTENIDOS PARA EL AMPLIFICADOR CON $L = 0.13 \mu\text{m}$

g_m/I_D	V_G [mV]	W [μm]	GBW [MHz]	A_o [dB]
4	927	5.86	28.77	0.624
9.2	629	28.89	X	X
10	602	41.64	X	X
13	450	31.27	125	32.7

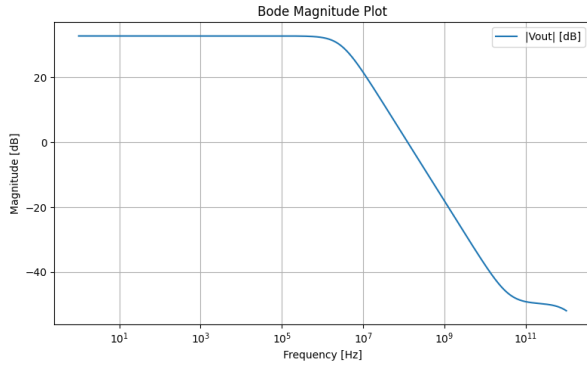


Fig. 6. Diagrama de Bode de V_{out}

Se puede observar que el amplificador cumple con las especificaciones cuando $g_m/I_D = 13$. Dado que esta fue la primera iteración del diseño, y siguiendo el procedimiento descrito, no se generaron iteraciones adicionales que cumplieran con los criterios para otras dimensiones.

En la Figura 6 se puede apreciar que la salida del sistema, en decibeles, comienza a decrecer cerca de 1 MHz, lo que indica la presencia de un polo en dicha frecuencia.

IV. TRANSISTORES DE POTENCIA

Los transistores del convertidor DC-DC tipo Buck son los encargados de reducir un voltaje de entrada DC mediante la conmutación de transistores Q1 y Q2. Se busca diseñarlos para que operen de manera lo más cercana posible a un interruptor ideal, siendo capaces de conducir la corriente requerida para el funcionamiento esperado del sistema.

A. Dimensionamiento de Transistores

El dimensionamiento de los transistores es crucial para la eficiencia del convertidor. Para que estos actúen como interruptores, es necesario minimizar su resistencia de encendido, lo cual se logra utilizando el mínimo valor permitido para el largo del canal y el máximo valor permitido para el ancho del canal. Además, para asegurar la correcta conmutación, se deben aplicar voltajes de activación adecuados: V_{DD} para los NMOS y GND para los PMOS.

Posteriormente, se modificó la multiplicidad del transistor Q1 (PMOS) para igualar la resistencia de encendido de ambos dispositivos ante una caída del 10% del valor de V_{DD} , es decir una caída de 330[mV]. Como resultado, se determinó que el transistor PMOS debía tener una multiplicidad tres veces mayor que la del NMOS.

Para alcanzar la corriente de operación deseada de 2 A, se utilizó como referencia la corriente obtenida en el transistor Q2 con los parámetros mencionados, la cual fue de 1.953 mA. A partir de esta medición, se fijó la multiplicidad del transistor NMOS en 1024 y la del PMOS en 3072. Los resultados del dimensionamiento se resumen en la Tabla II.

Estos transistores operan en la región de triodo, ya que están funcionando como interruptores y la caída de tensión entre sus

TABLE II
DIMENSIONES DE LOS TRANSISTORES DE POTENCIA

Dispositivo	W [μm]	L [μm]	Multiplicidad
Q1 (PMOS)	10	0.4	3072
Q2 (NMOS)	10	0.45	1024

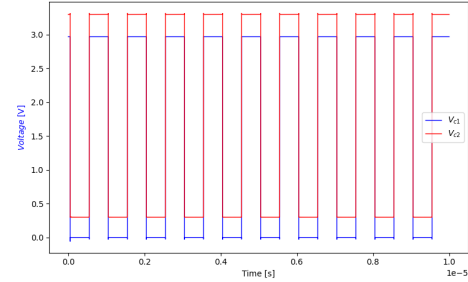


Fig. 7. Voltaje en terminal *Source* de los transistores

terminales *Drain* y *Source* es menor que el voltaje de umbral ($V_{th} \approx 0.58 \text{ V}$).

B. Verificación del Funcionamiento como Interruptores

Para corroborar el comportamiento esperado, se evaluó la caída de voltaje y la corriente entre los terminales de los transistores conectados a una resistencia que, según la Ley de Ohm, genera la corriente deseada ($R = \frac{V_{DD} - 0.1 V_{DD}}{I_{on}}$). En la Figura 7 se verifica que los transistores conmutan correctamente, y en la Figura 8 se comprueba que se genera la corriente deseada.

C. Verificación de Métricas de Desempeño

Se verificó que el diseño de los transistores de potencia permitiera alcanzar los resultados deseados en el convertidor DC-DC tipo Buck. Sin embargo, al simular con los valores iniciales, no se obtuvieron resultados satisfactorios. Por lo que se realizaron múltiples iteraciones modificando únicamente la multiplicidad de los transistores. Estos resultados se presentan en la Tabla III, donde M representa la multiplicidad utilizada para el transistor Q2 (con $M_1 = 3M_2$).

Los resultados iniciales para $M = 1024$ estuvieron numéricamente cercanos a las especificaciones, pero no fueron suficientes para cumplirlas completamente. Se concluyó que era necesario escalar el número de transistores por un factor de

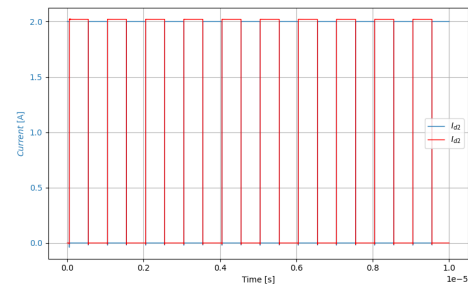


Fig. 8. Corriente *Drain-Source* de los transistores

TABLE III
RESULTADOS OBTENIDOS PARA DIFERENTES VALORES DE MULTIPLICIDAD

Métrica	$M = 1024$	$M = 8192$	$M = 8704$
Eficiencia [%]	84.88	95.10	94.98
I_{out} [A]	1.73	1.997	2.00
V_{out} [V]	1.56	1.798	1.80
P_{out} [W]	2.72	3.597	3.60

8.5, lo que implica un aumento considerable del área ocupada y, por tanto, un mayor costo de fabricación.

D. Análisis en Frecuencia

Se analizó la eficiencia del convertidor en función de la frecuencia de conmutación de los transistores Q1 y Q2. Se encontró que la máxima eficiencia alcanzada fue de aproximadamente 98.64% a una frecuencia de 5 MHz. Es notable mencionar que el transistor Q1 es el que posee más pérdidas de potencia, tanto para baja como para alta frecuencia.

E. Utilización de Área

Para estimar el área ocupada, se consideraron las reglas de diseño del *layout* de los dispositivos, obteniendo la siguiente expresión aproximada:

$$A [\mu m^2] = W \cdot [(0.68 + L)M + (M - 1) \cdot 0.21] \quad (3)$$

donde W representa el ancho en μm , L el largo en μm , M la multiplicidad, $0.68 \mu m$ se refiere al espaciado relacionado al contacto, y $0.21 \mu m$ a la separación entre transistores.

Aplicando esta expresión, se determinó que el área total utilizada es de aproximadamente $112\,279.5 \mu m^2$, siendo el transistor PMOS el que ocupa la mayor proporción. Esto se debe a que, para conducir una misma corriente, se requieren aproximadamente tres veces más transistores PMOS que NMOS, como consecuencia de la menor movilidad de portadores (huecos) en el silicio tipo p+ en comparación con la movilidad de electrones en el silicio tipo n+.