

## ➤ **Circuits séquentiels**

**Pré requis : Numération-codage ; Algèbre de Boole et Circuits logiques combinatoires.**

**Objectif général :**

**Analyser le fonctionnement des circuits séquentiels.**

**Objectifs spécifiques :**

**L'étudiant doit être capable de :**

- différencier un circuit combinatoire d'un circuit séquentiel ;**
- distinguer un circuit asynchrone d'un circuit synchrone ;**

## ➤ **Circuits séquentiels**

- **Décrire le mode de fonctionnement d'une bascule asynchrone ou synchrone ;**
- **décrire le fonctionnement d'un registre ;**
- **distinguer les différents modes de chargement et de décalage d'un registre ;**
- **synthétiser un compteur asynchrone ou synchrone à cycle complet ou incomplet ;**
- **analyser le fonctionnement d'un compteur asynchrone ou synchrone.**

# ➤ **Circuits séquentiels**

## **CONTENU DU COURS**

- **Circuits séquentiels asynchrone et synchrone ;**
- **Bascules ;**
- **Registres ;**
- **Compteurs ;**
- **Mémoires.**

## ➤ **Circuits séquentiels**

### **Bibliographie**

- **Mc. BELAID et collectif, (2010). Logique combinatoire et séquentielle. Edition Presses de Mitidja, Alger ;**
- **J. J. MERCIER, (2006). Computers 2, séquence après séquence, logique séquentielle. Edition Ellipses ;**
- **Roger L. TOKHEIM, (1987). Techniques numériques. Edition Mc Graw-Hill ;**
- **Jean LETOCHA, (1985). Introduction aux circuits logiques. 2e édition Chenelière/Mc Graw-Hill.**

## ➤ Circuits séquentiels

### ✓ Définition

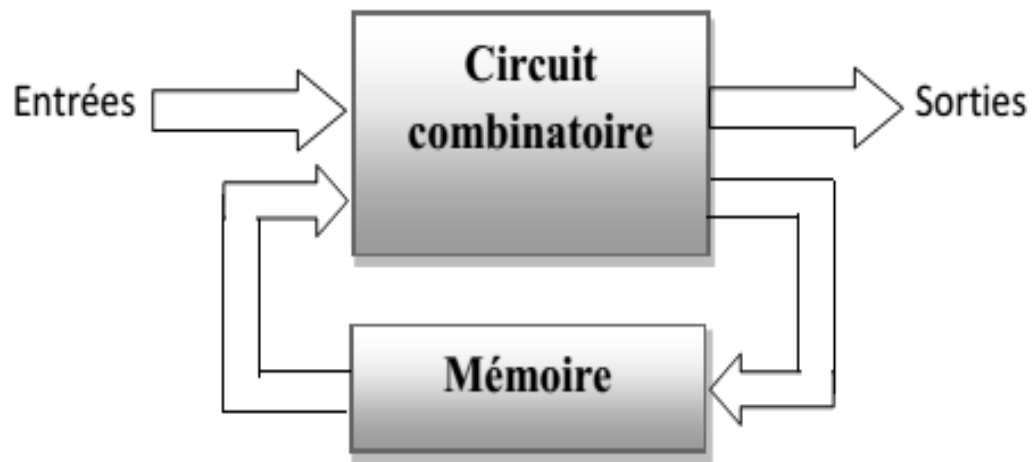
Un circuit séquentiel est un système bouclé permettant la conservation d'un état dépendant de la valeur des variables d'entrées ainsi que de l'état antérieur du système.

Si  $Q$  est l'état d'un système séquentiel,  $A$  ses entrées et  $B$  ses sorties, nous avons de manière générale :

$$\begin{cases} Q^+ = F(A, Q) \\ B = G(A, Q) \end{cases}$$

$$\begin{cases} Q_{n+1} = F(A, Q_n) \\ B = G(A, Q_n) \end{cases}$$

$$\begin{cases} Q = F(A, Q) \\ B = G(A, Q) \end{cases}$$



## ➤ **Circuits séquentiels**

### ✓ **Circuit séquentiel asynchrone**

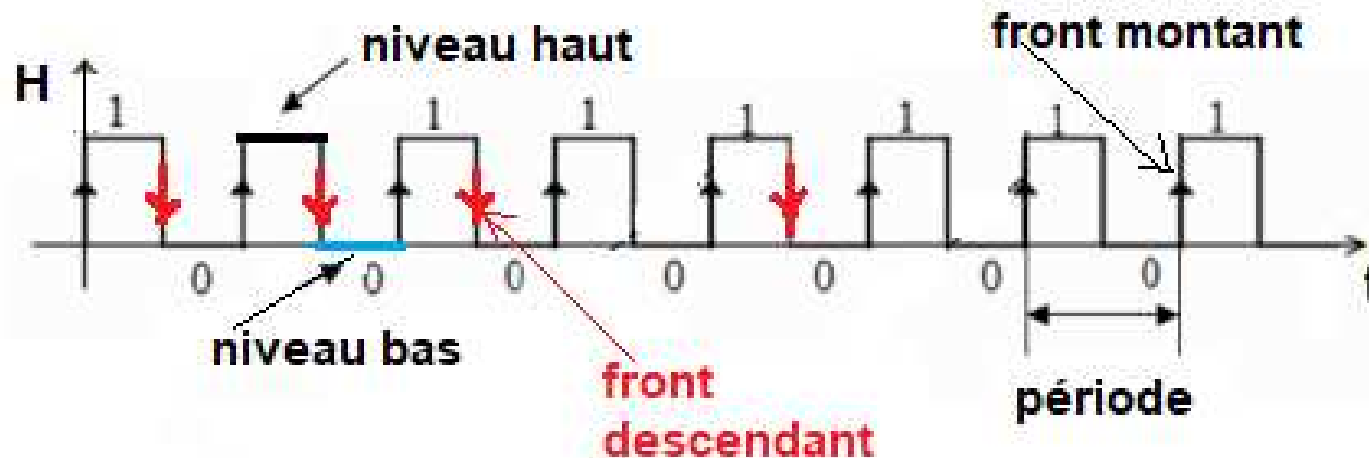
**Les changements d'état se produisent à des instants qui dépendent des temps de réponse des autres composants et des temps de propagation des signaux. Les retards peuvent ne pas être identiques pour toutes les variables binaires et conduire à certains aléas. Les sorties d'un circuit asynchrone peuvent changer d'états à tout instant.**

## ➤ Circuits séquentiels

### ✓ Circuit séquentiel synchrone

Les changements d'états sont synchronisés sur un signal de contrôle.

Les sorties du circuit synchrone ne peuvent changer d'états qu'à des instants particuliers (synchronisation par une horloge de période  $T$ )



**Chronogramme d'impulsions d'horloge**

## ➤ Circuits séquentiels

### ✓ Circuit séquentiel synchrone

- Types de synchronisations

- ✓ Deux types sur niveau : haut ( $H=1$ ) et bas ( $H=0$ )
- ✓ Deux types sur front : front montant et front descendant

- Inconvénients synchronisation sur niveau :

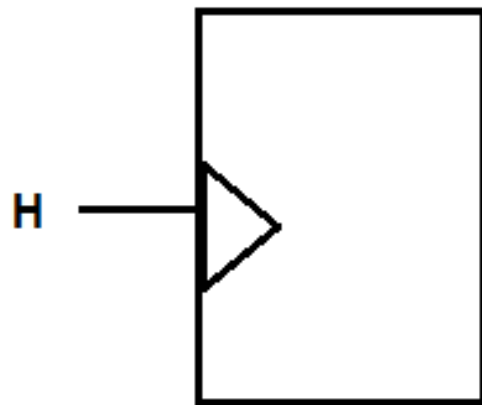
la valeur de sortie est modifiée à chaque changement des valeurs d'entrées pendant toute la durée de l'état de l'horloge. Si, pendant cette durée, des parasites apparaissent sur les entrées, ceux-ci peuvent entraîner des changements d'état imprévus sur la sortie



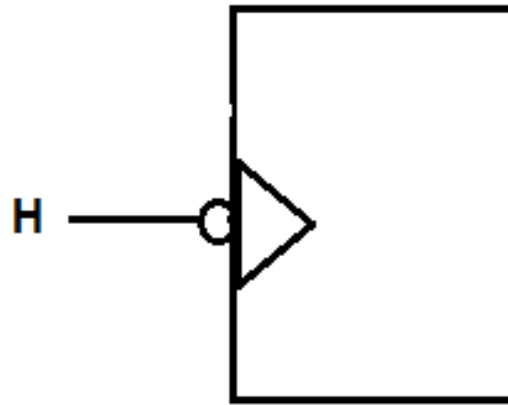
## ➤ Circuits séquentiels

### ✓ Circuit séquentiel synchrone

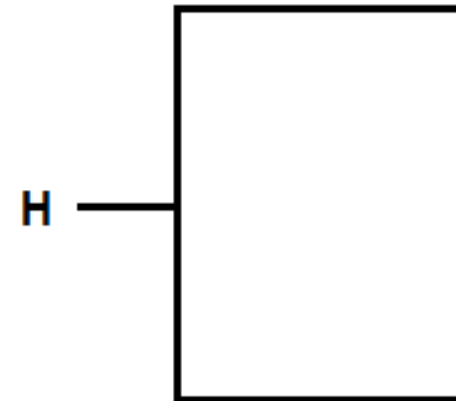
- symbolisations de synchronisations



Front montant



Front descendant

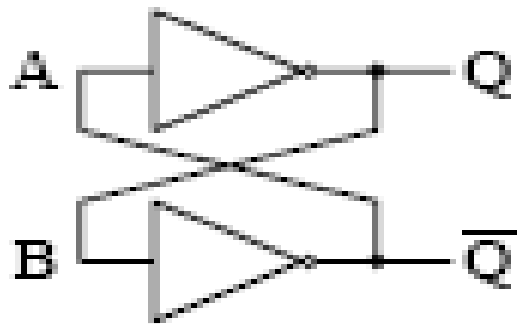


Niveau

## ➤ Circuits séquentiels

### ✓ Bascule

Une bascule (flip-flop) est une mémoire à 1 bit. Une bascule possède deux sorties complémentaires. La mémorisation fait appel à un verrou (latch) ou système de blocage.



$$\begin{cases} Q = 1 \Rightarrow B = 1 \Rightarrow \overline{Q} = 0 \Rightarrow A = 0 \Rightarrow Q = 1 \\ Q = 0 \Rightarrow B = 0 \Rightarrow \overline{Q} = 1 \Rightarrow A = 1 \Rightarrow Q = 0 \end{cases}$$

Une bascule ne peut donc être que dans deux états : "1" et "0". Les interconnexions du verrou interdisent les deux autres combinaisons :

$$Q = \overline{Q} = 1$$

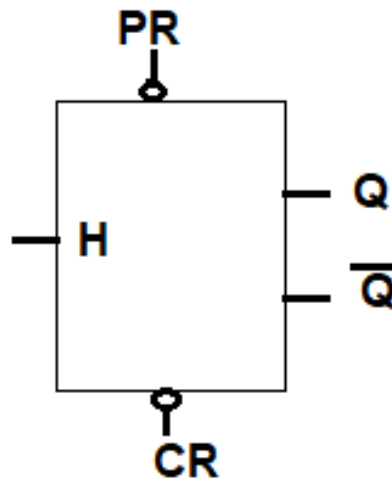
$$Q = \overline{Q} = 0$$

## ➤ Circuits séquentiels

### ✓ Bascule

Une bascule peut avoir des entrées asynchrones Prest (P ou PR) et Clear (C ou CR ou CLR), qui forcent la sortie à 1 ou 0, indépendamment des entrées de données et H : PR force la sortie à 1 et CLR force la sortie à 0.

Dans la mesure du possible, ces entrées asynchrones sont utilisées uniquement pour l'initialisation ou le test des bascules.



## ➤ Circuits séquentiels

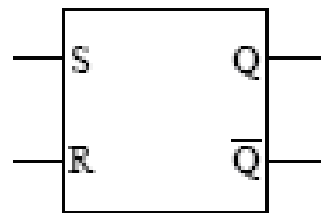
### ✓ Bascule

Le contenu de l'élément mémoire est modifié, compte tenu de l'entrée de donnée, lorsque l'ordre de mémorisation est transmis.

Cet ordre est :

- de type *niveau* pour le *latch*,
- de type *front* pour le *flip-flop*.

#### • Bascules R-S (Reset- Set)



**Symbole**

#### ***Fonctionnement :***

**S=1**  $\Rightarrow$  **Q=1**. Si on met S à 0, Q reste à 1  $\Rightarrow$  mémorisation du 1.

**R=1**  $\Rightarrow$  **Q=0**. si ensuite on met R à 0, Q reste à 0  $\Rightarrow$  mémoire du 0.

## ➤ Circuits séquentiels

- Bascules R-S (Reset- Set)
  - Tableau de transition ou de vérité

Entrées			Sorties		Mode de fonctionnement
R	S	$Q_n$	$Q_{n+1}$	$\overline{Q}_{n+1}$	
0	0	0	0	1	Etat précédent Etat précédent Enclenchement Maintien à 1 Déclenchement Maintien a 0 Interdit Interdit
0	0	1	1	0	
0	1	0	1	0	
0	1	1	1	0	
1	0	0	0	1	
1	0	1	0	1	
1	1	0	x	x	
1	1	1	x	x	

## ➤ Circuits séquentiels

- Bascules R-S (Reset- Set)

Equations logiques

**RS**

		00	01	11	10
$Q_{n+1}$	0	0	1	x	0
$Q_n$	1	1	1	x	0

$$Q_{n+1} = S + \bar{R} \cdot Q_n$$

$$Q_{n+1} = \bar{R} \cdot (S + Q_n)$$

$$Q_{n+1} = \overline{\bar{S} \cdot \bar{R} \cdot Q_n}$$

$$Q_{n+1} = \overline{R + \bar{S} + \bar{Q}_n}$$

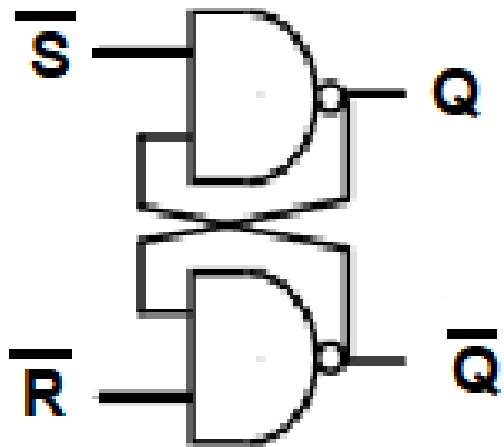
## ➤ Circuits séquentiels

- Bascules R-S (Reset- Set)

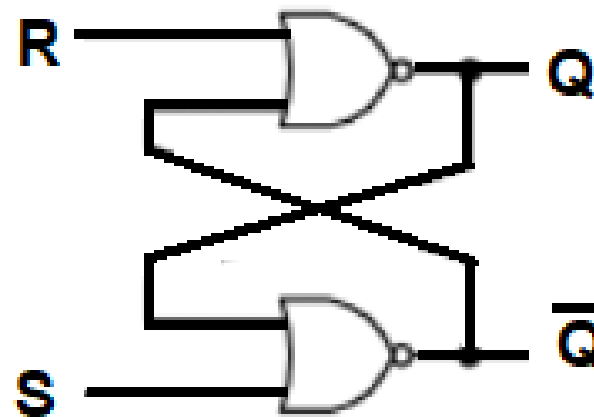
Logigrammes

$$Q_{n+1} = \overline{\overline{S} \cdot \overline{R} \cdot Q_n}$$

$$Q_{n+1} = \overline{R + S + Q_n}$$



RS en NAND



RS en NOR

## ➤ Circuits séquentiels

- Bascules R-S (Reset- Set)

Tables de vérité

$\overline{S}$	$\overline{R}$	$Q_{n+1}$	$\overline{Q_{n+1}}$
0	0	X	X
0	1	1	0
1	0	0	1
1	1	$Q_n$	$\overline{Q_n}$

$S$	$R$	$Q_{n+1}$	$\overline{Q_{n+1}}$
0	0	$Q_n$	$\overline{Q_n}$
0	1	0	1
1	0	1	0
1	1	X	X

Les deux inverseurs sur les lignes d'entrée (RS-NAND), permettent de retrouver une table de vérité comparable à celle de la bascule RS-NOR.



## ➤ Circuits séquentiels

- Bascules R-S (Reset- Set)

### Tables de vérité réduits

Table de vérité

$R$	$S$	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	0	$Q_n$	$\overline{Q_n}$
0	1	1	0
1	0	0	1
1	1	X	X

ou

Table de vérité

$R$	$S$	$Q$	$\overline{Q}$
0	0	$Q$	$\overline{Q}$
0	1	1	0
1	0	0	1
1	1	X	X

Fonctionnement

Mémoire ou Etat précédent ou Statuquo

Mise à 1 ou Remise à un (RAU)

Remise à zéro (RAZ)

Interdit ou à proscrire

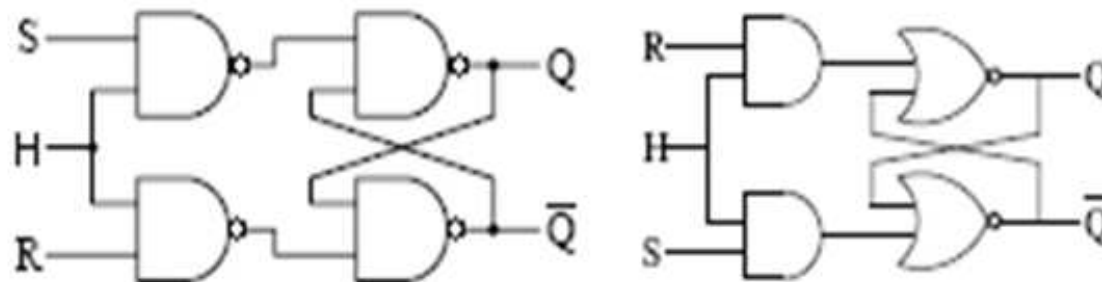
## ➤ Circuits séquentiels

- Bascules RS synchrone

Bascule RS synchrone : RST ou RSH ou RS-Clock est tel que S et R ne jouent leur rôle qu'en coïncidence avec un signal de commande d'horloge.

TV

Mode	Clk	S	R	Q	$\bar{Q}$
Statu quo	1	0	0	Q	$\bar{Q}$
Réinitialisation	1	0	1	0	1
Initialisation	1	1	0	1	0
Interdit	X	1	1	?	?



**RSH à NAND**

Dr Salou HAMIDOU

**RSH à NOR**

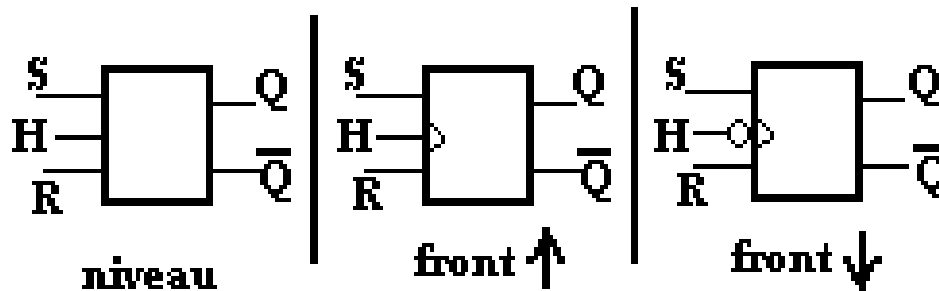
## ➤ Circuits séquentiels

- **Basculer RS synchrone**
  - ✓ Pour garder la complémentarité des sorties, on garde  $H$  à 0 tant que  $R=S=1$ , d'où une avancée par rapport à la RS ;
  - ✓ S et R n'influencent Q que lorsque l'horloge est au niveau haut ;
  - ✓ Avantage de RSH par rapport à RS est sa sensibilité moindre aux parasites. Comme la bascule n'est sensible au bruit que lorsque l'horloge est au niveau haut, plus les états hauts de l'horloge seront brefs, moins la bascule sera sensible.

## ➤ Circuits séquentiels

- Bascules RS synchrone

### Modes d'activation des bascules RSH



### Chronogramme RSH

### Table de vérité RSH

H	S	R	Q	$\overline{Q}$
0	X	X	Q	$\overline{Q}$
X	0	0	Q	$\overline{Q}$
1	0	1	0	1
1	1	0	1	0
1	1	1	X	X

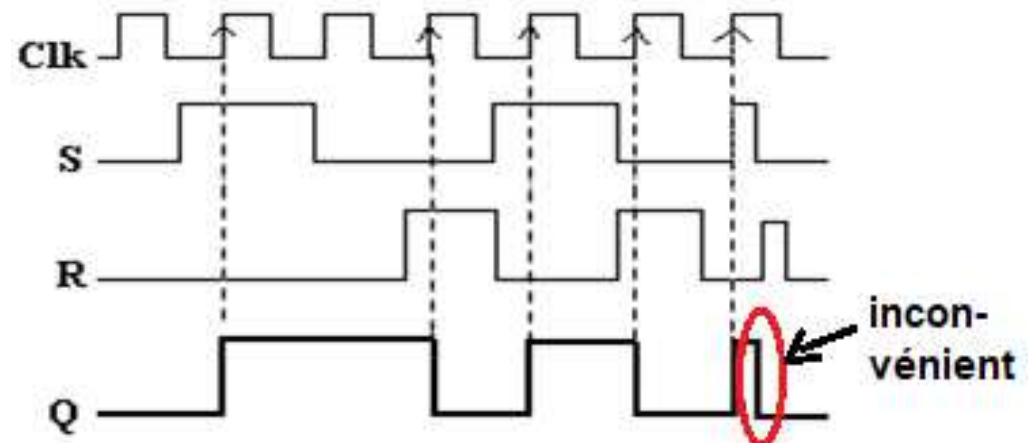


Diagramme de temporisation d'une RSH  
à déclenchement par flanc montant

## ➤ Circuits séquentiels

- Bascule JK

*Fonctionnement de la J (Jack)- K(King):*

$J = 1 \Rightarrow Q=1$  et  $K=1 \Rightarrow Q=0$  et  $J=K=1 \Rightarrow$  état opposé à l'état précédent

Table de transition

Entrées			Sorties		Mode de fonctionnement
J	K	$Q_n$	$Q_{n+1}$	$\overline{Q}_{n+1}$	
0	0	0	0	1	Etat précèdent
0	0	1	1	0	
0	1	0	0	1	Déclenchement
0	1	1	0	1	
1	0	0	1	0	Enclenchement
1	0	1	1	0	
1	1	0	1	0	Basculement
1	1	1	0	1	

## ➤ Circuits séquentiels

- Bascule JK

Equations logiques

**JK**

The truth table for a JK flip-flop shows the next state  $Q_{n+1}$  based on the current state  $Q_n$  and inputs J and K. The table is a 2x4 grid. The columns are labeled with JK combinations: 00, 01, 11, and 10. The rows are labeled with  $Q_n$  values: 0 and 1. The next state  $Q_{n+1}$  is indicated by a circle and a line pointing to the top-left cell. The cells contain the following values: (0,00)=0, (0,01)=0, (0,11)=1, (0,10)=1, (1,00)=1, (1,01)=0, (1,11)=0, (1,10)=1. There are four highlighted groups: a blue rectangle around (0,00) and (0,01); a red oval around (0,11) and (0,10); a green rectangle around (1,01) and (1,11); and blue rectangles around (1,00) and (1,10).

	00	01	11	10
$Q_n = 0$	0	0	1	1
$Q_n = 1$	1	0	0	1

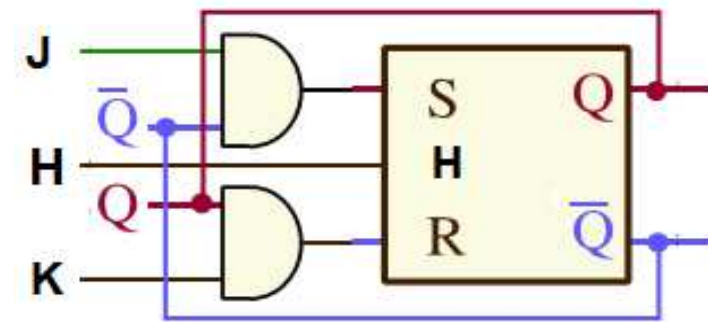
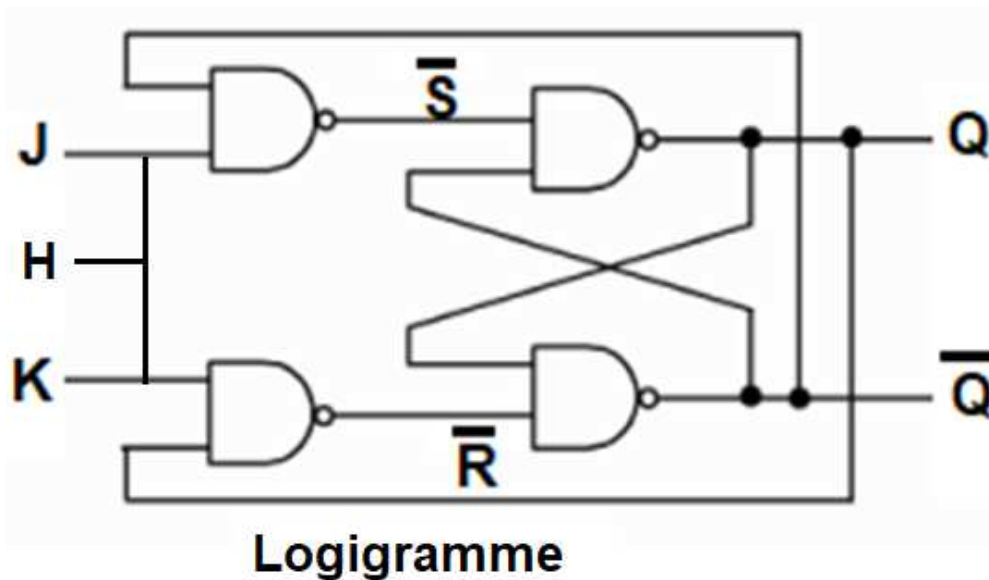
$$Q_{n+1} = J \cdot \overline{Q_n} + \overline{K} \cdot Q_n$$

$$Q_{n+1} = (J + Q_n)(\overline{K} + \overline{Q_n})$$

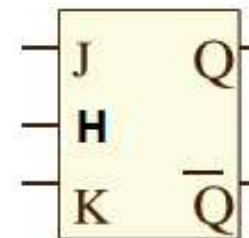
## ➤ Circuits séquentiels

- **Bascule JK**

La bascule JK lève l'ambiguïté qui existe au niveau de la RS. Ceci peut être obtenu en réalisant un asservissement des entrées R et S aux sorties Q et Q barre



Logigramme



Symbole

## ➤ Circuits séquentiels

- Bascule JK

### Tables de vérité

Table de vérité

J	K	$Q_{n+1}$	$\overline{Q}_{n+1}$
0	0	$Q_n$	$\overline{Q_n}$
0	1	0	1
1	0	1	0
1	1	$\overline{Q_n}$	$Q_n$

ou

Table de vérité

J	K	Q	$\overline{Q}$
0	0	Q	$\overline{Q}$
0	1	0	1
1	0	1	0
1	1	$\overline{Q}$	Q

Fonctionnement

Mémoire

Mise à zéro ou  
RAZ

Mise à un ou  
RAU

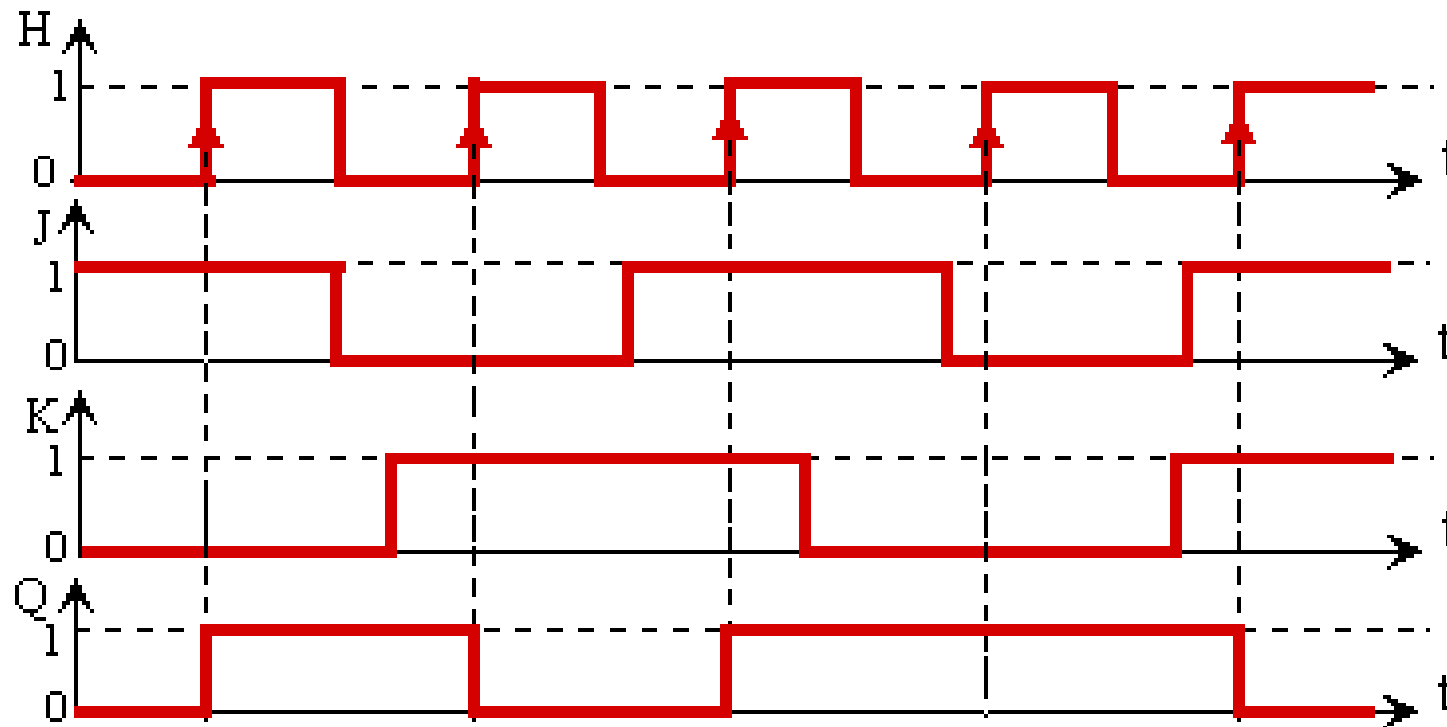
Basculement



## ➤ Circuits séquentiels

- Bascule JK

### Chronogramme JK active sur front montant



Chronogramme d'une JK

## ➤ Circuits séquentiels

### Bascule D (Delay) :

Bascule à retardement, transmet la donnée sur D à Q avec un retard correspondant à une période d'impulsion d'horloge.

Table de transition

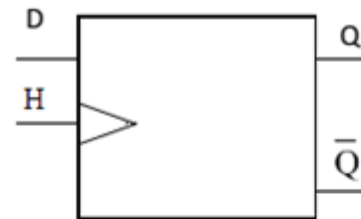
D	Q <sub>n</sub>	Q <sub>n+1</sub>	$\overline{Q}_{n+1}$
0	0	0	1
0	1	0	1
1	0	1	0
1	1	1	0

$$Q_{n+1} = D$$

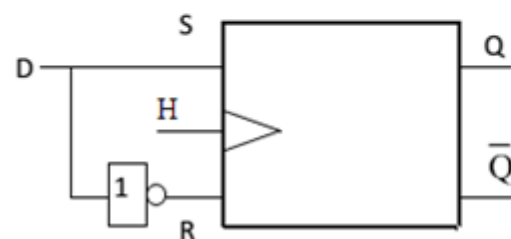
$$Q_{n+1} = S + \overline{R} \cdot Q_n$$

$$Q_{n+1} = D = D \cdot Q_n + D \cdot \overline{Q}_n$$

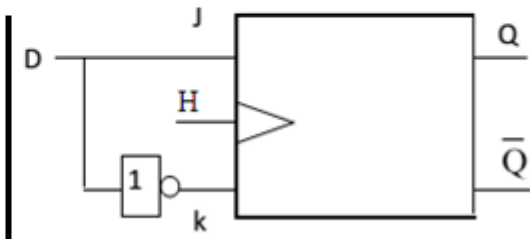
$$Q_{n+1} = J \cdot \overline{Q}_n + \overline{K} \cdot Q_n$$



Symbole



Bascule D à base de RSH

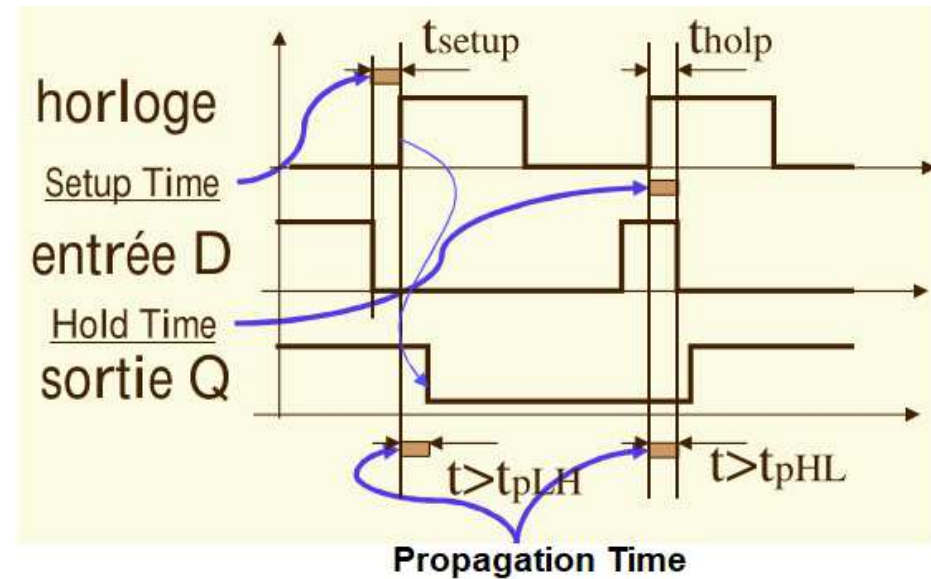


Bascule D à base de JK

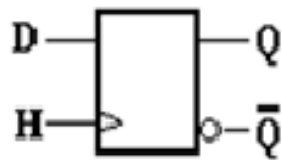
## ➤ Circuits séquentiels

### • Bascule D (Delay)

A l'apparition d'un front actif d'horloge, un temps au moins égal au temps de propagation pour la transition attendue, est nécessaire pour observer le changement des sorties



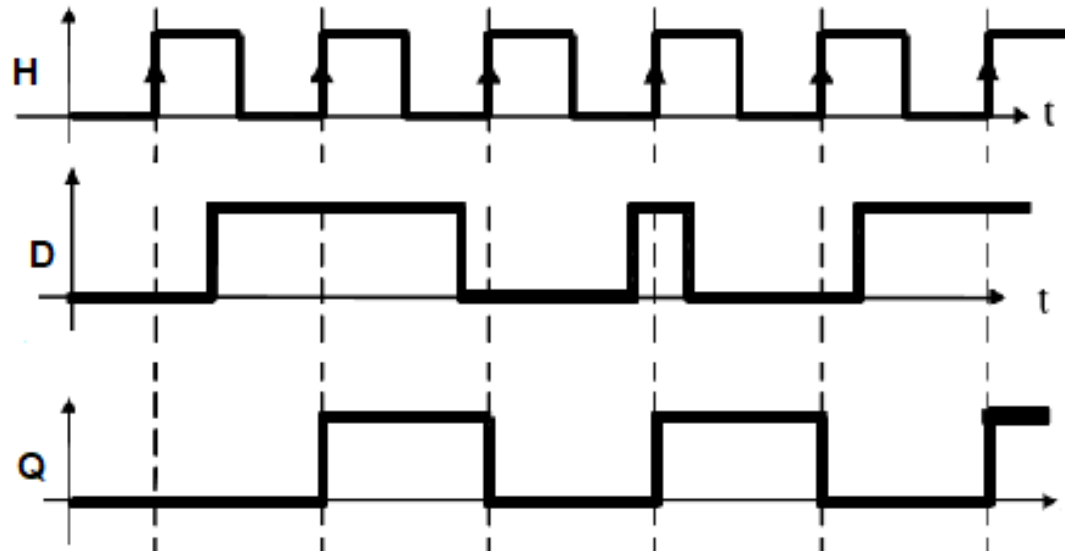
### Chronogramme



Symbole

H	D	Q	$\bar{Q}$
0	0	Mémoire	Mémoire
0	1	Mémoire	Mémoire
1	0	0	1
1	1	1	0

Table de vérité



Chronogramme bascule D actif sur front montant

## ➤ Circuits séquentiels

- Bascule D-Latch

D-Latch est une bascule RST où on n'a conservé que les deux combinaisons ( $R=0, S=1$ ) et ( $R=1, S=0$ ).

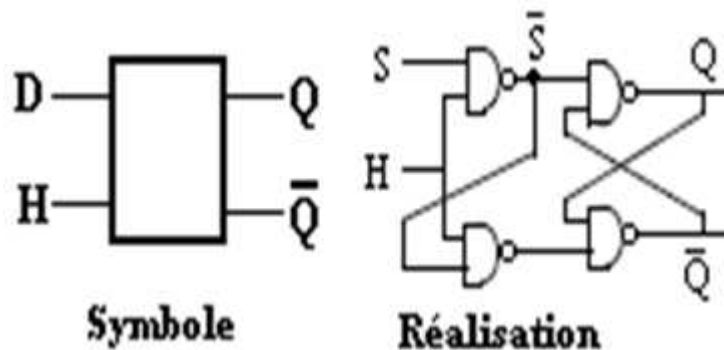
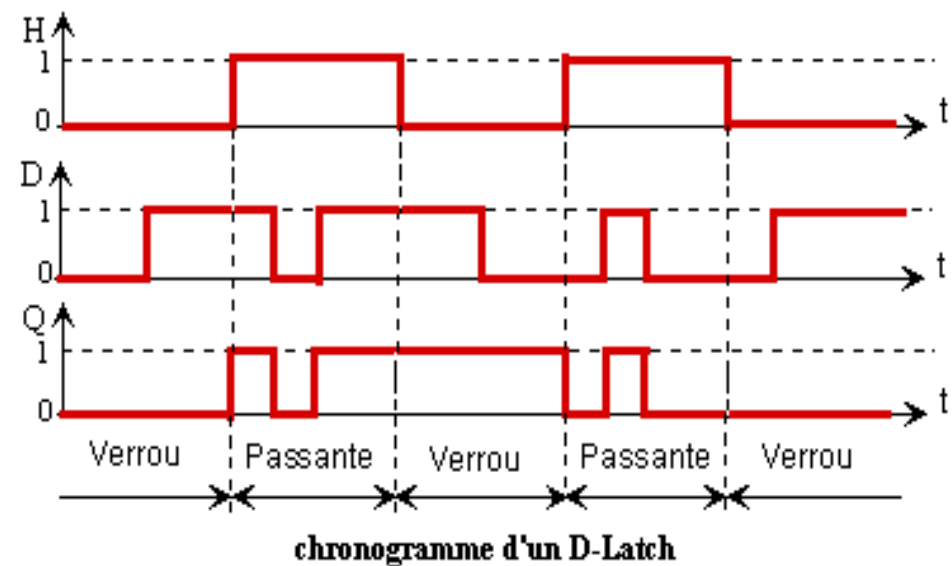


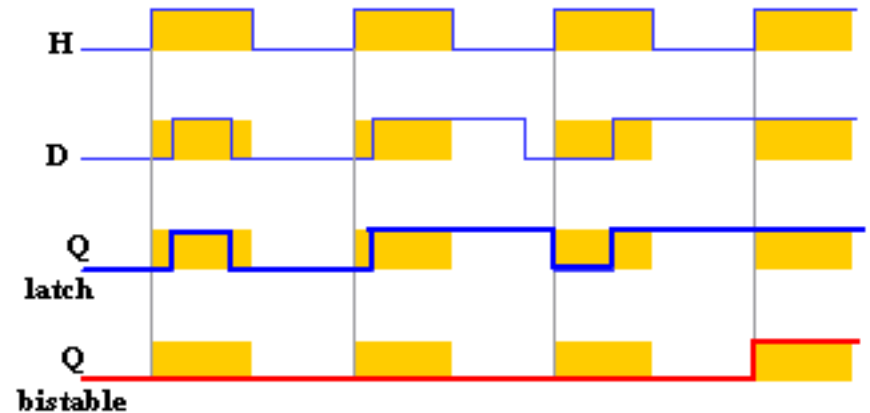
Table de vérité

H	D	Q	$\bar{Q}$
0	X	Mémoire	
1	0	0	1
1	1	1	0



## ➤ Circuits séquentiels

- Comparaison Bascules D et D-latch



Différence de comportement entre D-latch et D-bistable

- Bascule D 7474

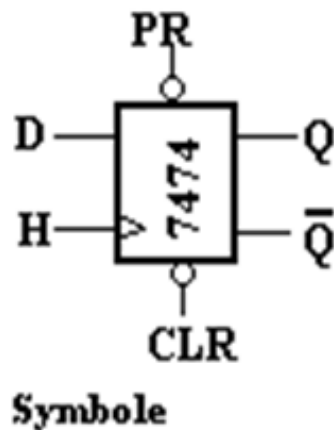
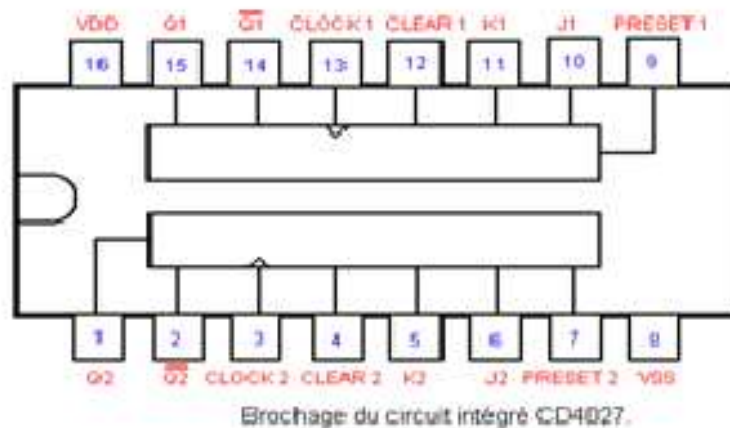
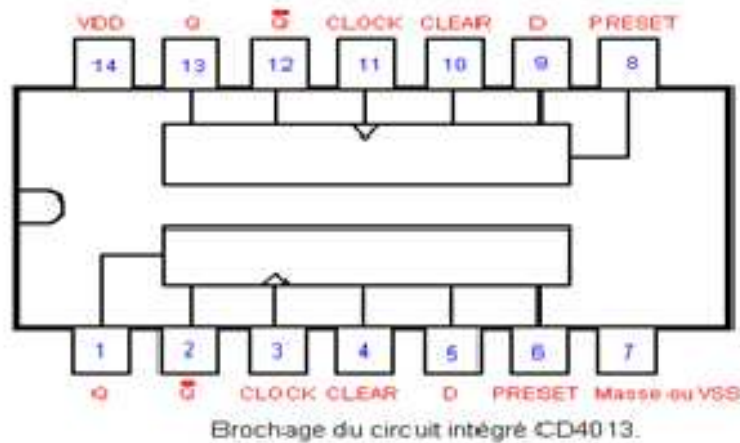
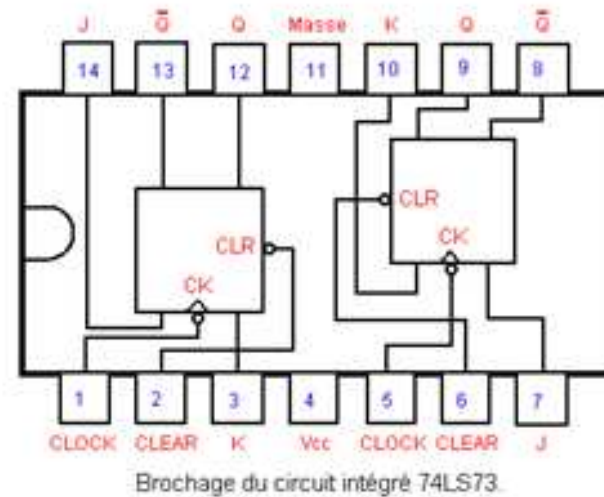
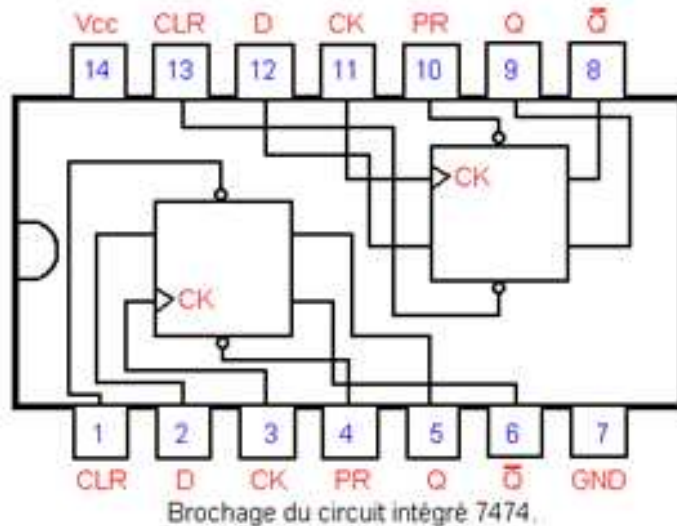


Table de vérité

Mode	PR	CLR	H	D	Q	$\bar{Q}$
Initialisation asynchrone	0	1	X	X	1	0
Réinitialisation asynchrone	1	0	X	X	0	1
Interdit	0	0	X	X	?	?
Initialisation synchrone	1	1	↑	1	1	0
Réinitialisation synchrone	1	1	↑	0	0	1
Statu quo	1	1	0	X	Mémoire	

## ➤ Circuits séquentiels

- Circuits intégrés types TTL et CMOS



## ➤ **Circuits séquentiels**

- **Bascules Maître Esclave (Master Slave)**

**Les bascules maître-esclave (M/S) permettent de diminuer la sensibilité aux parasites en minimisant la période de transparence. La nature des bascules maître-esclave vient du fait que deux bascules montées en cascade et commandées par deux horloges en opposition de phase réalisent la même fonction qu'une seule bascule.**

## ➤ **Circuits séquentiels**

- **Basculer Maître Esclave (Master Slave)**

**La différence vient du fait que la bascule ne fonctionne plus sur le niveau haut de l'horloge, mais sur son front descendant :**

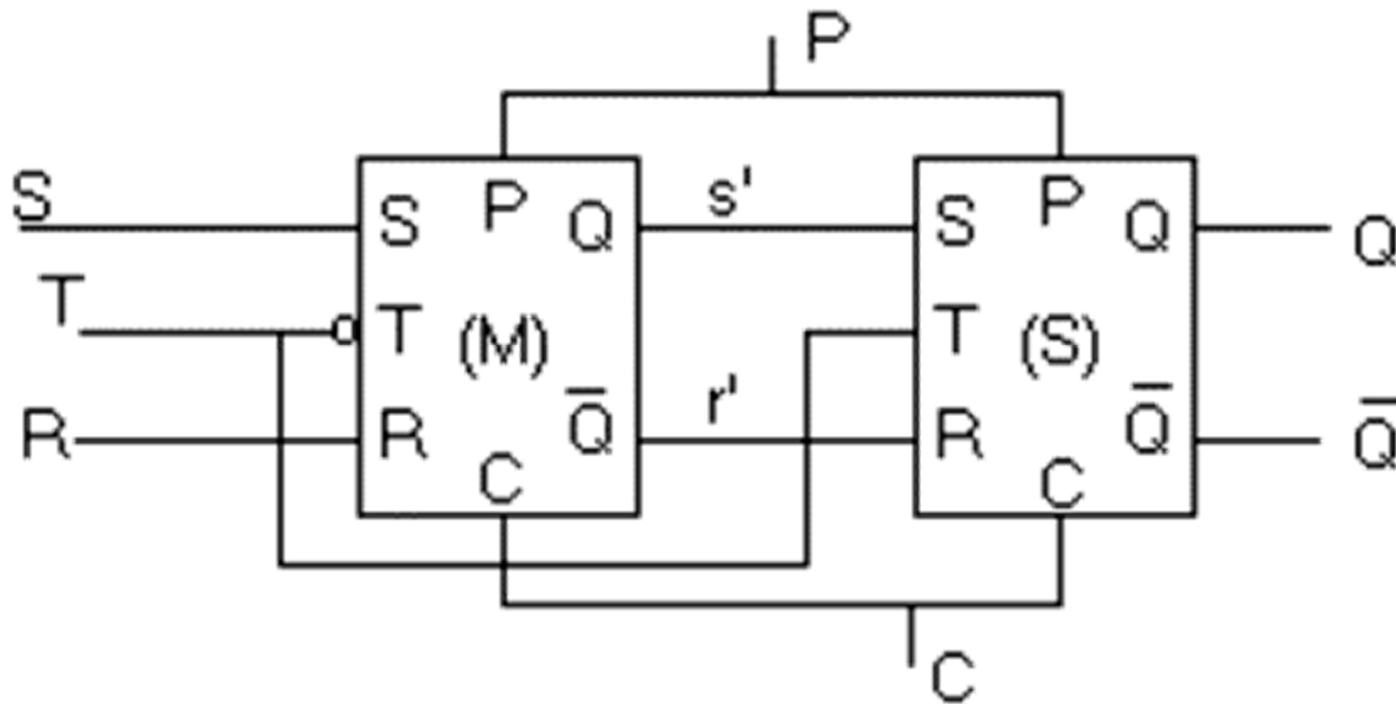
- **sur le niveau bas de l'horloge, le premier étage (maître) fonctionne en mode « mémorisation », et le deuxième étage (esclave) est en mode normal ;**
- **sur le niveau haut de l'horloge, le maître fonctionne en mode normal, et l'esclave est dans l'état « mémorisation ».**



## ➤ Circuits séquentiels

- **Bascule RS Maître Esclave**

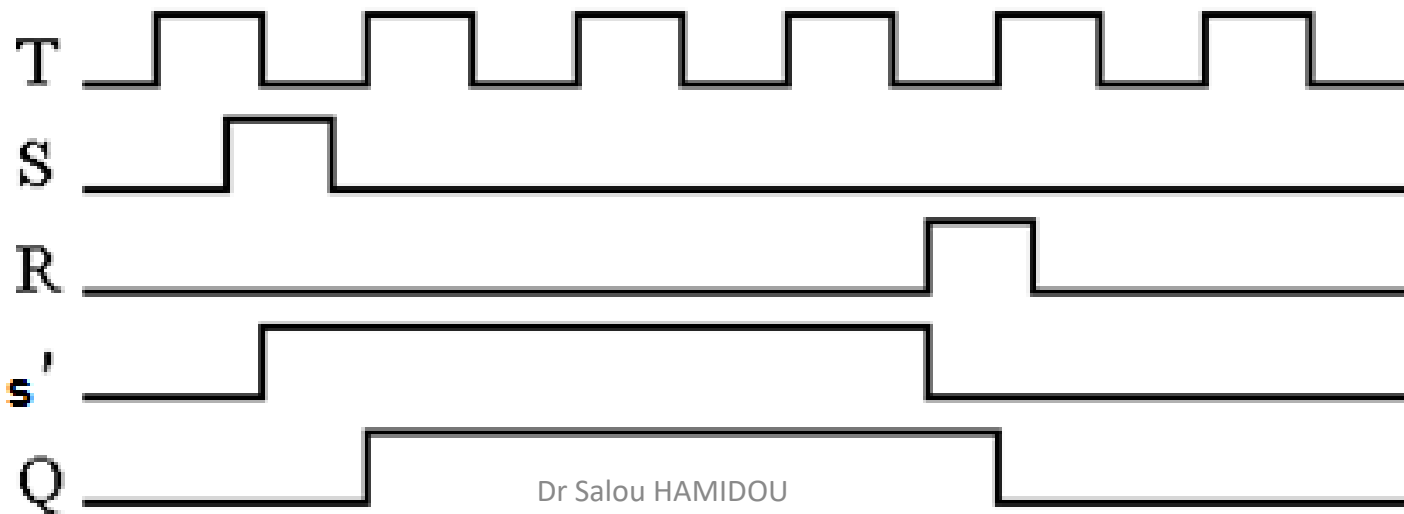
Deux bascules RST sont reliées en série. Une seule est validée à la fois (T inversé). Une entrée Preset (P) permet le forçage à 1 de l'ensemble, une entrée Clear (C) le forçage à 0.



## ➤ Circuits séquentiels

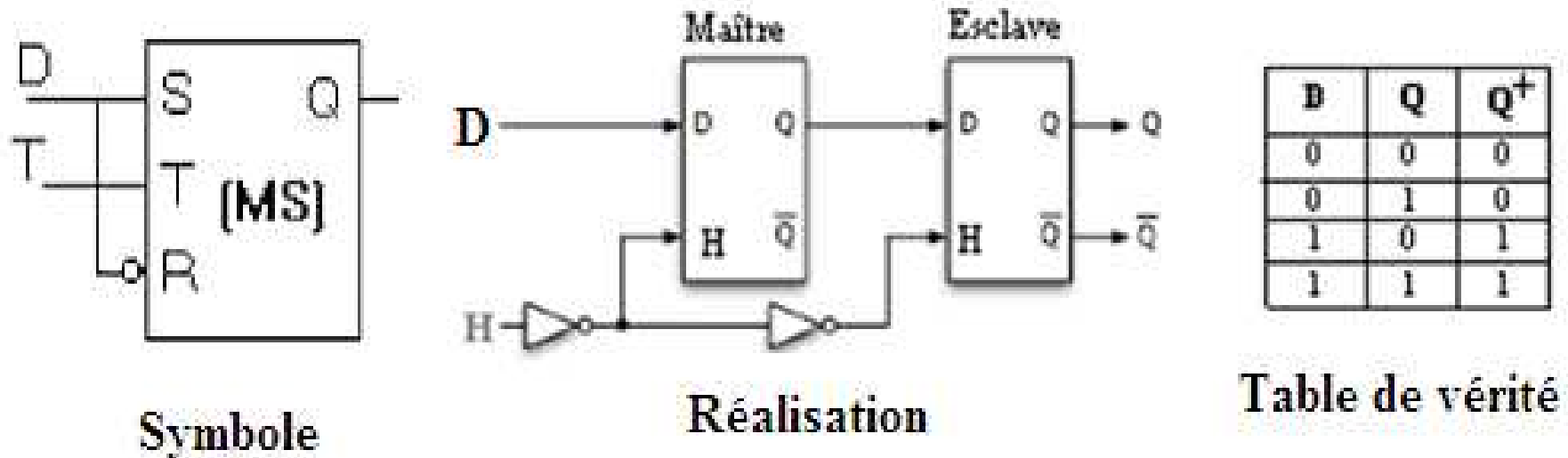
- Bascule RS Maître Esclave

- ✓ Si  $T=0$  information SR (Maître) transmise en  $s'r'$  et non transmise à l'esclave (sortie inchangée) ;
- ✓ Si  $T=1$ , information SR (maître) en attente (ancien  $s'r'$ ), mais transmise en Q (sortie esclave)
- ✓ Le chronogramme suivant montre que l'information n'est transmise *qu'au prochain front montant* de l'horloge T.



## ➤ Circuits séquentiels

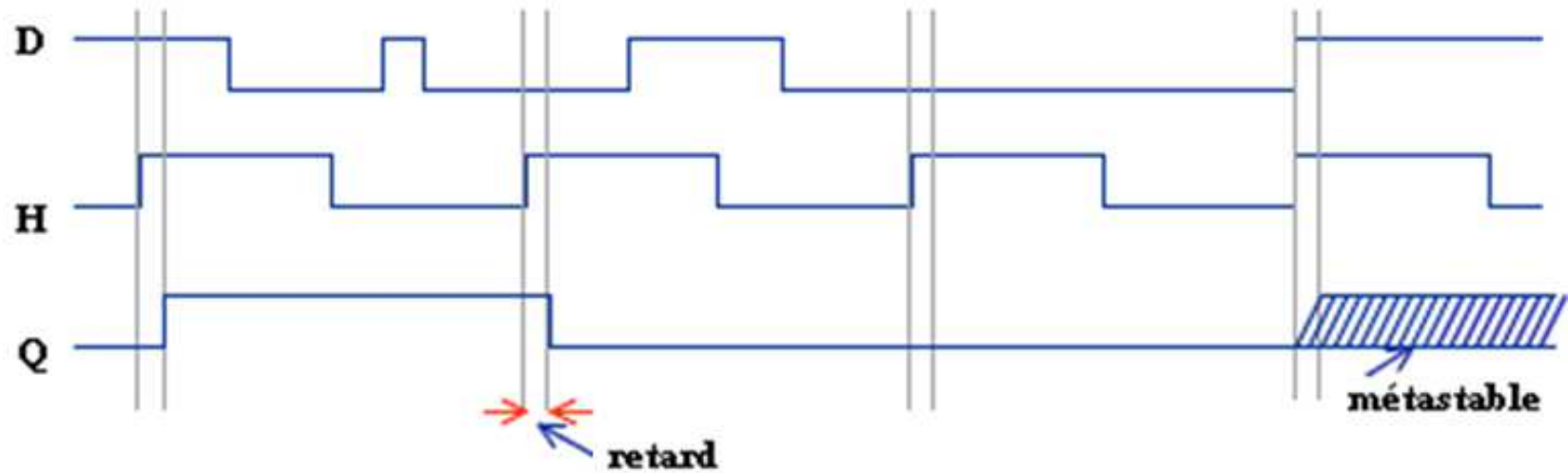
- Bascule D Maître Esclave



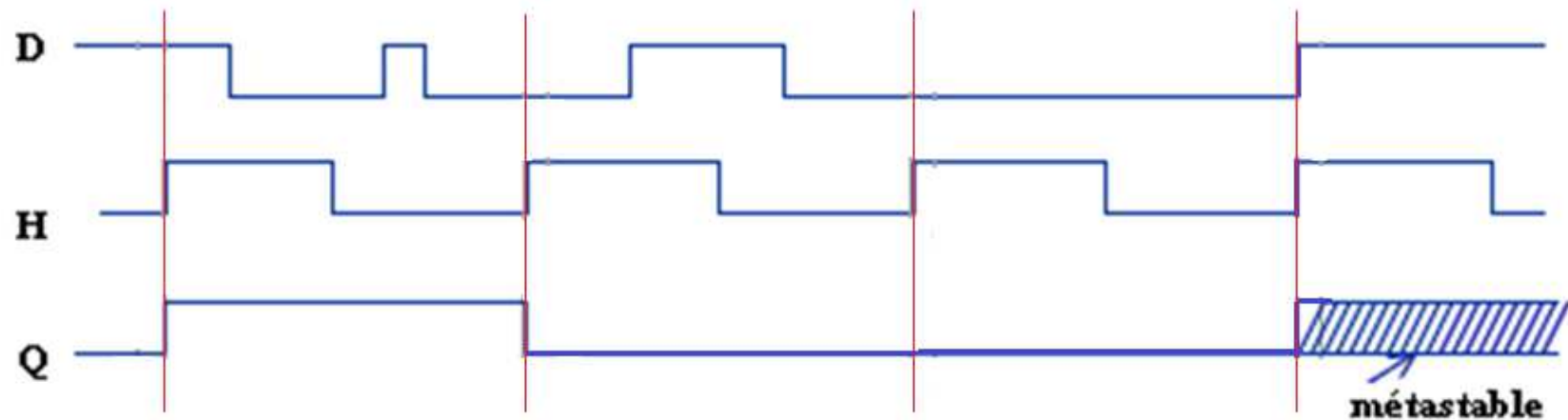
- ✓ si  $H=0$ , l'élément maître laisse passer l'entrée D à sa sortie, mais la sortie de l'élément esclave reste inchangée.
- ✓ Lorsque  $H=1$ , la sortie de l'élément maître est conservée, et passe à la sortie de l'élément esclave

## ➤ Circuits séquentiels

- Bascule D-MS/ Chronogramme



### Chronogramme sans retard



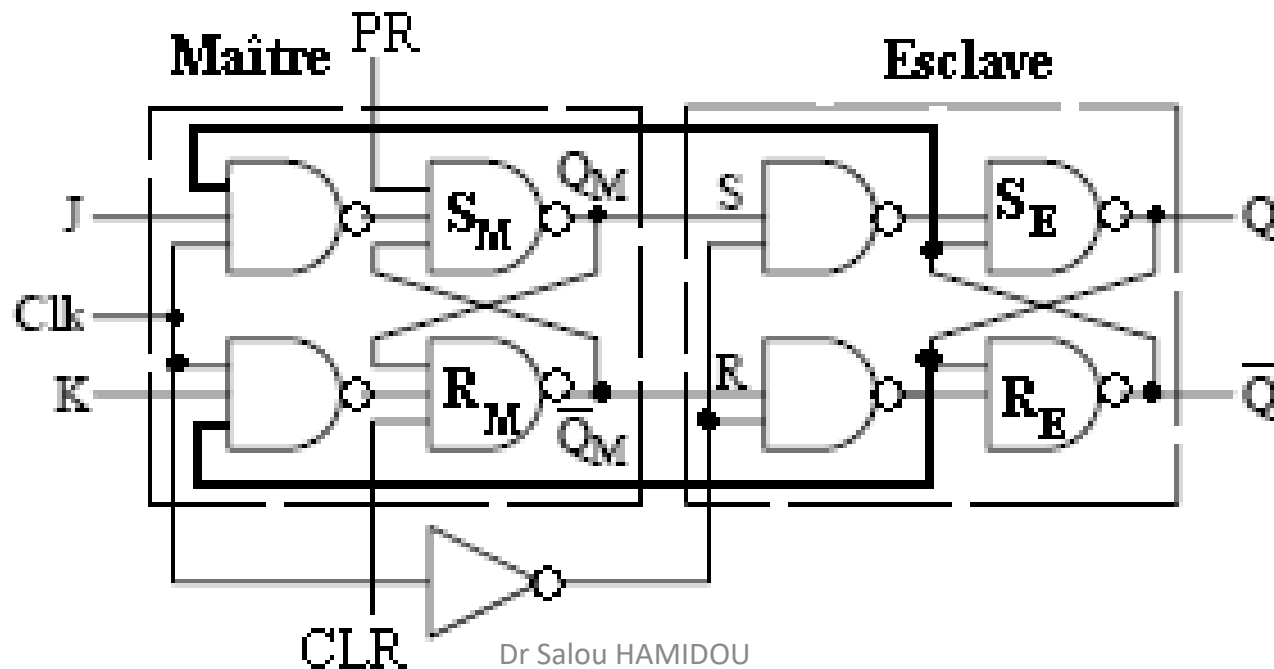
## ➤ Circuits séquentiels

- **Bascule JK-MS**

JK-MS est constitué de deux bascules RS montées en cascade avec des logiques de commande, servant respectivement de maître et esclave. Toutes les deux RS sont à activation bas :

$(S = 0, R = 1) \Rightarrow (Q = 1, \bar{Q} = 0)$  ;

$(S = 1, R = 0) \Rightarrow (Q = 0, \bar{Q} = 1)$  ;  $(S = R = 1) \Rightarrow \text{statuquo}$



## ➤ Circuits séquentiels

- Bascule JK-MS

**Fonctionnement** : Pour un fonctionnement normal, on fixe PR=CR=1.

**Premier cas** : soient J=0, K=1 et  $Q = 1$  et  $\bar{Q} = 0$

• ***Clk passe à 1 (front montant), on aura :***

$$\left\{ \begin{matrix} S_M = 1 \\ R_M = 0 \end{matrix} \right\} \Rightarrow \left\{ \begin{matrix} Q_M = 0 \\ \bar{Q}_M = 1 \end{matrix} \right\} \Rightarrow \left\{ \begin{matrix} S_E = 1 \\ R_E = 1 \end{matrix} \right\} \Rightarrow \left\{ \begin{matrix} Q_E = Q = 1 \\ \bar{Q}_E = \bar{Q} = 0 \end{matrix} \right\}$$

$Q_M$  et  $\bar{Q}_M$  prennent les valeurs de J et K, mais Q et  $\bar{Q}$  restent inchangés

• ***Clk passe à 0 (front descendant), on aura :***

$$\left\{ \begin{matrix} S_M = 1 \\ R_M = 1 \end{matrix} \right\} \Rightarrow \left\{ \begin{matrix} Q_M = 0 \\ \bar{Q}_M = 1 \end{matrix} \right\} \Rightarrow \left\{ \begin{matrix} S_E = 1 \\ R_E = 0 \end{matrix} \right\} \Rightarrow \left\{ \begin{matrix} Q_E = Q = 0 \\ \bar{Q}_E = \bar{Q} = 1 \end{matrix} \right\}$$

Q et  $\bar{Q}$  prennent respectivement les valeurs de J et K.

*Il a fallu donc une impulsion complète d'horloge (front montant + front descendant) pour que les données aux entrées soient transférées aux sorties*

## ➤ Circuits séquentiels

- Bascule JK-MS

**Deuxième cas** : soient  $J=1$ ,  $K=0$  et  $Q = 0$  et  $\bar{Q} = 1$

• *Clk passe à 1 (front montant), on aura :*

$$\begin{Bmatrix} S_M = 0 \\ R_M = 1 \end{Bmatrix} \Rightarrow \begin{Bmatrix} Q_M = 1 \\ \bar{Q}_M = 0 \end{Bmatrix} \Rightarrow \begin{Bmatrix} S_E = 1 \\ R_E = 1 \end{Bmatrix} \Rightarrow \begin{Bmatrix} Q_E = Q = 0 \\ \bar{Q}_E = \bar{Q} = 1 \end{Bmatrix}$$

$Q_M$  et  $\bar{Q}_M$  prennent les valeurs de  $J$  et  $K$ , mais  $Q$  et  $\bar{Q}$  restent inchangés

• *Clk passe à 0 (front descendant), on aura :*

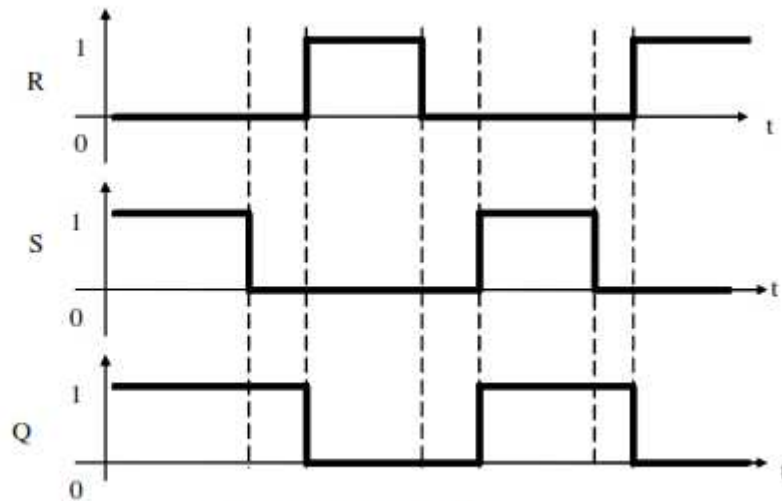
$$\begin{Bmatrix} S_M = 1 \\ R_M = 1 \end{Bmatrix} \Rightarrow \begin{Bmatrix} Q_M = 1 \\ \bar{Q}_M = 0 \end{Bmatrix} \Rightarrow \begin{Bmatrix} S_E = 0 \\ R_E = 1 \end{Bmatrix} \Rightarrow \begin{Bmatrix} Q_E = Q = 1 \\ \bar{Q}_E = \bar{Q} = 0 \end{Bmatrix}$$

$Q$  et  $\bar{Q}$  prennent respectivement les valeurs de  $J$  et  $K$ .

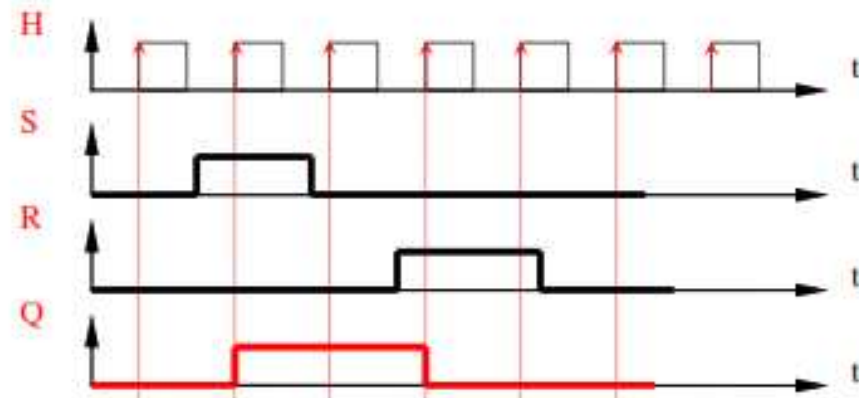
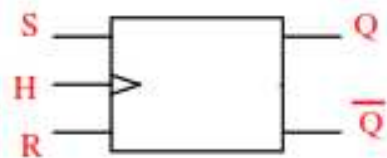
*Ici aussi c'est après une impulsion complète d'horloge (front montant + front descendant) que les données aux entrées soient transférées aux sorties*

# ➤ Circuits séquentiels

- Applications sur les Bascules



Chronogramme RS

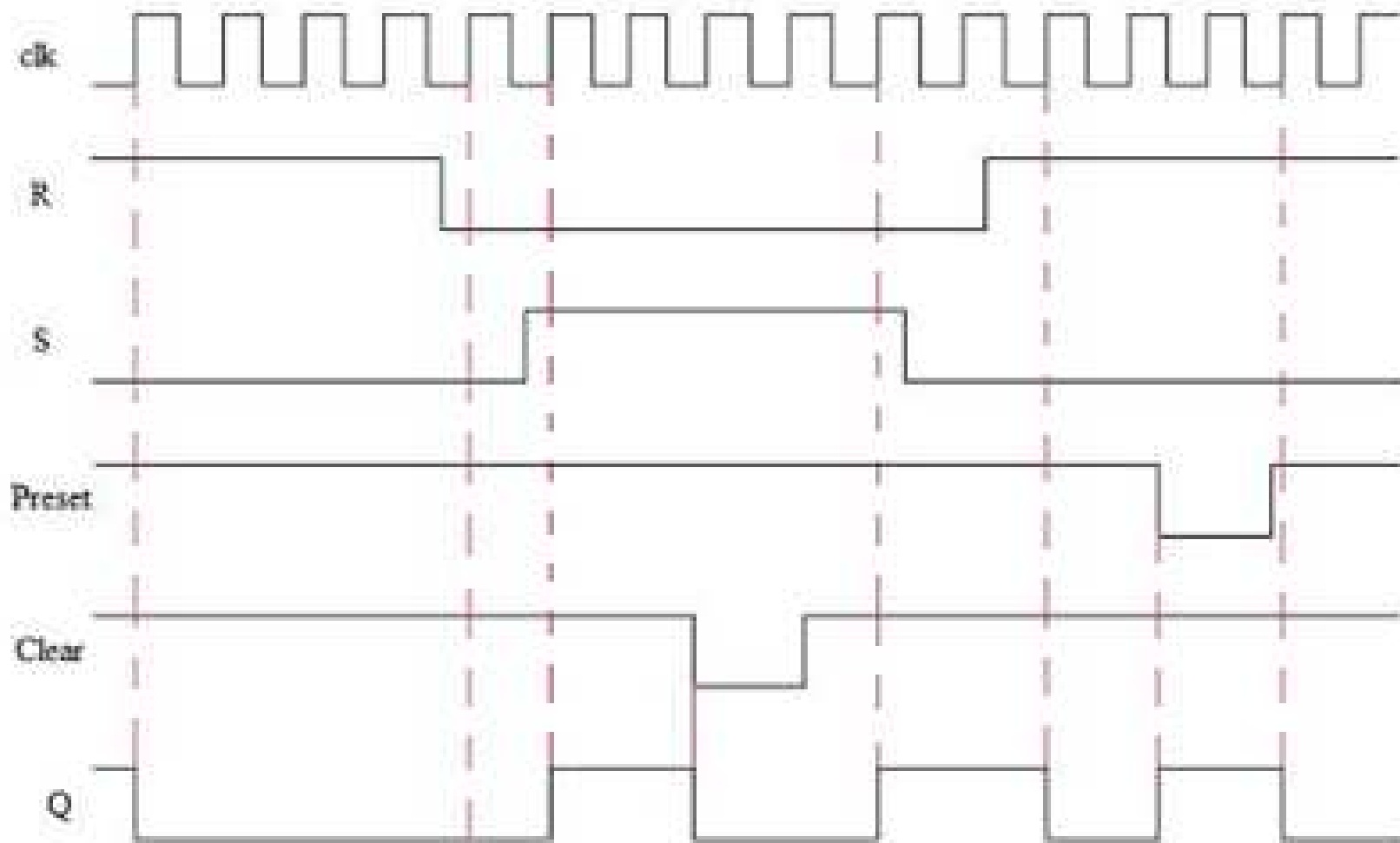


Chronogramme RSH



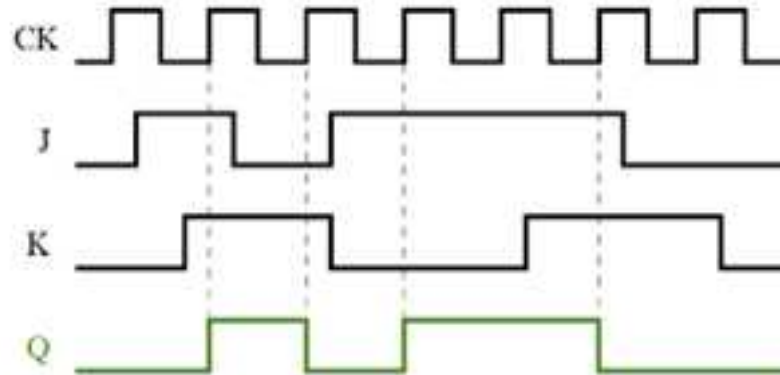
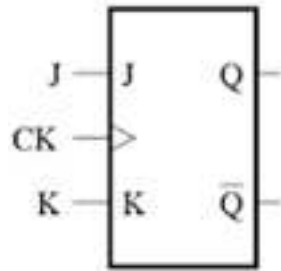
## ➤ Circuits séquentiels

- Applications sur les Bascules

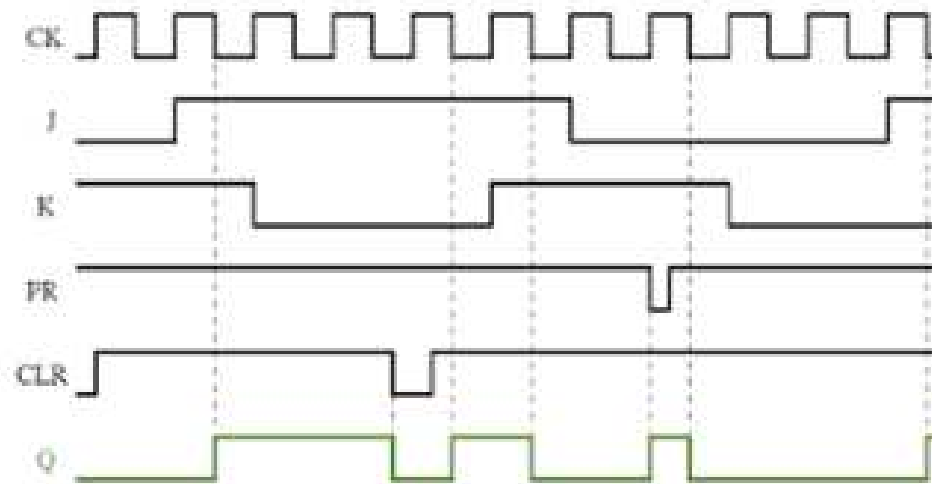
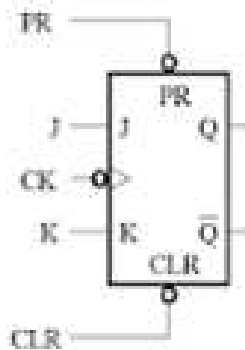


## ➤ Circuits séquentiels

- Applications sur les Bascules



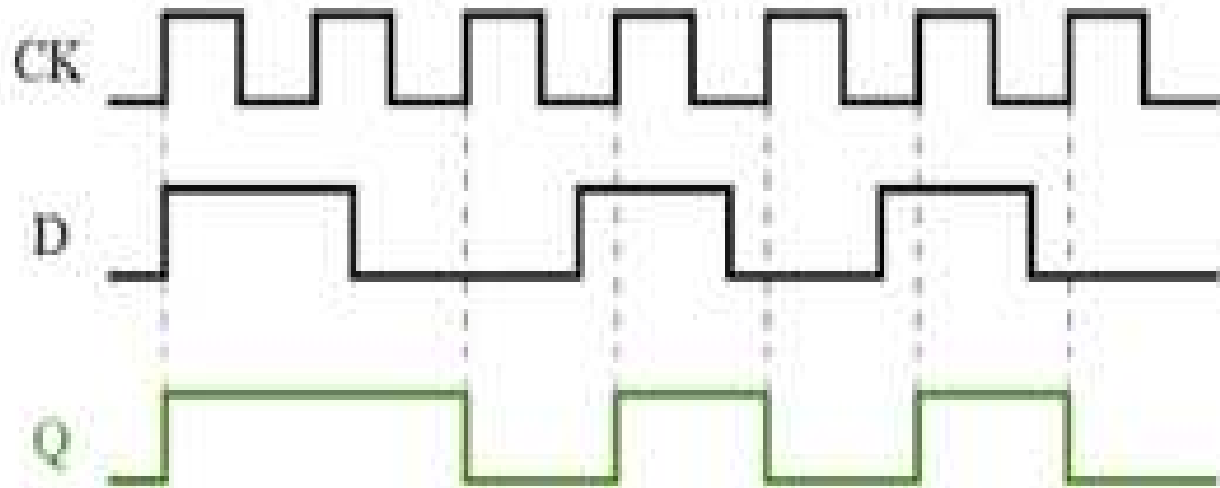
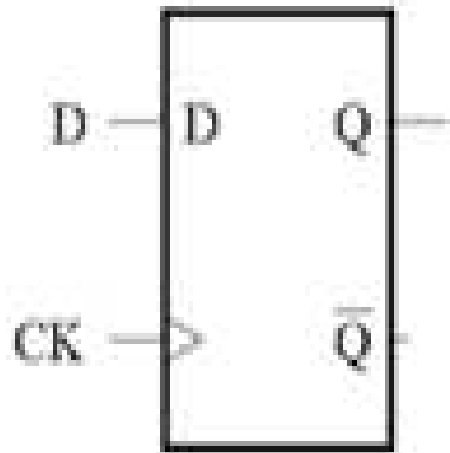
**Chronogramme sortie Q**



**Chronogramme JK avec entrées asynchrones**

## ➤ Circuits séquentiels

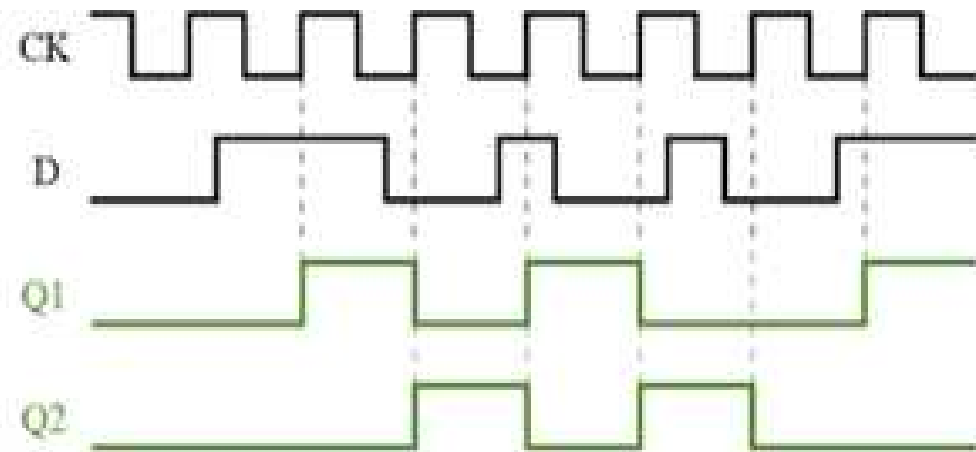
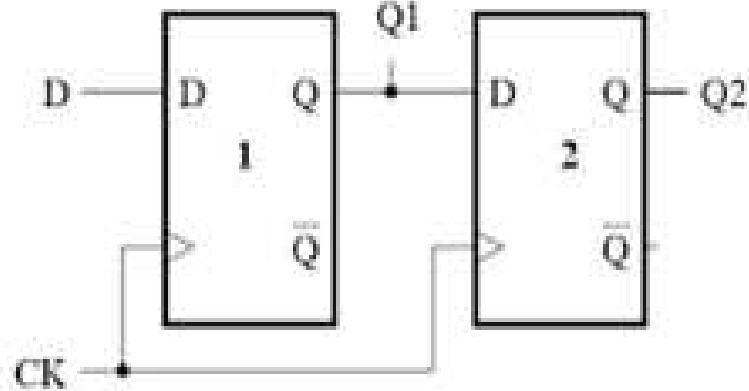
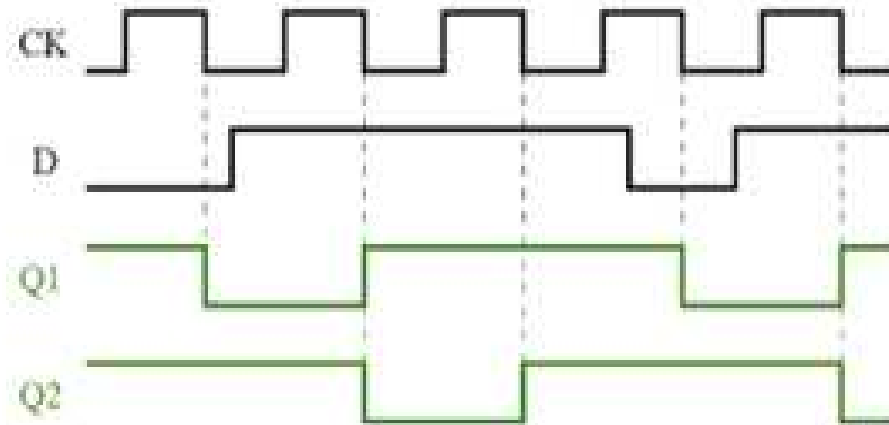
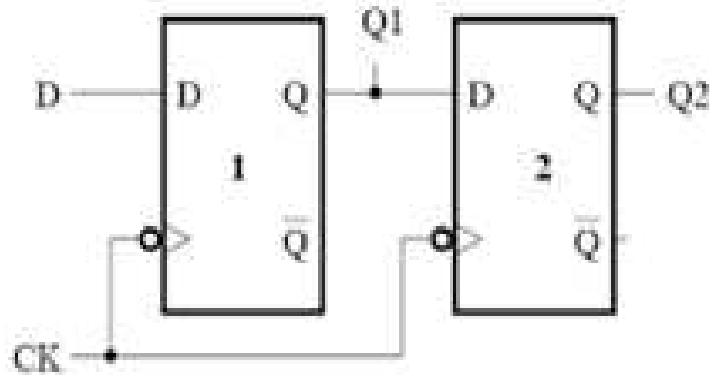
- Applications sur les Bascules



**Chronogramme de la sortie Q**

## ➤ Circuits séquentiels

- Applications sur les Bascules



## ➤ Circuits séquentiels

- Applications sur les Bascules

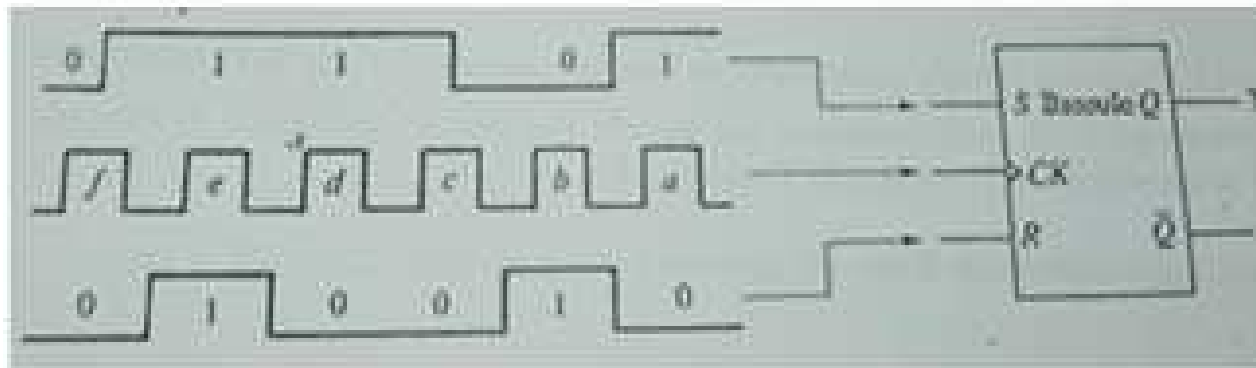


Fig.1

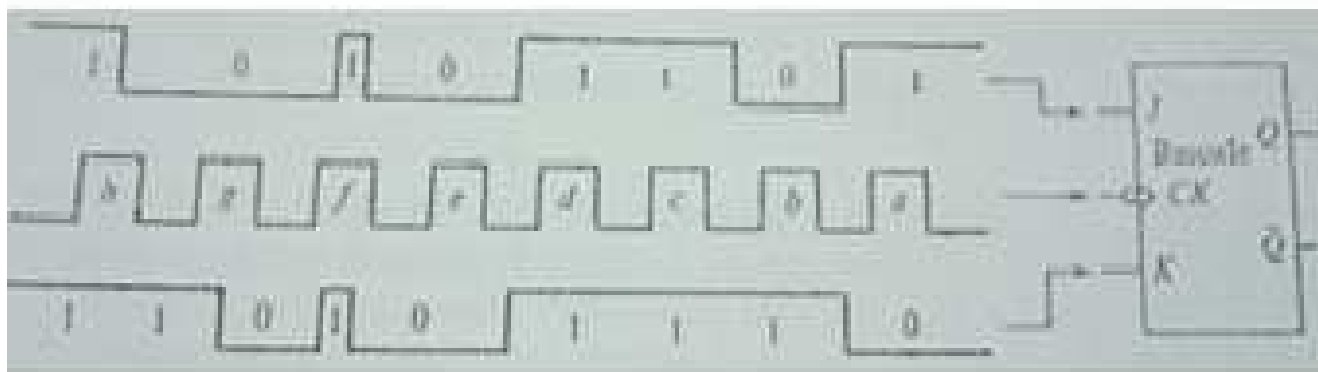
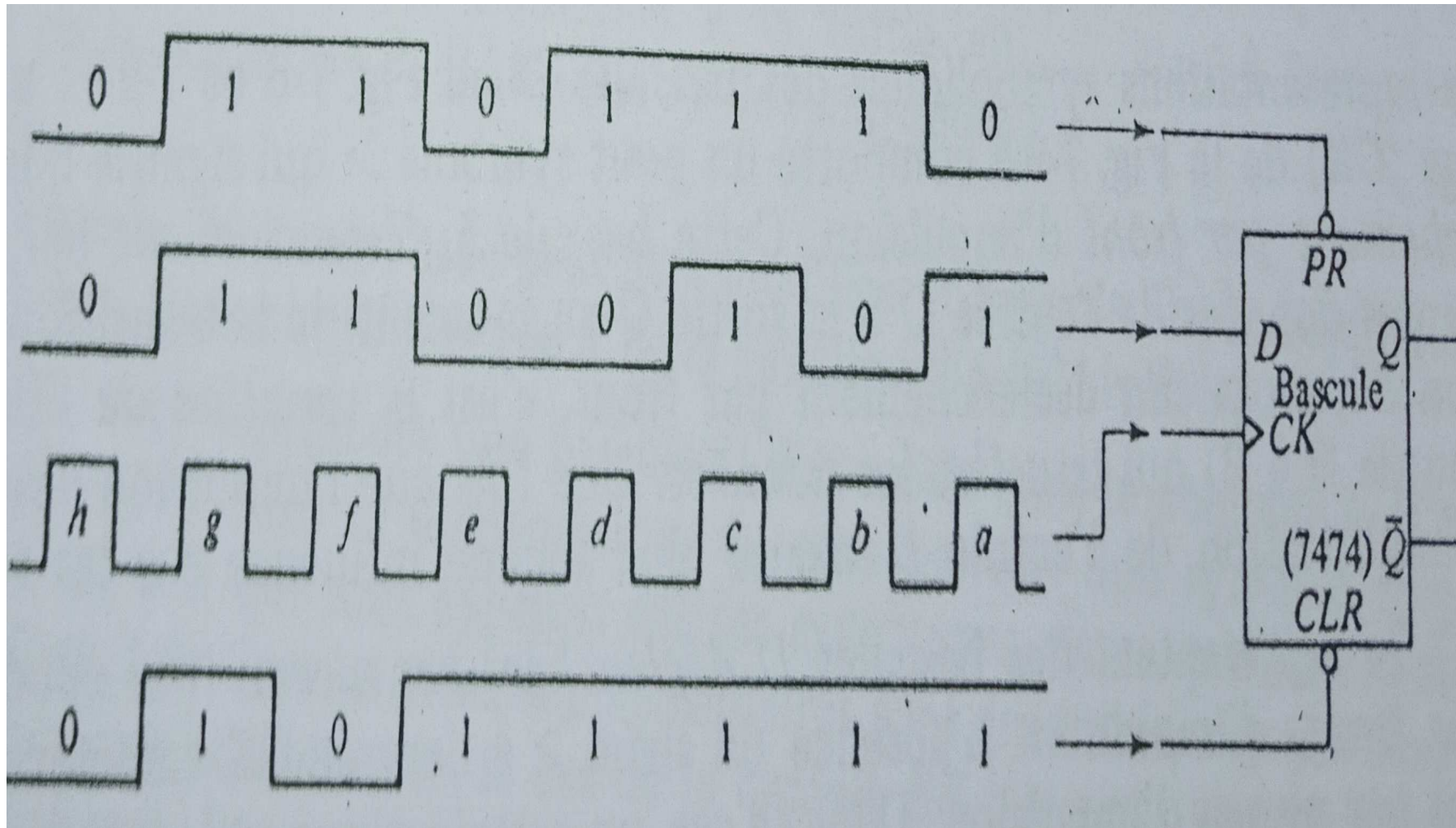


Fig.2

## ➤ Circuits séquentiels

- Applications sur les Bascules



## ➤ **Circuits séquentiels**

### ✓ **Registre-Définition**

**Un registre est un ensemble de mémoires élémentaires (bascules), synchronisées par le même signal d'horloge.**

**Les registres sont largement utilisés dans les systèmes de traitement numérique (les ordinateurs par exemple) pour réaliser des opérations : de mémorisation provisoire (mémoire tampon), de décalage, de rotation, ...**

## ➤ **Circuits séquentiels**

### ✓ **Caractéristiques des Registres**

**Un registre est caractérisé par :**

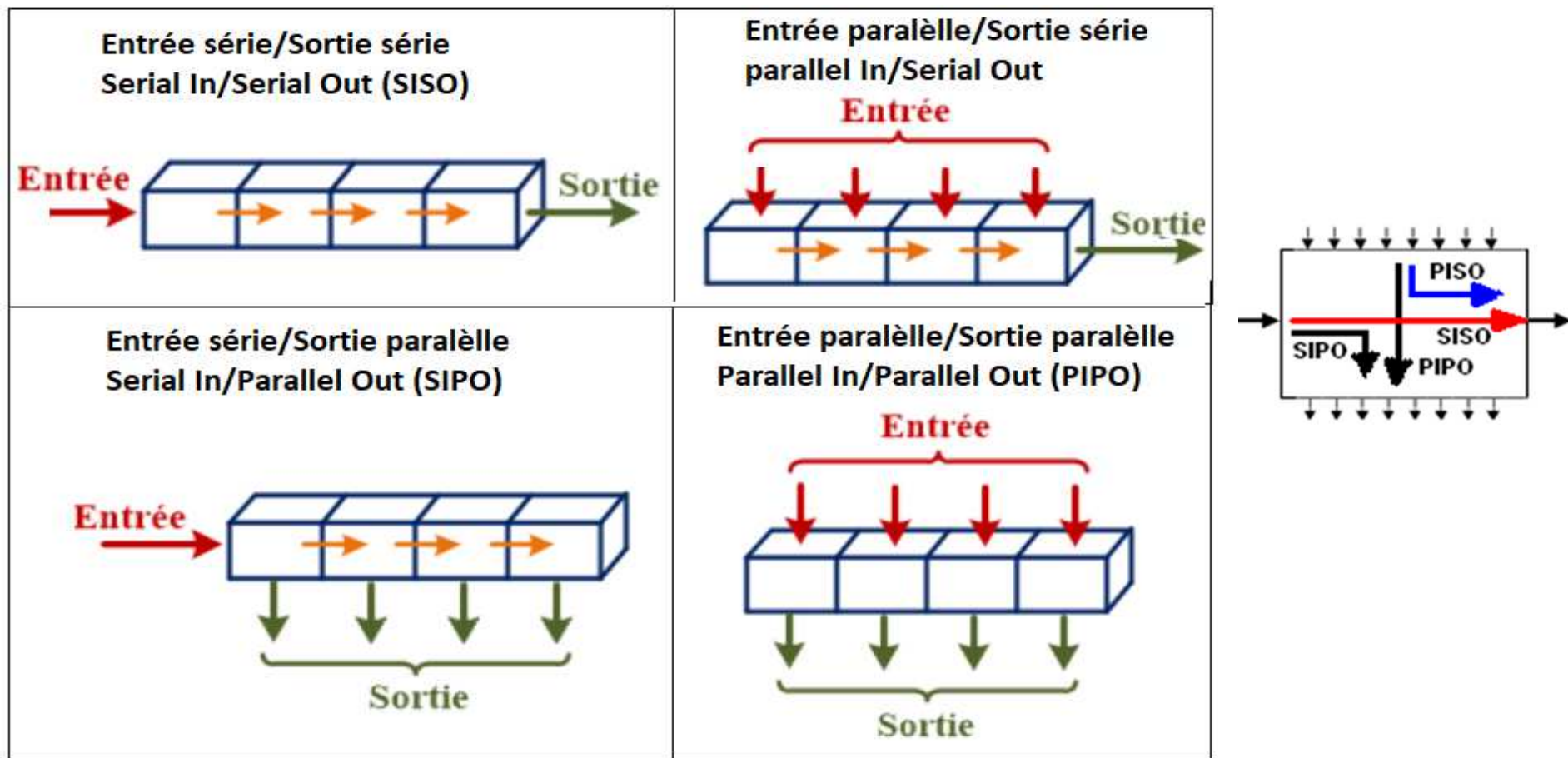
- **La capacité: nombre de bits du mot binaire qu'il peut mémoriser ;**
- **Le mode d'écriture ou de chargement :**
  - \* écriture série (génération bit par bit), avec transmission par un seul fil conducteur,**
  - \* écriture parallèle (génération globale du mot de n bits), avec transmission par un bus de n bits (n fils conducteurs) ;**
- **Le mode de lecture:**
  - \* lecture série : exploitation bit par bit du mot (une seule sortie).**
  - \* lecture parallèle : exploitation globale du mot (n sorties).**



# ➤ Circuits séquentiels

## ✓ Types de Registres

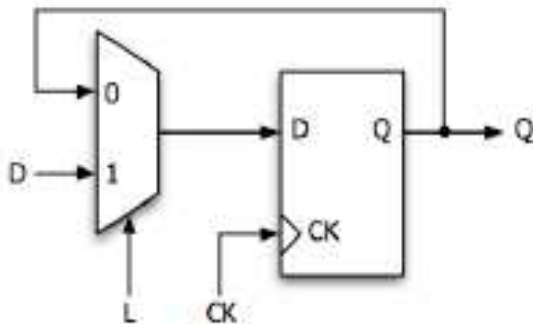
Selon le mode d'accès en écriture (entrée) et en lecture (sortie), série ou parallèle, il existe quatre types de registre :



## ➤ Circuits séquentiels

### ✓ Registre de mémorisation

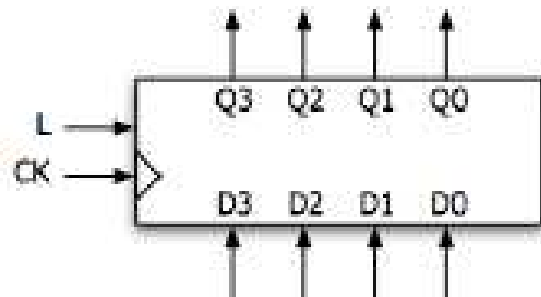
Ce registre est un ensemble ordonné de  $n$  bascules (flip-flop ou latch), permettant de mémoriser (sauvegarder)  $n$  bits.



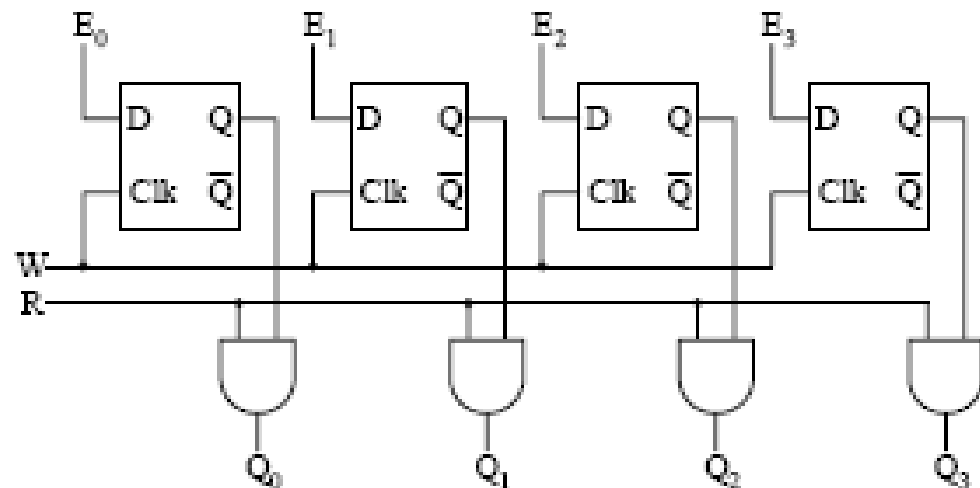
TV

Opération	Description	L
Hold	$Q \leftarrow Q$	0
Load	$Q \leftarrow D$	1

#### • Structure unitaire d'un registre



#### • Symbole registre 4 bits



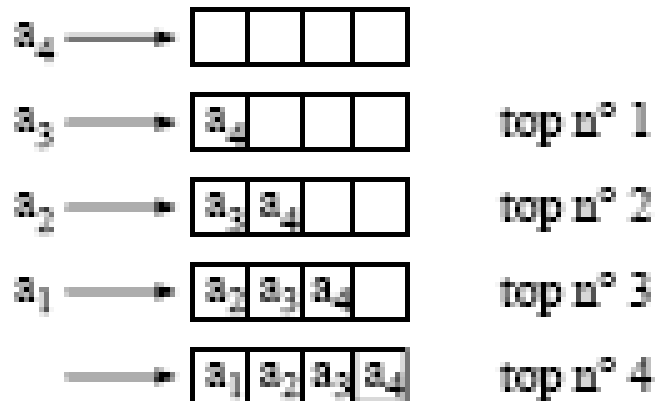
#### • Logigramme registre 4 bits

## ➤ Circuits séquentiels

### ✓ Registre à décalage

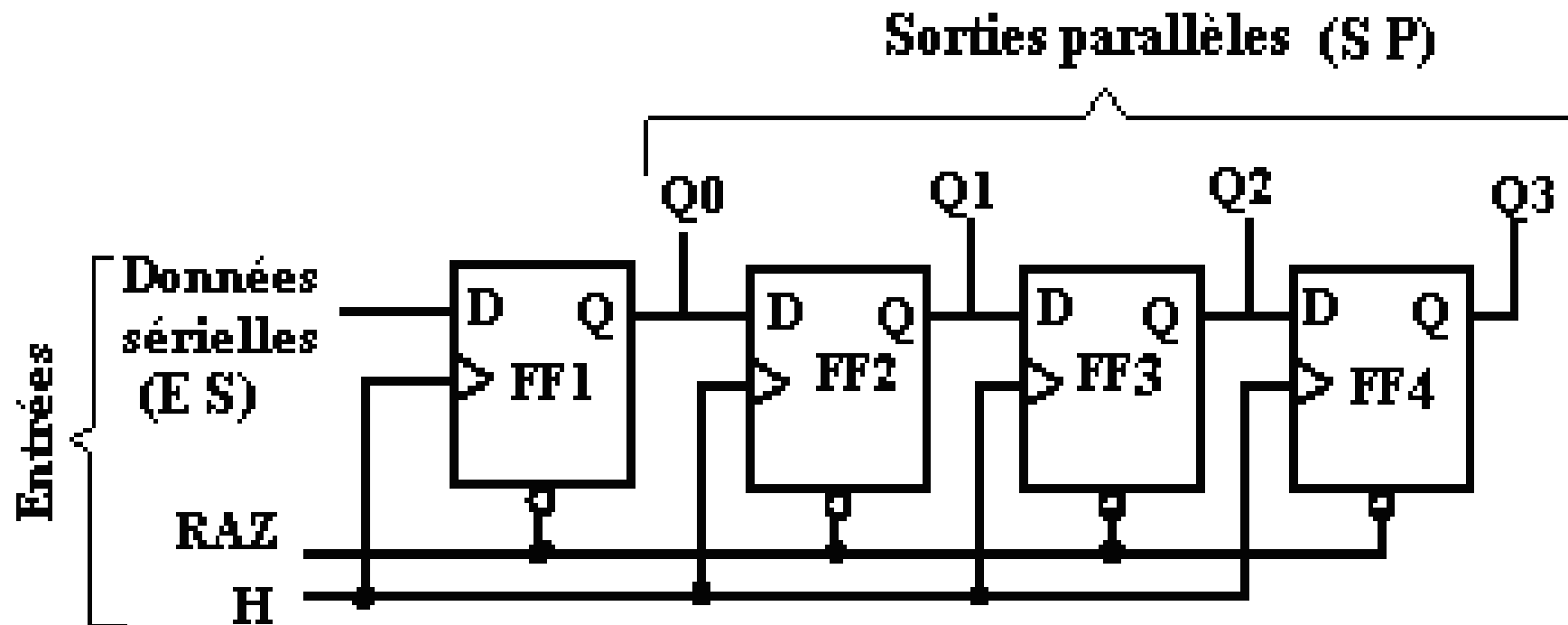
L'information "*entrée série à droite*" ou "*entrée série à gauche*" est disponible en *sortie* des flip-flops sous forme *série* ou *parallèle*. Ajouter à cela qu'il est aussi possible de précharger ces flip-flops (*entrée parallèle*).

Chargement de  $a_4a_3a_2a_1$



## ➤ Circuits séquentiels

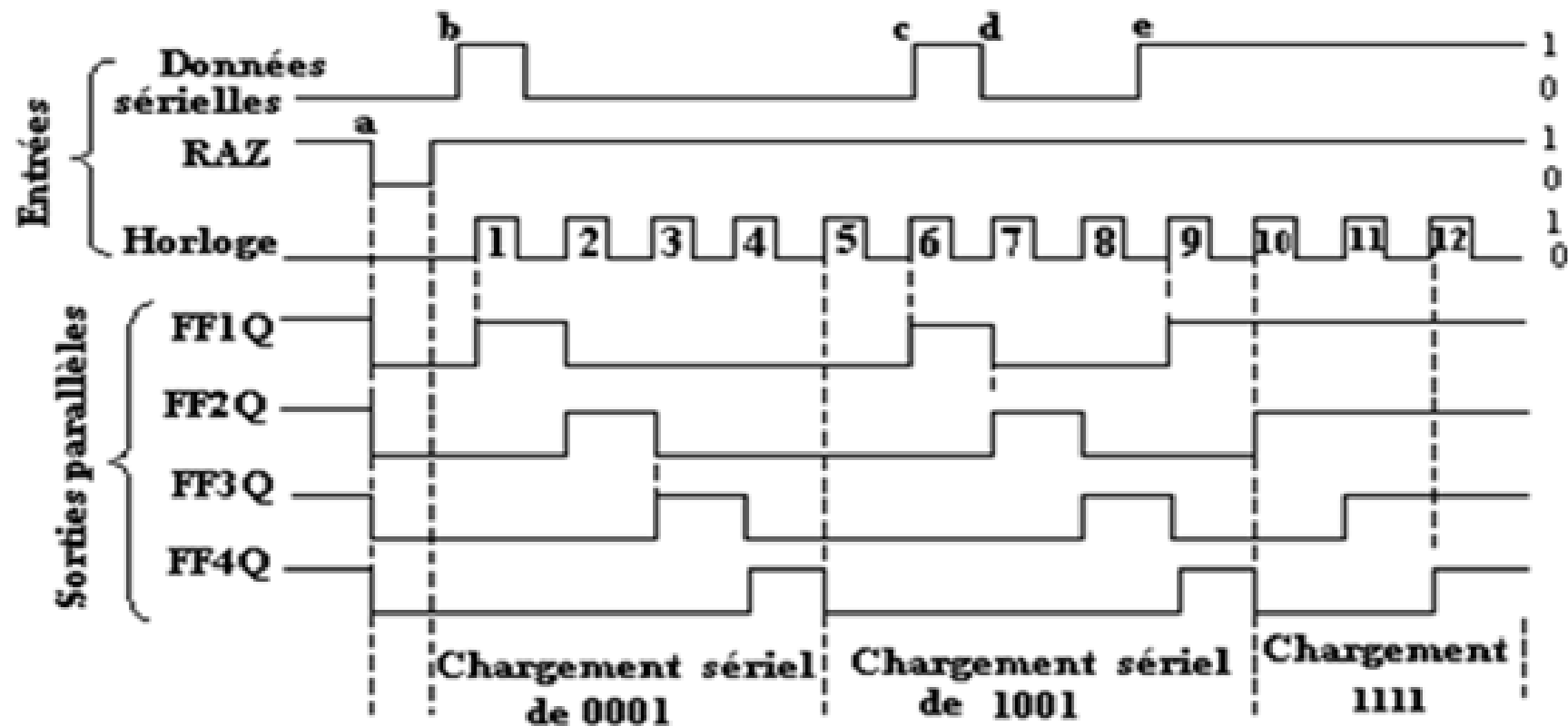
- ✓ Registre à décalage Entrée série- Sortie parallèle



**Registre à décalage à droite à chargement sériel**

## ➤ Circuits séquentiels

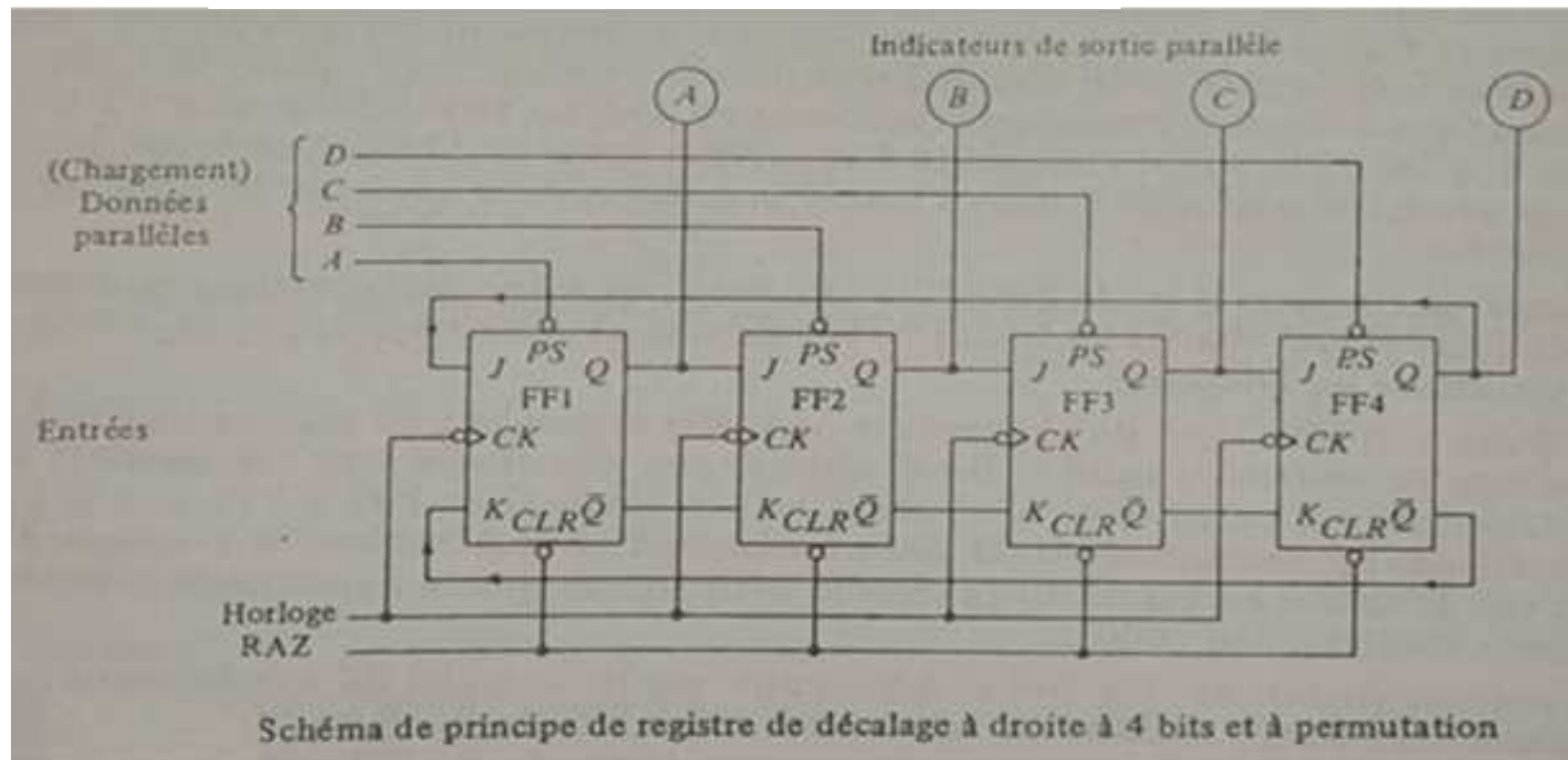
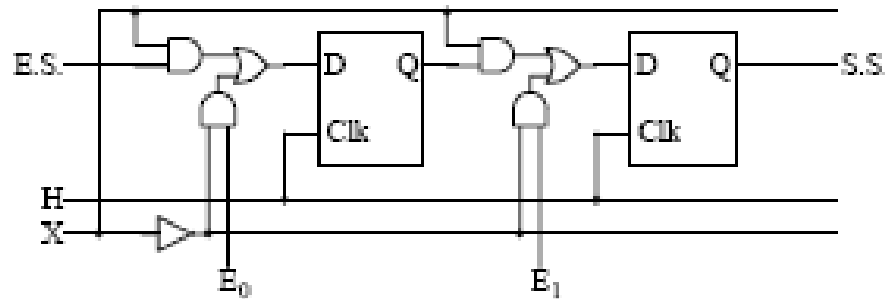
- ✓ Exemple de Registre à décalage Entrée série- Sortie parallèle



Chronogramme d'un registre à chargement sériel

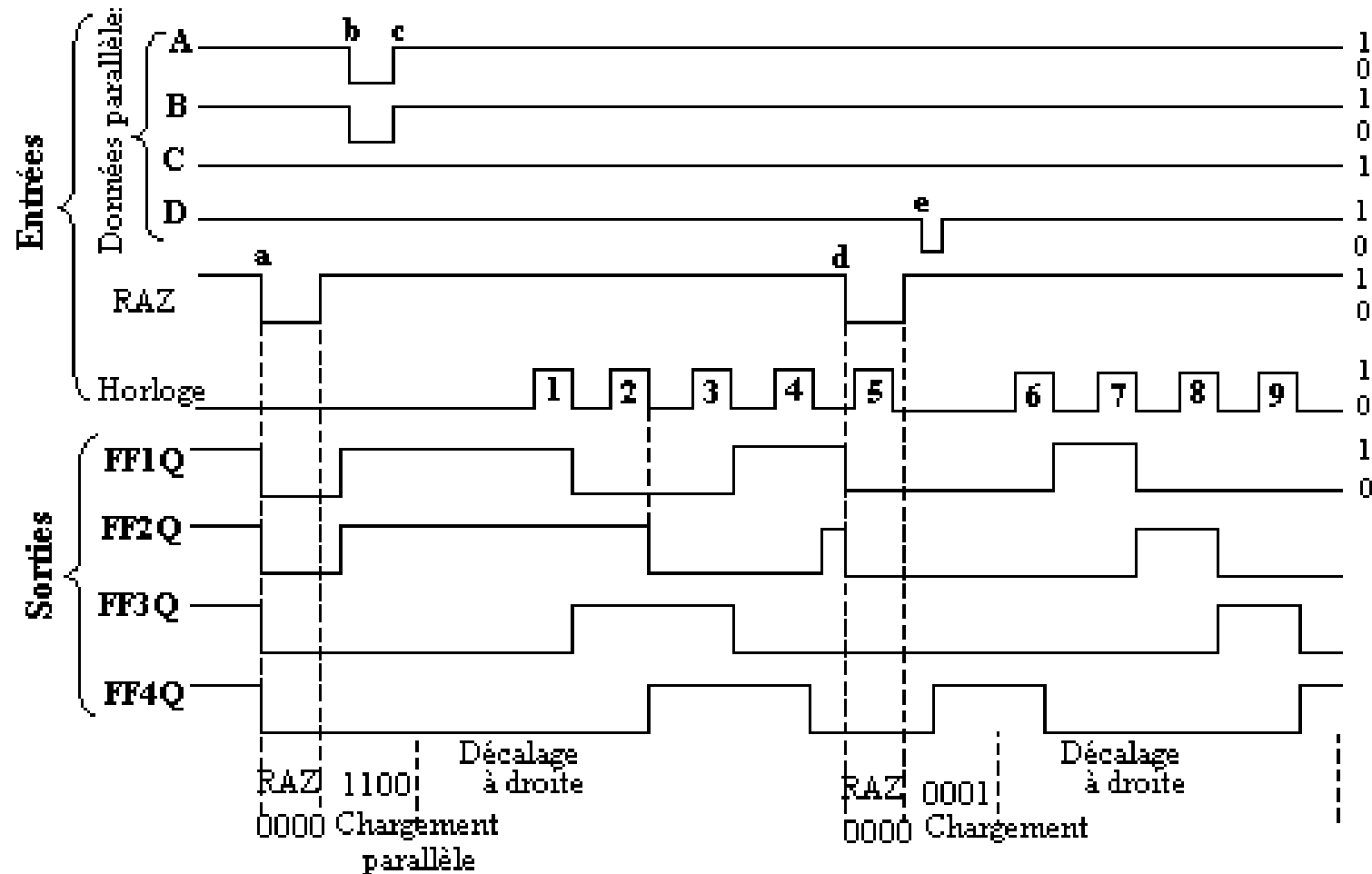
## ➤ Circuits séquentiels

### ✓ Registre à décalage Entrée parallèle - Sortie série



## ➤ Circuits séquentiels

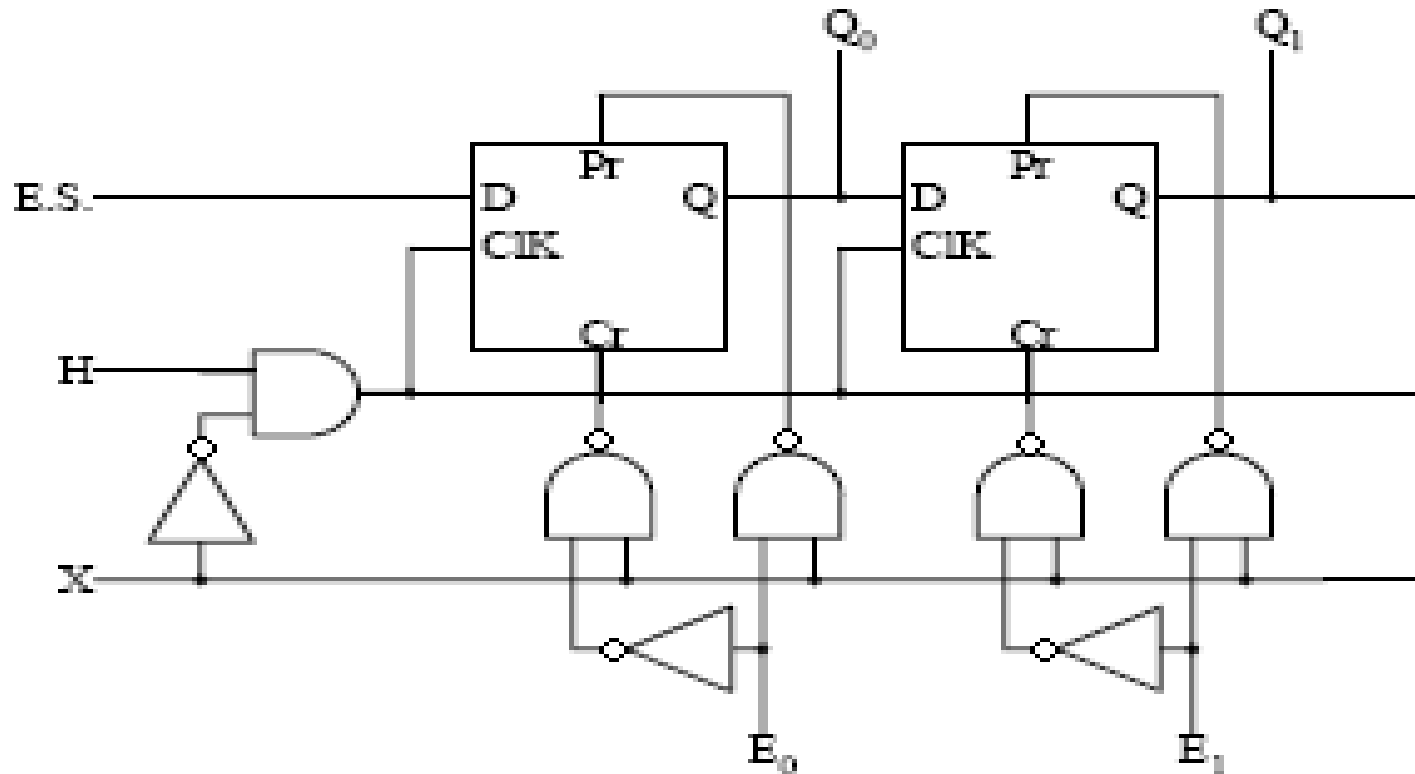
### ✓ Registre à décalage Entrée parallèle - Sortie série



Chronogramme d'un registre à chargement parallèle

## ➤ Circuits séquentiels

- ✓ Registre à décalage Entrée parallèle - Sortie parallèle



$$\left\{ \begin{array}{l} E_i = 1 \Rightarrow (Pr = 0, Cr = 1) \Rightarrow Q_i = 1 \\ E_i = 0 \Rightarrow (Pr = 1, Cr = 0) \Rightarrow Q_i = 0 \end{array} \right\} \Rightarrow Q_i = E_i$$

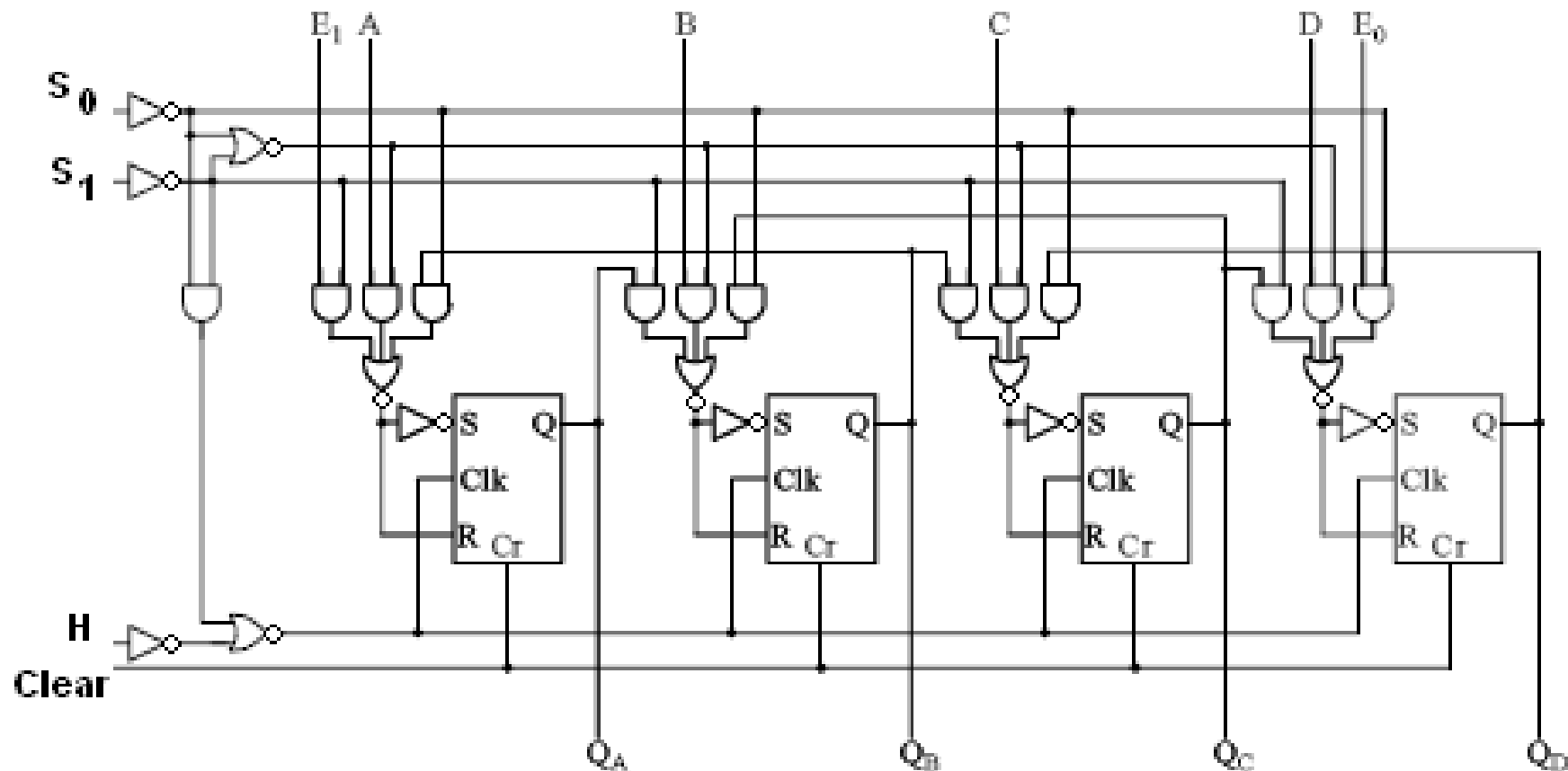


## ➤ Circuits séquentiels

### ✓ Registre à décalage universel

$\text{Clk} = \overline{\overline{H} + \overline{S_0 \cdot S_1}} = H \cdot (S_0 + S_1)$     Horloge inhibée  $H=0$  si  $S_0 = S_1 = 0$

$\overline{\overline{S_0 + S_1}} = S_0 \cdot S_1 = 1$     si  $S_0 = S_1 = 1$

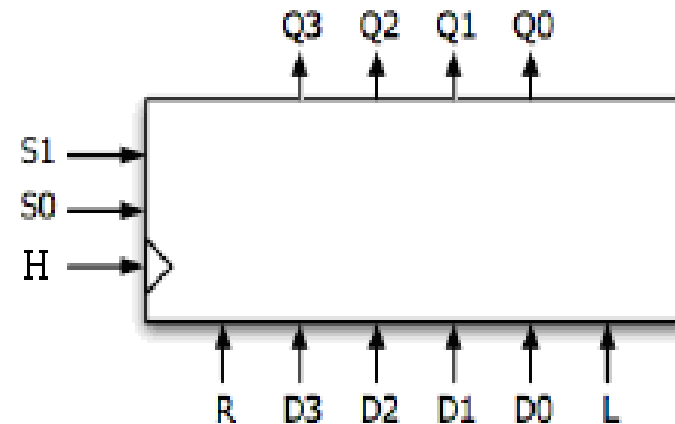


## ➤ Circuits séquentiels

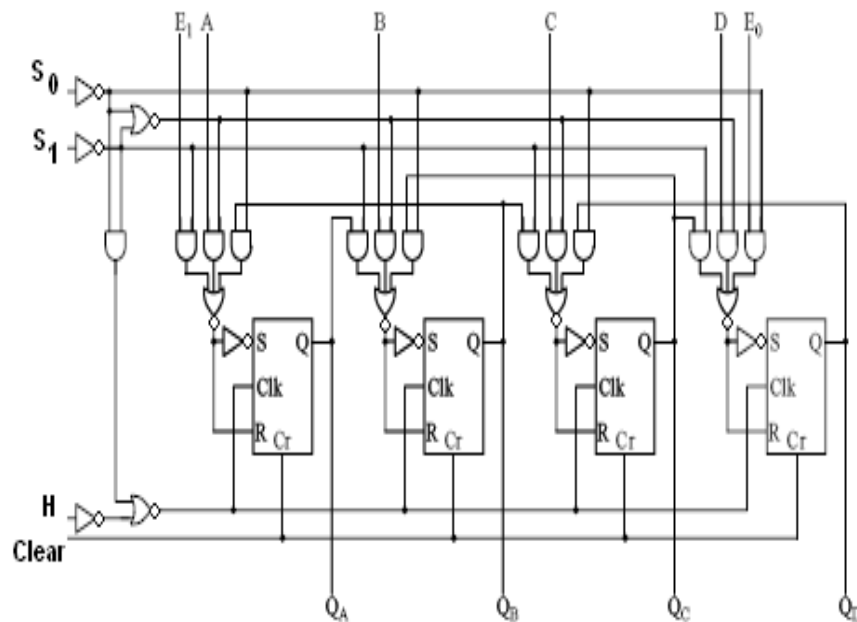
### ✓ Registre à décalage universel

$$\text{Clk} = \overline{\overline{H} + \overline{S_0 \cdot S_1}} = H \cdot (S_0 + S_1)$$

$$\overline{\overline{S_0 + S_1}} = S_0 \cdot S_1 = 1 \quad \text{si } S_0 = S_1 = 1$$



Symbole



S <sub>1</sub>	S <sub>0</sub>	Opération	Description
0	0	Bloqué	Q <sup>+</sup> = Q
0	1	Décalage à gauche	Q <sup>+</sup> = << Q
1	0	Décalage à droite	Q >> = Q <sup>+</sup>
1	1	Chargement	Q <sup>+</sup> = D

## ➤ Circuits séquentiels

### ✓ Registre à décalage

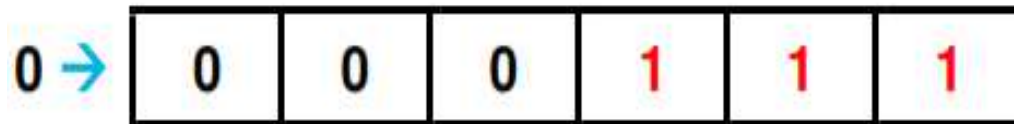
- Décalage à droite de n bits = division par  $2^n$



28 état initial



14 après 1 front de H

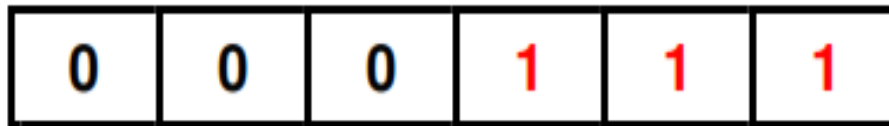


7 après 2 fronts de H

## ➤ Circuits séquentiels

### ✓ Registre à décalage

- Décalage à gauche de n bits = multiplication par  $2^n$



7 état initial



←0 14 après 1 front de H



←0 28 après 2 fronts de H

## ✓ Compteurs ➤ Circuits séquentiels

- Types de compteurs : asynchrones et synchrones ;
- Rôle essentiel d'un compteur : la division de fréquence ;
- Sens de comptage : direct (compteur) et rétrograde (décomptage) ;
- Code exprimé en sortie : binaire naturel, BCD, décimal (ou à décade), Gray (binaire réfléchi), etc... ;
- Capacité de comptage ou modulo du compteur : ensemble des valeurs prises par la sortie ;
- Mode de comptage : cycle complet et cycle incomplet.

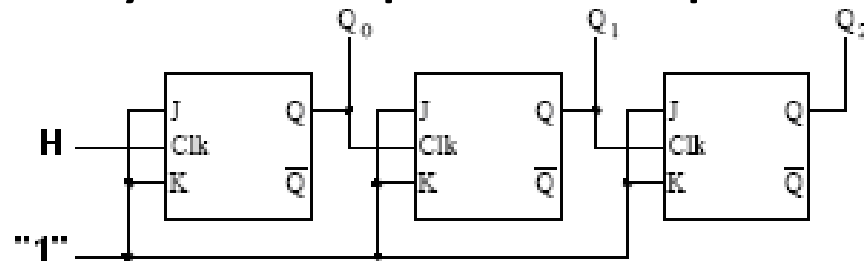
# ➤ Circuits séquentiels

✓ **Compteurs asynchrones** : Bascules n'ont pas le même signal d'horloge

- **Compteur modulo 8**

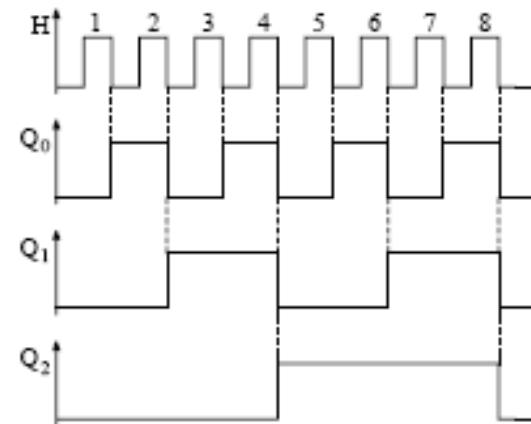
$n = 3$  : Capacité =  $2^3 = 8$ .

Le Cycle du compteur est complet

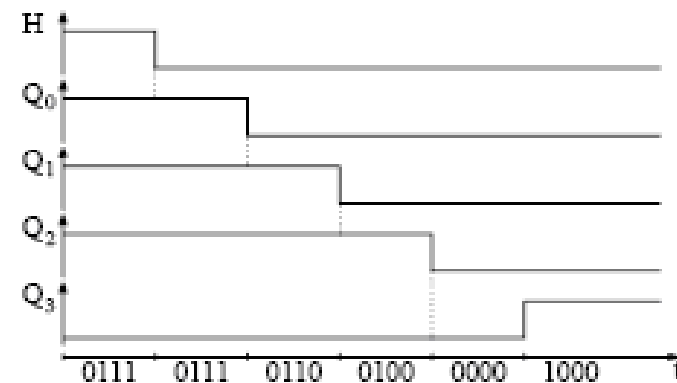


Compteur asynchrone modulo 8

n	$Q_2$	$Q_1$	$Q_0$
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	1	1	0
7	1	1	1
8	0	0	0



Chronogramme compteur asynchrone modulo 8

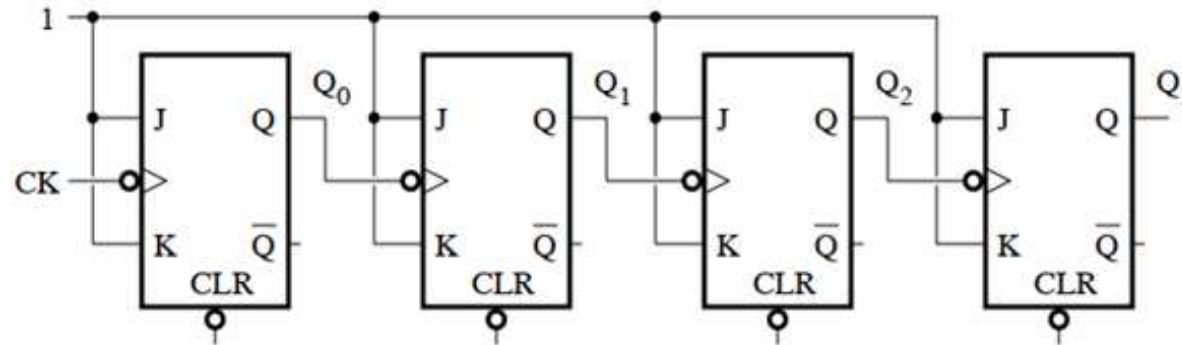


Etats indésirables d'un compteur asynchrone

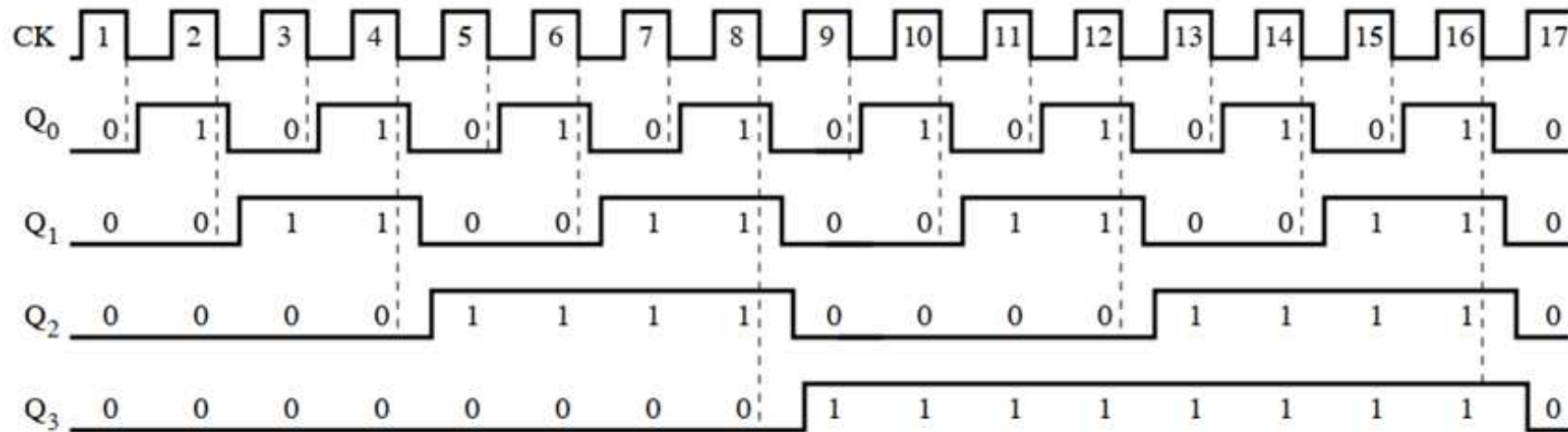
## ➤ Circuits séquentiels

### ✓ Compteurs asynchrones

- Compteur synchrone modulo 16



Compteur asynchrone modulo 16

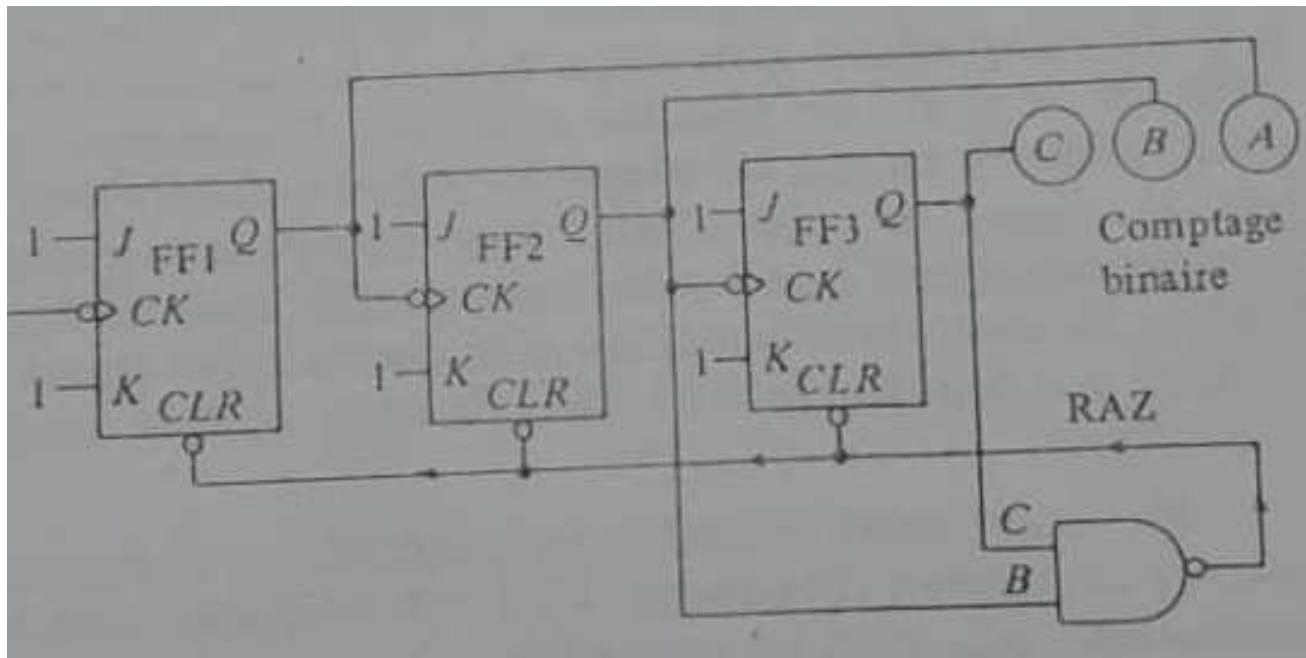


Chronogramme

## ➤ Circuits séquentiels

### ✓ Compteurs asynchrones à cycle incomplet

Avec  $n = 3$  bascules, on a une capacité maximale de 8. Si la capacité est inférieure à 8, le cycle est incomplet, cela signifie que le compteur se réinitialise avant d'atteindre sa capacité.  
Exemple : compteur modulo 6



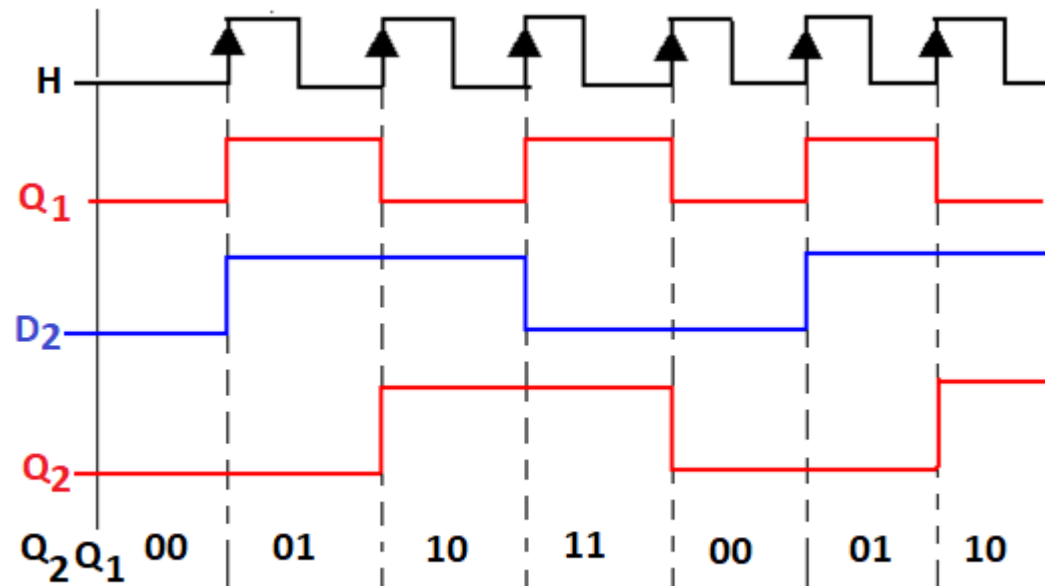
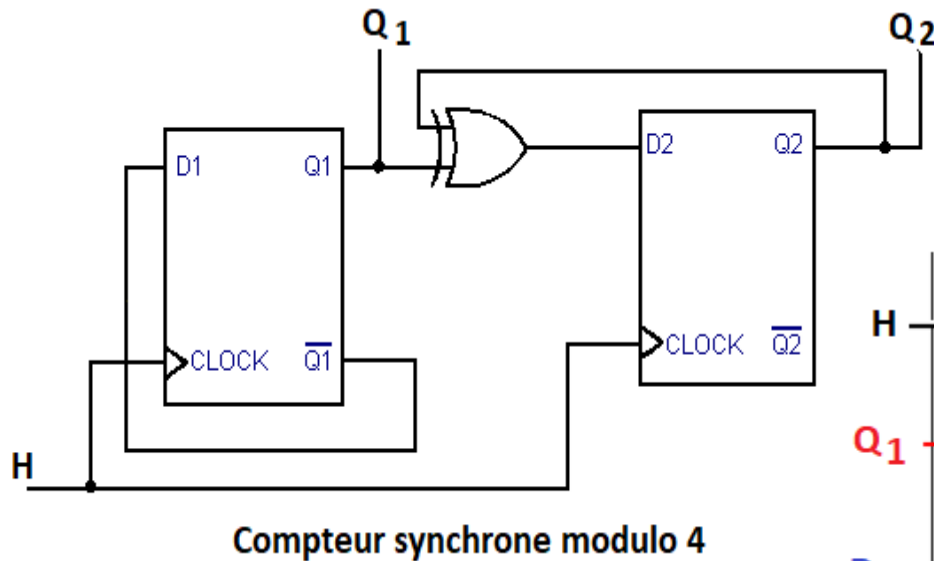
N	$Q_2$	$Q_1$	$Q_0$
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
5	1	0	1
6	0	0	0

$$RAZ = \overline{Q_2 \cdot Q_1}$$



## ➤ Circuits séquentiels

- ✓ **Compteurs synchrones** : Bascules ont le même signal d'horloge
  - **Compteur synchrone modulo 4**

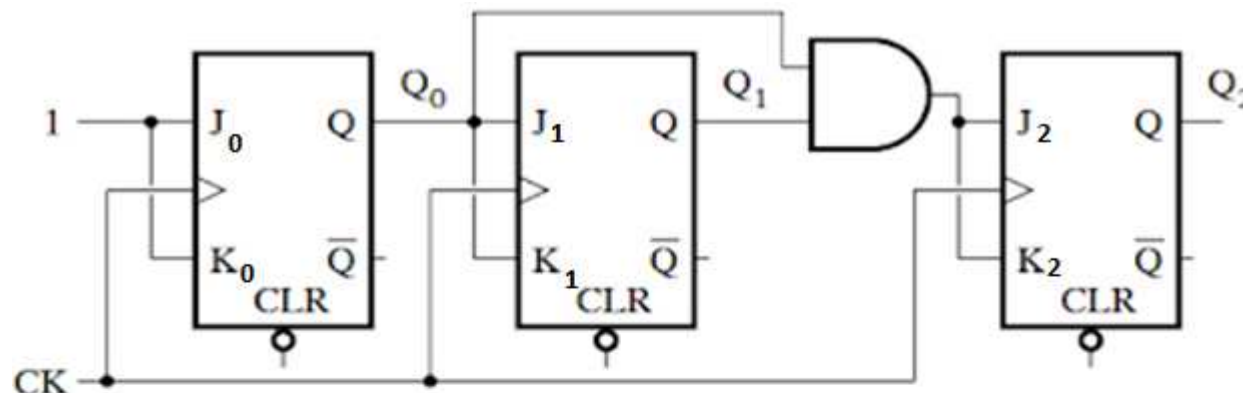


Chronogramme compteur synchrone modulo 4

## ➤ Circuits séquentiels

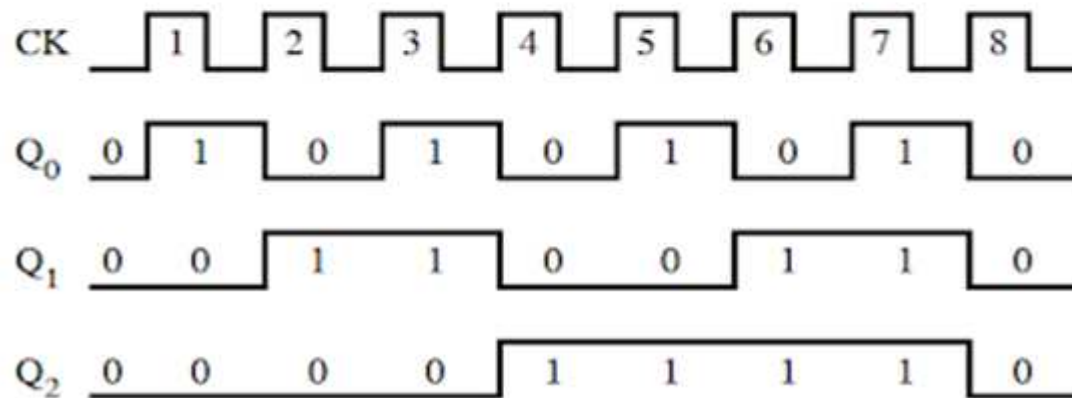
### ✓ Compteurs synchrones

- Compteur synchrone modulo 8



Compteur synchrone modulo 8

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = Q_0 \\ J_2 = K_2 = Q_0 \cdot Q_1 \end{cases}$$

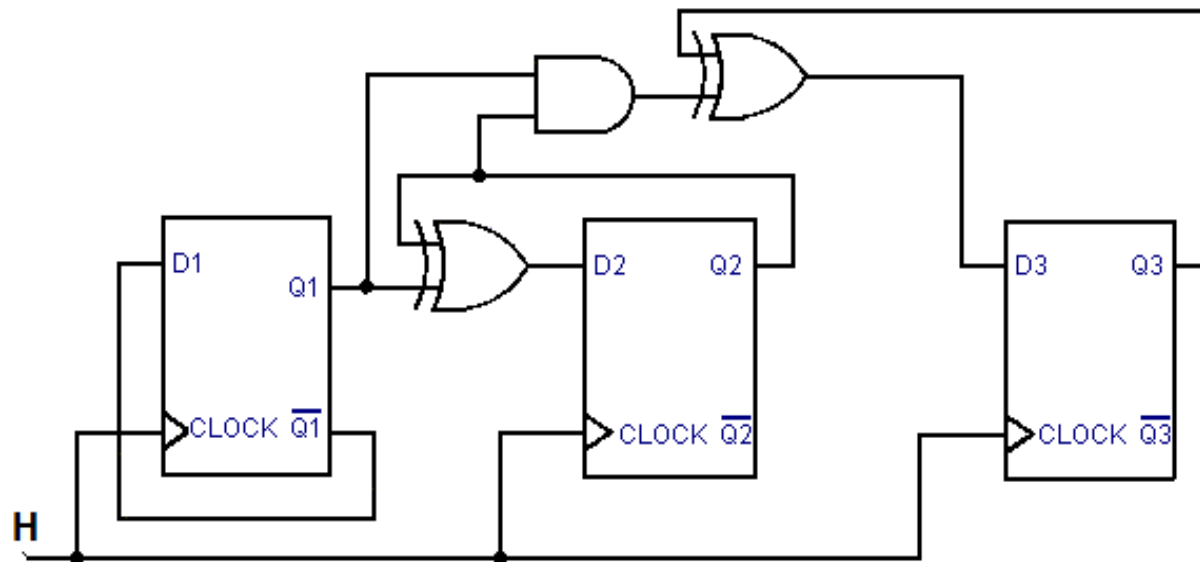


Chronogramme

## ➤ Circuits séquentiels

### ✓ Compteurs synchrones

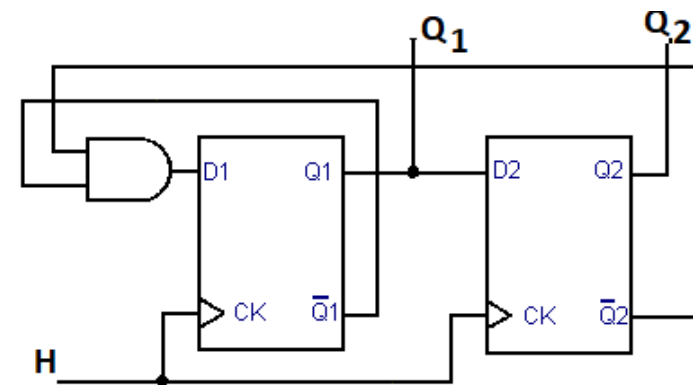
- Compteur synchrone modulo 8



Compteur synchrone modulo 8

$$\begin{cases} D_1 = \overline{Q_1} \\ D_2 = Q_1 \oplus Q_2 \\ D_3 = (Q_1 Q_2) \oplus Q_3 \end{cases}$$

- Compteur synchrone modulo 3

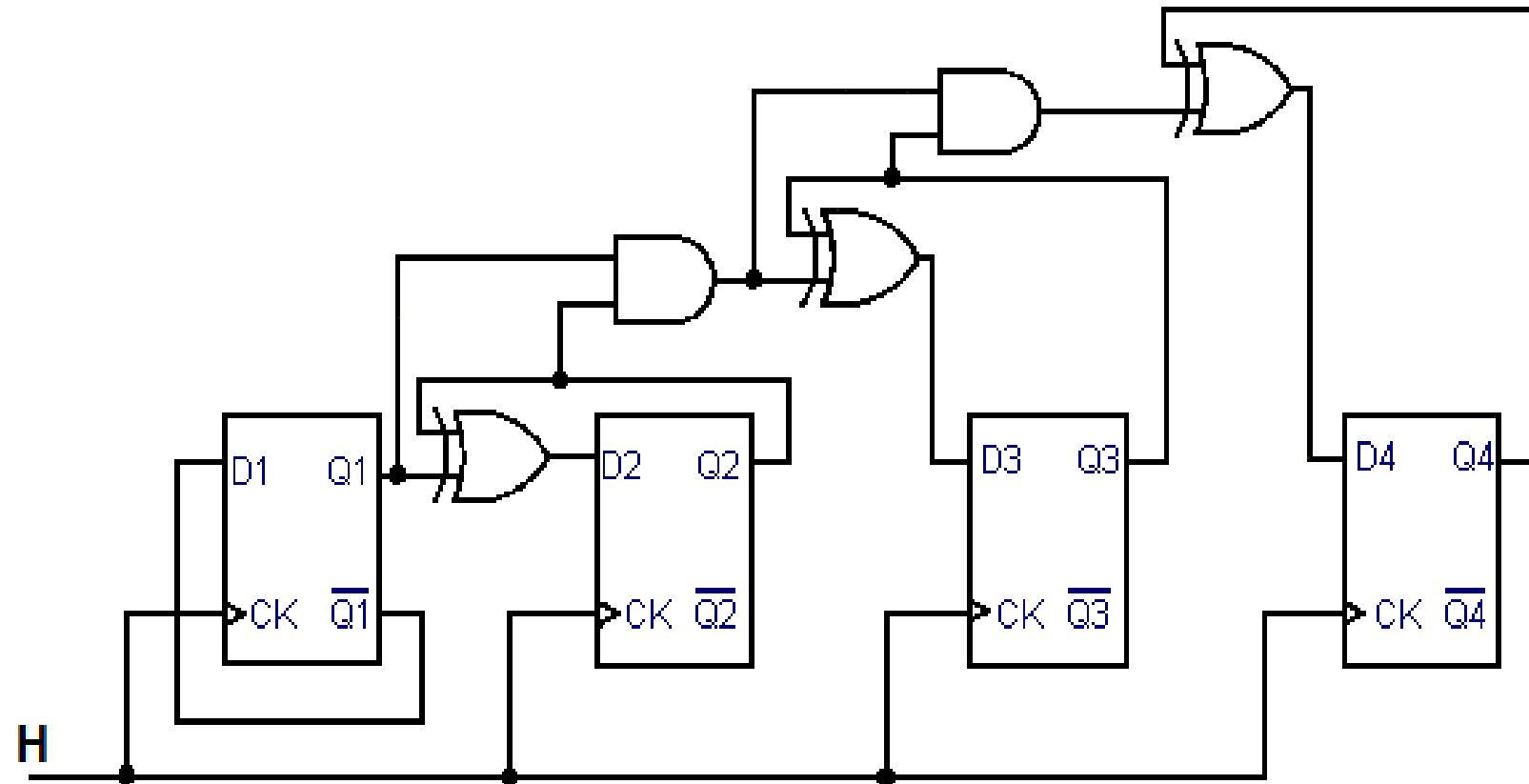


Compteur synchrone modulo 3

## ➤ Circuits séquentiels

### ✓ Compteurs synchrones

- Compteur synchrone modulo 16

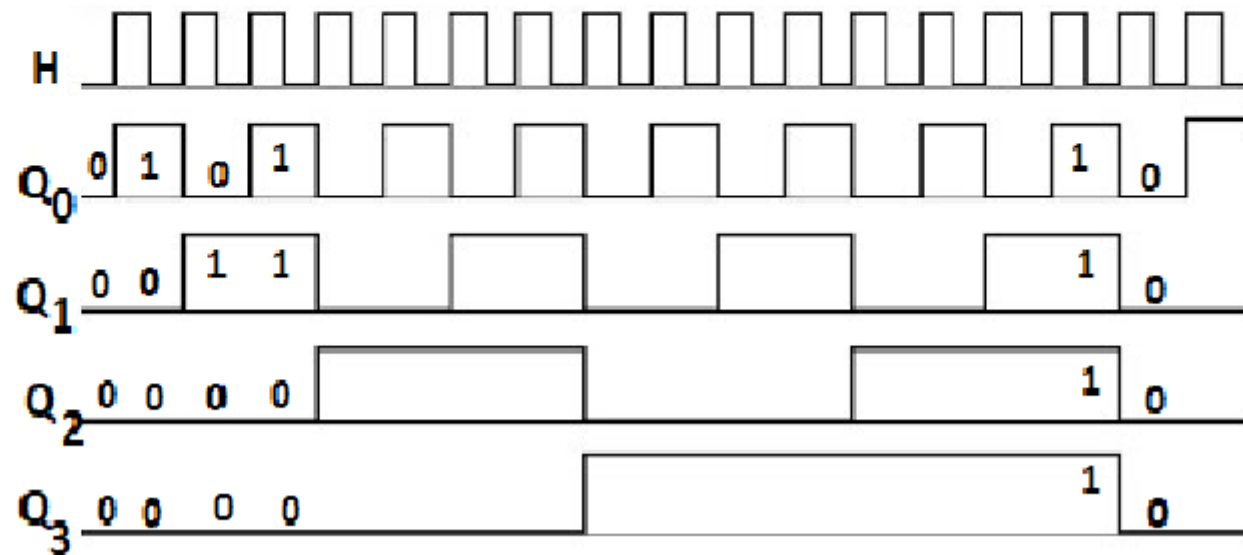
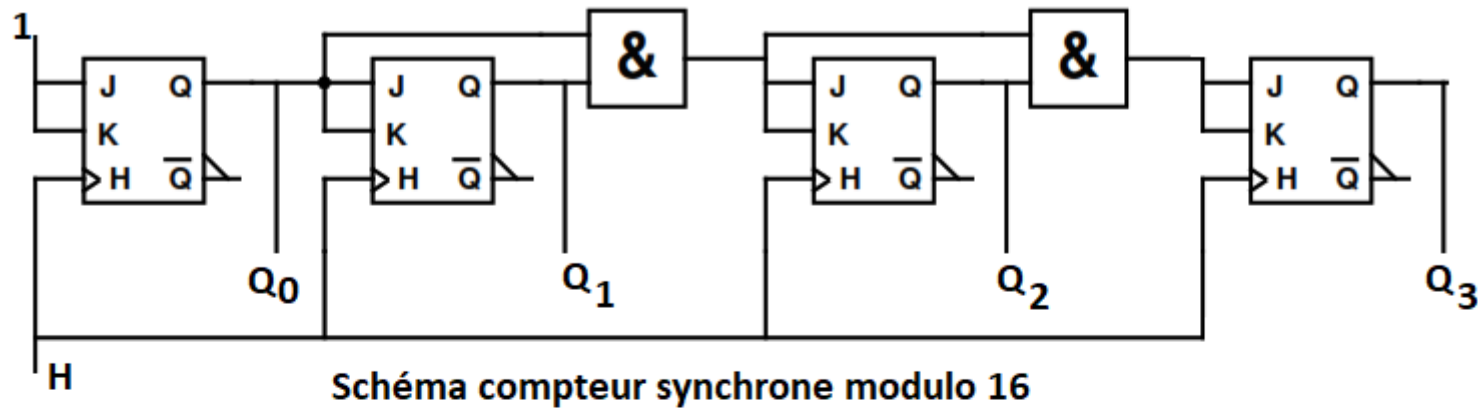


Compteur synchrone modulo 16

## ➤ Circuits séquentiels

### ✓ Compteurs synchrones

- Compteur synchrone modulo 16



Chronogramme des états

# ➤ Circuits séquentiels

## ✓ Compteurs-Décompteurs synchrones

Top	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	J <sub>2</sub> =K <sub>2</sub>	J <sub>1</sub> =K <sub>1</sub>	J <sub>0</sub> =K <sub>0</sub>
				2	1	0
0	0	0	0	0	0	1
1	0	0	1	0	1	1
2	0	1	0	0	0	1
3	0	1	1	1	1	1
4	1	0	0	0	0	1
5	1	0	1	0	1	1
6	1	1	0	0	0	1
7	1	1	1	1	1	1
8	0	0	0			

### Equations comptage

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = Q_0 \\ J_2 = K_2 = Q_0 \cdot Q_1 \end{cases} \rightarrow \begin{cases} J_0 = K_0 = 1 \\ J_i = K_i = Q_0 \cdot Q_1 \cdot \dots \cdot Q_{i-1} \end{cases}$$

Top	Q <sub>2</sub>	Q <sub>1</sub>	Q <sub>0</sub>	J <sub>2</sub> =K <sub>2</sub>	J <sub>1</sub> =K <sub>1</sub>	J <sub>0</sub> =K <sub>0</sub>
0	1	1	1	0	0	1
1	1	1	0	0	1	1
2	1	0	1	0	0	1
3	1	0	0	1	1	1
4	0	1	1	0	0	1
5	0	1	0	0	1	1
6	0	0	1	0	0	1
7	0	0	0	1	1	1
8	1	1	1			

### Equations décomptage

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = \overline{Q_0} \\ J_2 = K_2 = \overline{Q_0} \cdot \overline{Q_1} \end{cases}$$

## ➤ Circuits séquentiels

### ✓ Compteurs-Décompteurs synchrones

- Equations logiques pour n bascules

Comptage :

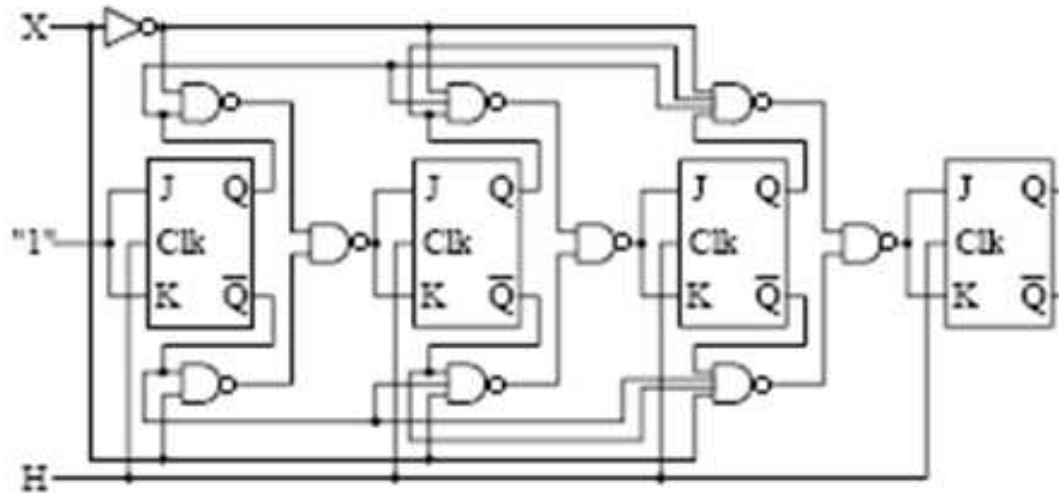
$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = Q_0 \\ J_2 = K_2 = Q_0 \cdot Q_1 \\ J_n = Q_0 Q_1 Q_2 Q_3 \dots Q_{n-2} \cdot Q_{n-1} \end{cases}$$

Décomptage :

$$\begin{cases} J_0 = K_0 = 1 \\ J_1 = K_1 = \overline{Q_0} \\ J_2 = K_2 = \overline{Q_0} \cdot \overline{Q_1} \\ J_n = \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3} \dots \overline{Q_{n-2}} \cdot \overline{Q_{n-1}} \end{cases}$$

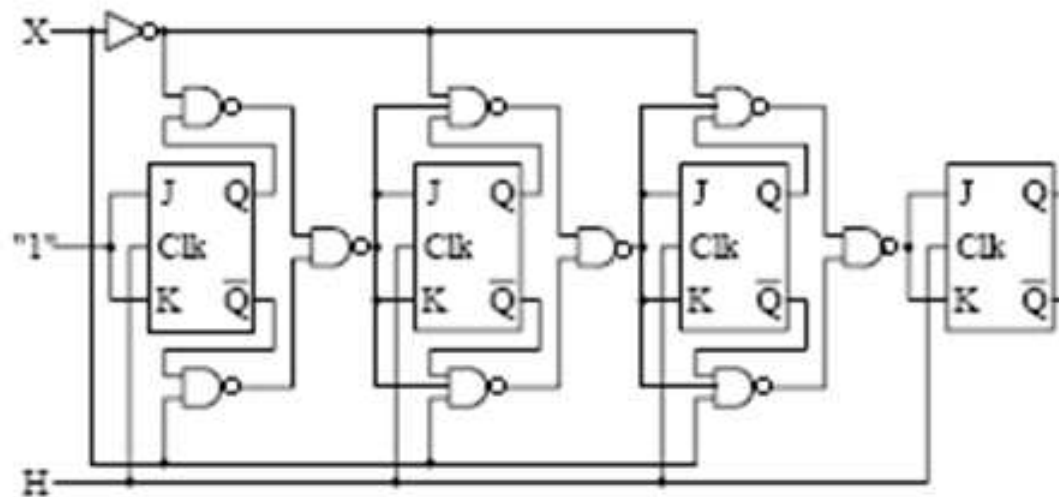
## ➤ Circuits séquentiels

### ✓ Compteurs-décompteurs synchrones



**Compteur-décompteur à repport parallèle**

- Compteur :  $X = 0$
- Décompteurs :  $X = 1$



**Compteur-décompteur à repport série**

Dr Saïd HAMDOU



## ➤ Circuits séquentiels

### ✓ Compteur DCB

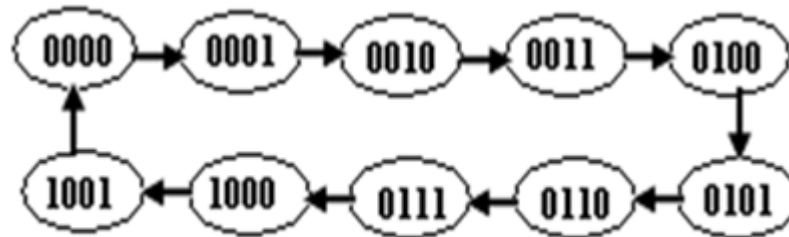
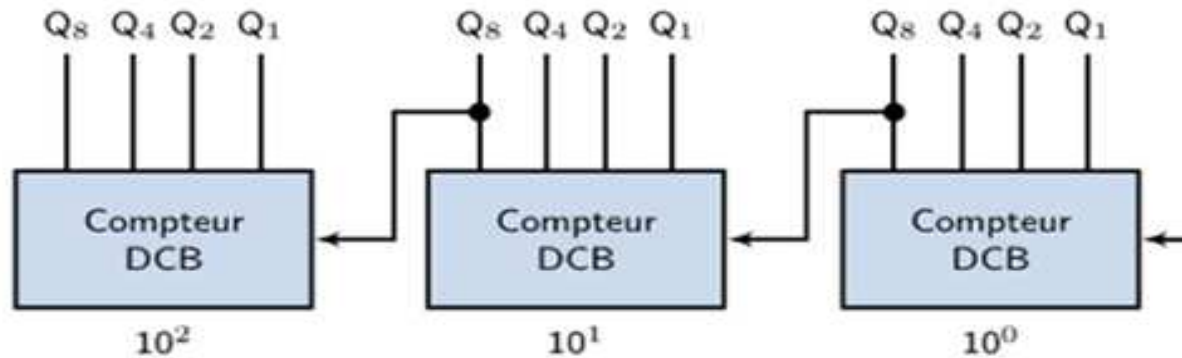
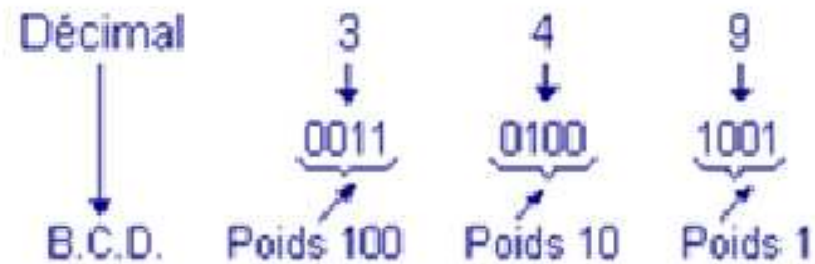


Diagramme d'état d'un compteur BCD



Compteur DCB à 3 décades



## ➤ **Circuits séquentiels**

### ✓ **Autres compteurs**

**NB: Il existe des compteurs non binaires : compteur Johnson  
et compteur en anneau.**

**Un compteur Johnson modulo 10 utilise 5 bascules et celui en  
anneau modulo 10 utilise 10 bascules**

## ➤ **Circuits séquentiels**

### ✓ **Mémoires**

- **Définition et catégories**

**Dispositif à base de semi-conducteur capable d'enregistrer des informations, de les conserver aussi longtemps que nécessaire (ou possible), et de les restituer à la demande.**

**Il existe deux types de mémoires :**

- **La mémoire centrale qui est très rapide, physiquement peu encombrante mais coûteuse, c'est la mémoire de travail de l'ordinateur ;**
- **La mémoire de masse ou mémoire auxiliaire, qui est plus lente, assez encombrante physiquement, mais meilleur marché, c'est la mémoire de « sauvegarde » des informations.**

## ➤ Circuits séquentiels

### ✓ Mémoires

- Architecture

Une mémoire peut être représentée comme une armoire de rangement constituée de tiroirs. Chaque tiroir représente alors une case mémoire qui peut contenir un seul élément.

Avec une adresse de  $n$  bits, il est possible de référencer au plus  $2^n$  cases mémoires.

Chaque case est remplie par un mot de données (sa longueur  $m$  est toujours une puissance de 2). Le nombre de fils d'adresses d'un boîtier mémoire définit le nombre de cases mémoire que comprend le boîtier. Le nombre de fils de données définit la taille des données que l'on peut sauvegarder dans chaque case mémoire.

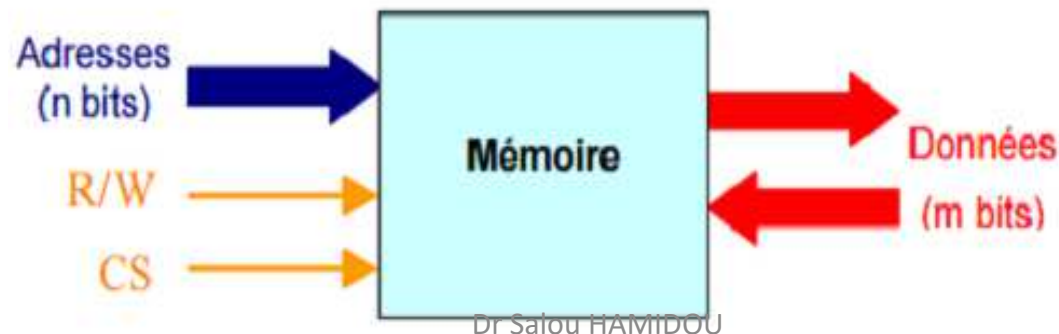
## ➤ Circuits séquentiels

### ✓ Mémoires

- Architecture

un boîtier mémoire comprend une entrée de commande qui permet de définir le type d'action que l'on effectue avec la mémoire (lecture/écriture) et une entrée de sélection qui permet de mettre les entrées/sorties du boîtier en haute impédance.

L'opération de lecture ou d'écriture suit toujours le même cycle :  
Sélection adresse → choix opération à effectuer (R/W) → sélection de la mémoire (CS = 0) → lecture ou écriture la donnée.



## ➤ Circuits séquentiels

### ✓ Mémoires

- Caractéristiques

- ***L'adresse*** : valeur numérique désignant un élément physique de mémoire ;
- ***La capacité*** ou la ***taille*** : nombre d'informations qu'elle peut contenir. La capacité est exprimée en fonction du nombre de bits, d'octets ou de mots ;
- ***Le temps d'accès*** : temps nécessaire pour accéder en mémoire à l'information, de l'ordre du nanoseconde (ns) ;
- ***La volatilité*** : caractérise la permanence des informations dans une mémoire ou le laps de temps pendant lequel la mémoire est capable de retenir des informations de manière fiable.

## ➤ Circuits séquentiels

### ✓ Mémoires

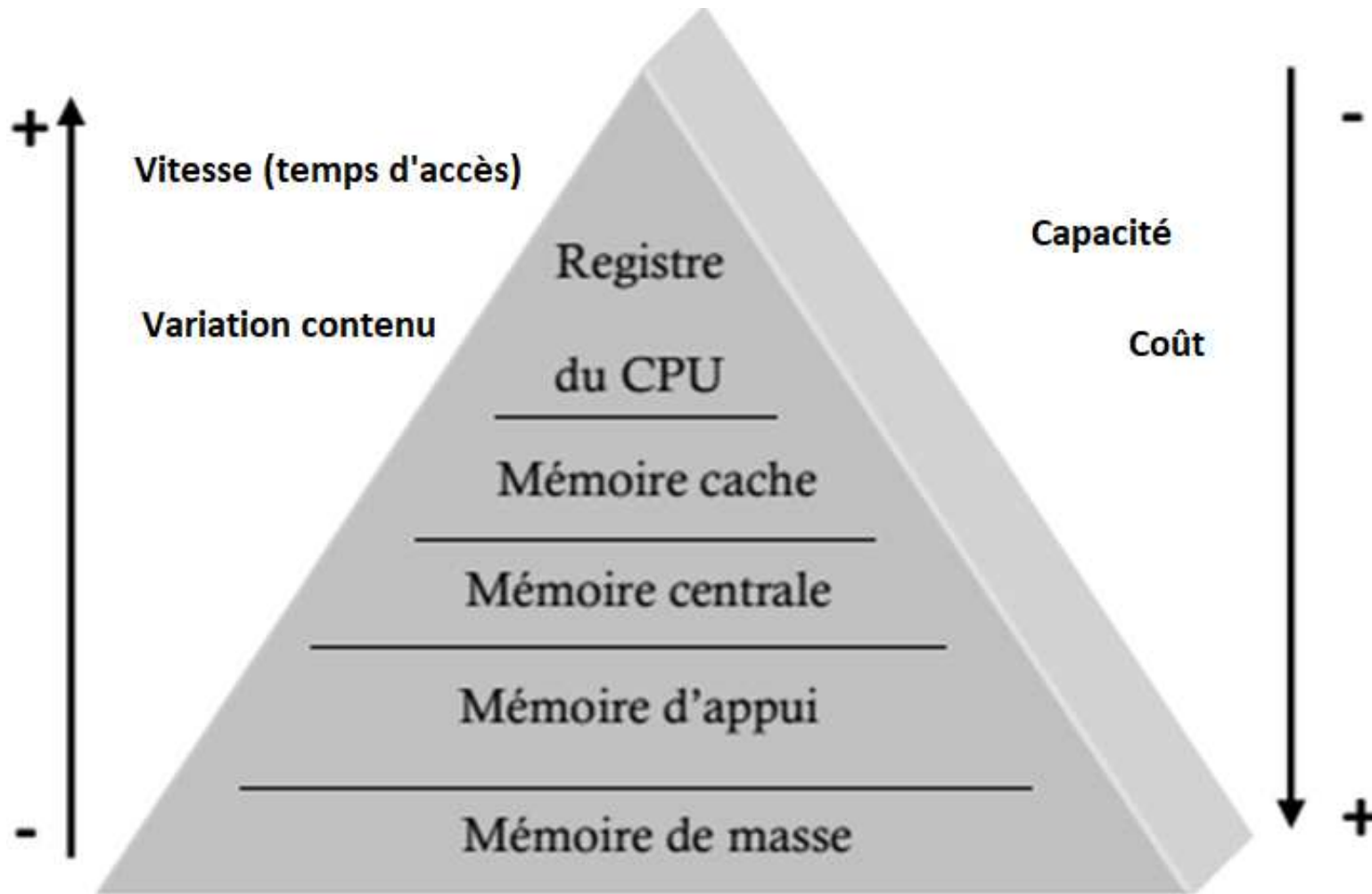
- Caractéristiques

- ***Le cycle mémoire*** : temps minimal s'écoulant entre deux accès successifs à la mémoire.
- ***Le débit*** : volume d'information échangé par unité de temps, exprimé en bits par seconde ;
- ***Le prix de revient*** de l'information mémorisée : mémoires électroniques ont un coût de stockage au bit relativement élevé, ce qui explique leur faible capacité ;
- ***L'encombrement physique*** : volume physique occupé. Choix préférentiel sur des mémoires à encombrement physique réduit.

## ➤ Circuits séquentiels

### ✓ Mémoires

- Hiérarchisation





## ➤ Circuits séquentiels

### ✓ Mémoires

- Hiérarchisation

- ***Les registres*** : éléments de mémoire les plus rapides. Ils sont situés au niveau du processeur et servent au stockage des opérandes et des résultats intermédiaires ;
- ***La mémoire cache*** : mémoire rapide de faible capacité destinée à accélérer l'accès à la mémoire centrale en stockant les données les plus utilisées ;
- ***La mémoire centrale*** : organe principal de rangement des informations utilisées par le CPU. C'est une mémoire à semi-conducteur, de temps d'accès beaucoup plus grand que celui des registres et du cache.

## ➤ Circuits séquentiels

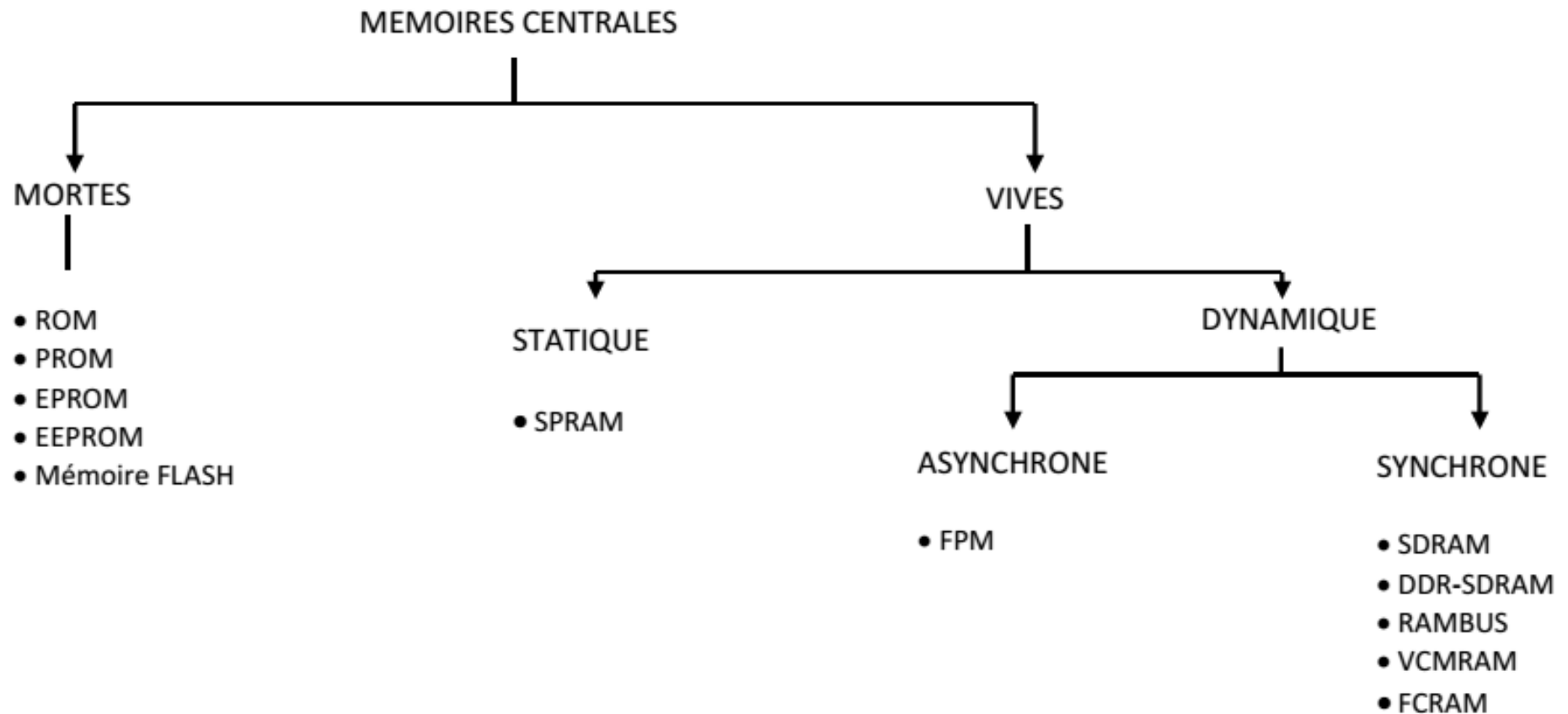
### ✓ Mémoires

- Hiérarchisation
- ***La mémoire d'appui*** : mémoire intermédiaire entre la mémoire centrale et les mémoires de masse. Elle joue le même rôle que la mémoire cache ;
- **La mémoire de masse** : mémoire périphérique de grande capacité utilisée pour stockage/sauvegarde permanent des informations. Elle utilise pour cela des supports magnétiques (disque dur) ou optiques (CDROM, DVDROM).

# ➤ Circuits séquentiels

## ✓ Mémoires

### • Classification



## ➤ Circuits séquentiels

### ✓ Mémoires

- Classification

- **Les mémoires vives (RAM)** : mémoire servant au stockage temporaire des données. Elle doit avoir un temps de cycle très court pour ne pas ralentir le microprocesseur. Il existe deux grandes familles de mémoires vives :

- \* **RAM statiques (SRAM)** mémorisent les informations par une bascule de type D et les conservent tant que l'alimentation est présente (mémoire volatile),

- \* **RAM dynamiques (DRAM)** utilisent un condensateur comme cellule mémoire (un bit mémorisé) de l'information. Cette information tend à se dégrader à cause des courants de fuites, ce qui nécessite un rafraîchissement périodique.

## ➤ Circuits séquentiels

### ✓ Mémoires

- Classification

- **Les mémoires mortes (ROM)** : mémoire permanente, non volatile et en lecture seule contrairement à la RAM. L'utilité première de ce type de mémoire est de pouvoir conserver un logiciel ou programme embarqué, qui ne s'efface jamais, même quand il n'y a plus de traitements numériques, ou même de mise sous tension. Elle reste en permanence intacte, même si l'ordinateur éteint.

Types de mémoires ROM :

**\*ROM (Read Only Memory)** : L'information contenue dans ces mémoires est enregistrée de manière irréversible lors de la fabrication du circuit ;

## ➤ Circuits séquentiels

### ✓ Mémoires

- Classification

- \* **PROM (Programmable Read Only Memory)** : programmables par l'utilisateur, mais une seule fois en raison du moyen de stockage, les données sont stockées par des fusibles,

- \* **EPROM (Erasable Programmable Read Only Memory)** : effaçables et programmables par l'utilisateur,

- \* **EEPROM (Erasable Electrically PROM)** : effaçables et programmables par l'utilisateur. Elles sont plus faciles à effacer que les EPROM car effaçables électriquement,

- \* **Flash EPROM** : mêmes caractéristiques qu'une mémoire vive mais dont les données ne disparaissent pas lors d'une mise hors tension.