



Apresentação do PC1

Rafael S. Parisi
RA: 148418



Sumário

- MIPS
- Arquitetura
- Conjunto de instruções
- Caminho de dados
- Conclusão



MIPS

- Arquitetura de Conjunto de Instruções (Instruction Set Architecture – ISA), desenvolvida pela empresa MIPS Computer Systems
- Ampla fatia de mercado de núcleos embarcados
- Microprocessador RISC
- Arquitetura baseada em registrador (CPU usa apenas registradores para realizar as suas operações aritméticas e lógicas)



Arquitetura

- Arquitetura de Harvard (acesso à memória de dados de modo separado em relação à memória de programa)
- Monociclo (1 instrução por ciclo)
- Conjunto de 32 registradores de 32bits
- Numerados de 0 a 31 => Palavras de 32 bits



Conjunto de instruções

Lógicas:

- ADD, SUBTRACT, MULTIPLY, DIVIDE

Aritméticas:

- AND, OR, SHIFTleft, SHIFTright

Transferência de dados:

- LOAD WORD, STORE WORD



Conjunto de instruções

Branchs condicionais:

- BRANCH ON EQUAL(BEQ), BRANCH ON NOT EQUAL(BNE)

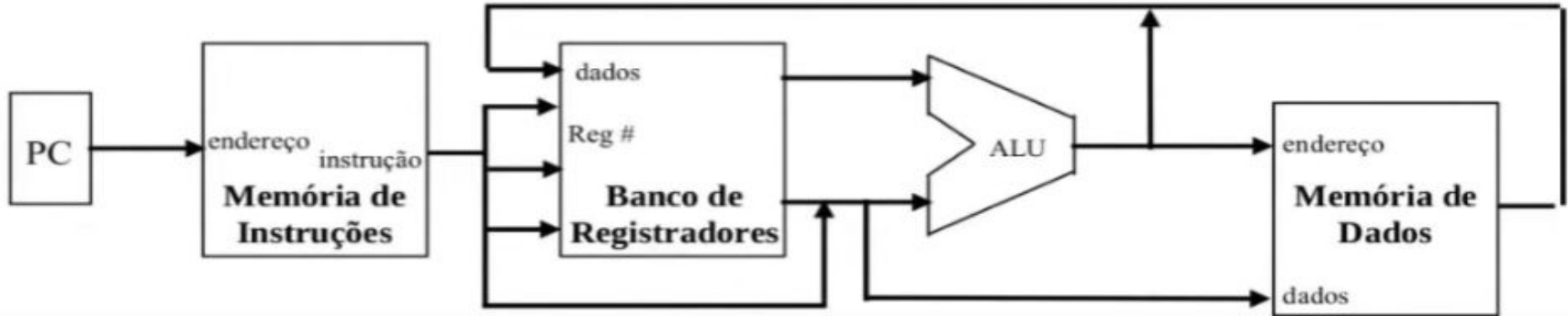
Comparação:

- SET ON LESS THAN(SLT)

Jump Incondicional:

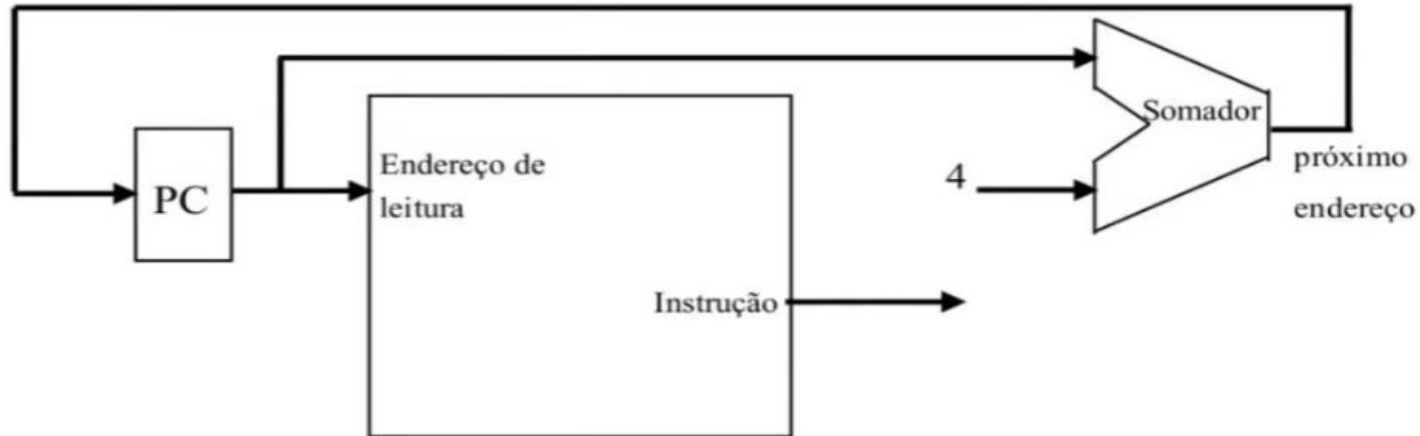
- JUMP, JUMP AND LINK(JAL)

Caminho de dados com exemplos de instruções

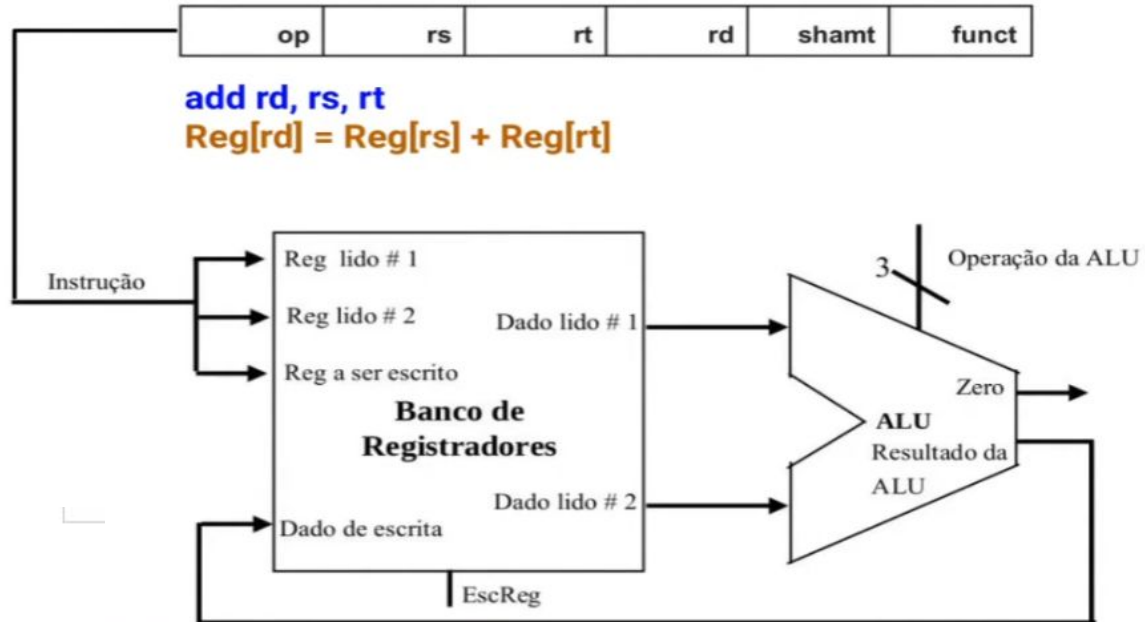


Busca/Armazena Instrução e Incrementa PC

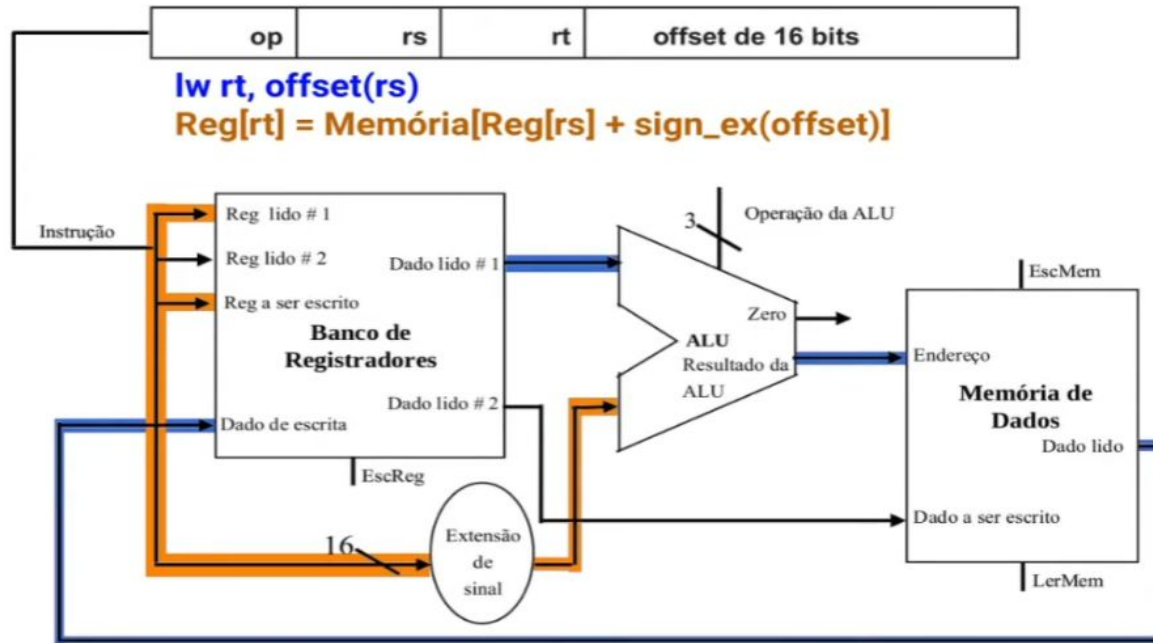
$IR = \text{Memória}[PC]$
 $PC = PC + 4$



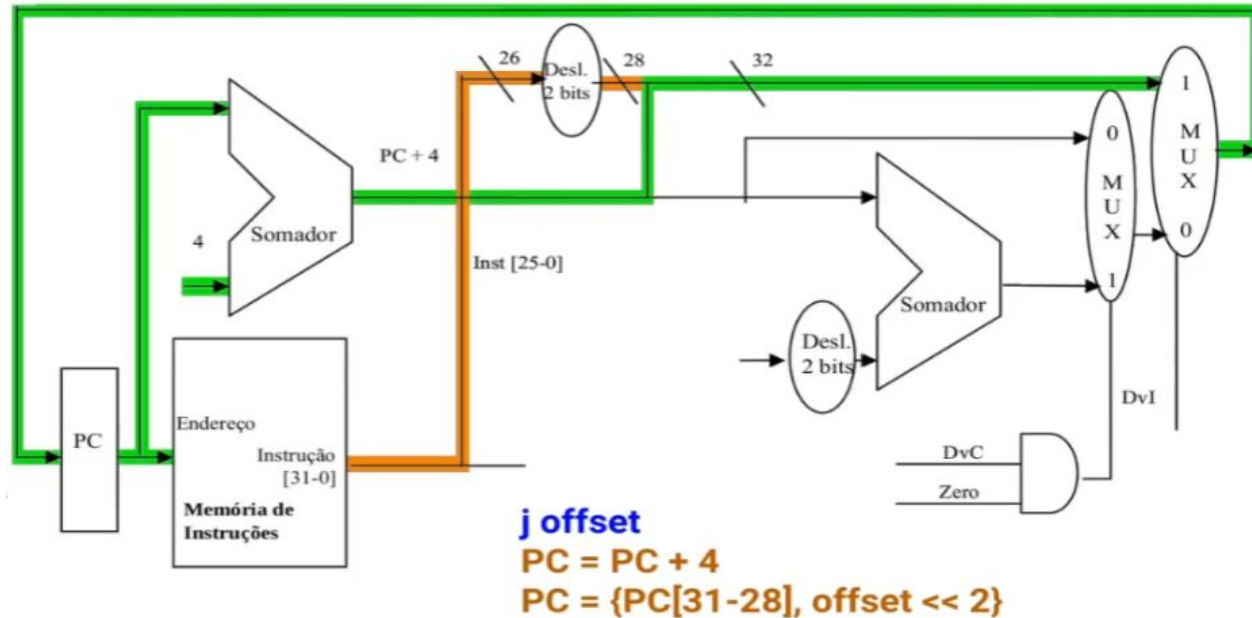
Instruções Tipo R



Instruções Tipo I



Instruções Tipo J





Conclusão

Próximas etapas:

- Implementação em Verilog de cada entidade apresentada
- Testes e validações de cada implementação realizada