

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2016年8月11日(11.08.2016)



(10) 国際公開番号  
**WO 2016/125772 A1**

- (51) 国際特許分類:  
*G02F 1/015* (2006.01) *G02B 6/122* (2006.01)  
*G02B 6/12* (2006.01) *G02F 1/025* (2006.01)
- (21) 国際出願番号: PCT/JP2016/053001
- (22) 国際出願日: 2016年2月2日(02.02.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2015-022351 2015年2月6日(06.02.2015) JP
- (71) 出願人: 技術研究組合光電子融合基盤技術研究所 (PHOTONICS ELECTRONICS TECHNOLOGY RESEARCH ASSOCIATION) [JP/JP]; 〒1120014 東京都文京区関口1-20-10 Tokyo (JP). 国立大学法人 東京大学 (THE UNIVERSITY OF TOKYO) [JP/JP]; 〒1138654 東京都文京区本郷七丁目3番1号 Tokyo (JP).
- (72) 発明者: 藤方 潤一 (FUJIKATA, Junichi); 〒1120014 東京都文京区関口1-20-10 技術研究組合光電子融合基盤技術研究所内 Tokyo (JP). 高橋 重樹 (TAKAHASHI, Shigeki); 〒1120014 東京都文京区関口1-20-10 技術研究組

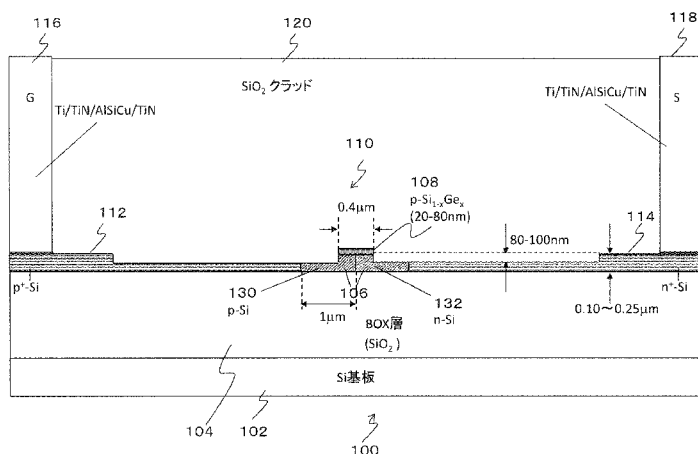
合光電子融合基盤技術研究所内 Tokyo (JP). 竹中 充 (TAKENAKA, Mitsuru); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP). キム ヨンヒョン (KIM, Younghyun); 〒1138654 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP).

- (74) 代理人: 小野 新次郎, 外 (ONO, Shinjiro et al.); 〒1000004 東京都千代田区大手町二丁目2番1号 新大手町ビル206区 ユアサハラ法律特許事務所 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユー

[続葉有]

(54) Title: OPTICAL MODULATOR AND METHOD OF MANUFACTURING SAME

(54) 発明の名称: 光変調器及びその製造方法



120 SiO<sub>2</sub> CLAD  
104 BOX LAYER (SiO<sub>2</sub>)  
102 Si SUBSTRATE

(57) Abstract: Provided is an optical phase modulator in which optical loss is small, that has a compact size, in which the required voltage is low, and that is capable of high-speed operation. An optical phase modulator 100 according to an embodiment of the present invention is provided with a rib-type waveguide structure 110 including: a p-n junction 106 comprising Si and formed in the lateral direction on a substrate; and a Si<sub>1-x</sub>Ge<sub>x</sub> layer 108 doped with a p-type impurity and comprising at least one layer laminated on the p-n junction 106, so as to be electrically connected to the p-n junction 106.

(57) 要約: 光損失が小さく、サイズが小さく、所要電圧が低く、高速動作が可能な光位相変調器を提供する。本発明の実施例による光位相変調器100は、基板上に横方向に形成されたSiからなるPN接合106と、p型に不純物ドーピングされ、PN接合106と電氣的に接続されるように、PN接合106上に積層される少なくとも1層からなるSi<sub>1-x</sub>Ge<sub>x</sub>層108とを含むリブ型導波路構造110を備える。



ロシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨー  
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,  
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,  
MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,  
SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,  
GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：光変調器及びその製造方法

### 技術分野

[0001] 本発明は光変調器及びその製造方法に関し、より詳細には、シリコン（Si）のキャリアプラズマ効果を利用した光位相変調器及び光強度変調器並びにその製造方法に関する。

### 背景技術

[0002] 家庭用光ファイバおよびローカル・エリア・ネットワーク（LAN）などの様々なシステム用の1310nmおよび1550nmの光ファイバ通信波長で機能するシリコン・ベース光通信デバイスは、CMOS技術を利用して、光機能素子および電子回路をシリコンプラットフォーム上に集積化可能とする非常に有望な技術である。

[0003] 近年、シリコン・ベースの導波路、光結合器、および波長フィルタなどの受動デバイスは、非常に広く研究されている。また、このような通信システム用の光信号を操作する手段として重要な技術として、シリコン・ベースの光変調器や光スイッチなどの能動素子が挙げられ、非常に注目されている。シリコンの熱光学効果を利用して屈折率を変化させる光スイッチや変調素子は、低速であり、1Mb/秒の変調周波数までの装置速度にしか使用出来ない。従って、より多くの光通信システムにおいて要求される高い変調周波数を実現するためには、電気光学効果を利用した光変調素子が必要である。

[0004] 現在提案されている電気光学変調器の多くは、キャリアプラズマ効果を利用して、シリコン層中の自由キャリア密度を変化させることにより、屈折率の実数部と虚数部を変化させ、光の位相や強度を変化させるデバイスである。純シリコンは、線形電気光学効果（Pockels）効果を示さず、またFranz-Keldysh効果やKerr効果による屈折率の変化は非常に小さいため、上記の効果が広く利用されている。自由キャリア吸収を利用した変調器では、Si中を伝播する光吸収の変化により、出力が直接変調さ

れる。屈折率変化を利用した構造としては、マッハ・ツェンダー干渉計を利用したものが一般的であり、二本のアームにおける光位相差を干渉させて、光の強度変調信号を得ることが可能である。

[0005] 電気光学変調器における自由キャリア密度は、自由キャリアの注入、蓄積、除去、または反転によって変えることが出来る。現在までに検討されたこのような装置の多くは、光変調効率が悪く、光位相変調に必要な長さがmmオーダーであり、 $1\text{ k A/cm}^3$ より高い注入電流密度が必要である。小型・高集積化、さらには低消費電力化を実現するためには、高い光変調効率が得られる素子構造が必要であり、これにより光位相変調長さを小さくすることが可能である。また、素子サイズが大きい場合、シリコンプラットフォーム上の温度分布の影響を受け易くなり、熱光学効果に起因するシリコン層の屈折率変化により、本来の電気光学効果を打ち消すことも想定され、問題である。

[0006] 図25は、非特許文献1および特許文献1に開示されている、SOI基板上に形成されたリブ導波路形状を利用した、シリコン・ベース電気光学位相変調器の典型例である。電気光学位相変調器は、真性半導体領域からなるリブ形状の両側に横方向に延びるスラブ領域がp, nドープされて形成されている。上記リブ導波路構造は、シリコン・オン・インシュレータ(SOI)基板上のSi層を利用して形成される。図25に示した構造は、PINダイオード型変調器であり、順方向および逆方向バイアスを印加することにより、真性半導体領域内の自由キャリア密度を変化させ、キャリアプラズマ効果を利用することにより、屈折率を変化させる構造となっている。この例では、真性半導体シリコン層2501は、第1の電極コンタクト層2506と接触する領域に高濃度にドープ処理されたpタイプ領域2504を含むように形成されている。図では、真性半導体シリコン層2501は、さらに高濃度にnタイプドープ処理された領域2505および、これに接続する第2の電極コンタクト層2506を含む。上記PINダイオードの構造においては、領域2504、2505は、 $\text{cm}^3$ 毎に約 $10^{20}$ のキャリア密度を呈するよう

にドーピング処理することも可能である。また、上記PIN構造においては、pタイプ領域2504およびnタイプ領域2505は、リブ2501の両側に間隔を置いて配置されており、リブ2501は真性半導体層である。また、図25には、支持基板2503、埋め込み酸化膜層2502、電極配線2507及び酸化物クラッド2508が示されている。

[0007] 光変調動作に関しては、第1及び第2の電極コンタクト層2506を用いて、PINダイオードに対して順方向バイアスを印加し、それによって導波路内に自由キャリアを注入するように、電源に接続されている。この時、自由キャリアの増加により、シリコン層2501の屈折率が変化し、それによって導波路を通して伝達される光の位相変調が行われる。しかし、この光変調動作の速度は、リブ2501内の自由キャリア寿命と、順方向バイアスが取り除かれた場合のキャリア拡散によって制限される。このような従来技術のPINダイオード位相変調器は、通常、順方向バイアス動作時に10～50Mb／秒の範囲内の動作速度を有する。これに対し、キャリア寿命を短くするために、シリコン層内に不純物を導入することによって、切り換え速度を増加させることが可能であるが、導入された不純物は光変調効率を低下させるという課題がある。しかし、動作速度に影響する最も大きな因子は、RC時定数によるものであり、この場合順方向バイアス印加時の静電容量(C)が、PN接合部のキャリア空乏層の減少により非常に大きくなる。理論的には、PN接合部の高速動作は逆バイアスを印加することにより達成可能であるが、比較的大きな駆動電圧あるいは大きな素子サイズを必要とする。

## 先行技術文献

### 特許文献

[0008] 特許文献1：特開2013-214044号公報

### 非特許文献

[0009] 非特許文献1：William M. J. Green, Michael J. Rooks, Lidija Sekaric, and Yurii A. Vlasov, Opt. Express 15, 17106-171113 (2007), "Ultra-compact, low RF power, 10Gb/s silicon Mach-Zehnder modulator."

## 発明の概要

### 発明が解決しようとする課題

[0010] したがって、光損失が小さく、サイズが小さく、所要電圧が低く、高速動作が可能な光変調器が必要とされている。

### 課題を解決するための手段

[0011] 本発明の実施例において、光位相変調器は、基板上に横方向に形成された  $Si$  又は  $Si_{1-y}Ge_y$  からなる  $PN$  接合又は  $PIN$  接合と、第1の導電タイプ又は第2の導電タイプを呈するように不純物ドーピングされ、 $PN$  接合又は  $PIN$  接合と電氣的に接続されるように、 $PN$  接合又は  $PIN$  接合上に積層される少なくとも1層からなる  $Si_{1-x}Ge_x$  層とを含むリブ型導波路構造を備える。

[0012] 本発明の実施例において、光位相変調器は、リブ型導波路構造に隣接する、第1の導電タイプの第1の電極及び第2の導電タイプの第2の電極を備える。第1の電極及び第2の電極に電圧を印加することにより、リブ型導波路構造におけるキャリア密度が変化される。

[0013] 本発明の実施例において、少なくとも1層からなる  $Si_{1-x}Ge_x$  層は格子歪を有する。

[0014] 本発明の実施例において、基板上に横方向に形成された  $PN$  接合又は  $PIN$  接合が、 $Si$  からなる  $PN$  接合又は  $PIN$  接合と、 $Si_{1-y}Ge_y$  からなる  $PN$  接合又は  $PIN$  接合との積層構造からなる。

[0015] 本発明の実施例において、基板上に横方向に形成された  $Si$  および  $Si_{1-y}Ge_y$  の積層構造からなる  $PN$  接合又は  $PIN$  接合が、リブ型導波路構造を備える。

[0016] 本発明の実施例において、少なくとも1層からなる  $Si_{1-x}Ge_x$  層が、 $PN$  接合又は  $PIN$  接合上に積層された  $Si_{1-x_1}Ge_{x_1}$  層と、 $Si_{1-x_1}Ge_{x_1}$  層上に積層された  $Si_{1-x_2}Ge_{x_2}$  層とを備え、ここで  $x_2$  は  $x_1$  より小さい。

[0017] 本発明の実施例において、少なくとも1層からなる  $Si_{1-x}Ge_x$  層が、上

部あるいは側面に形成された歪誘起膜を備える。

[0018] 本発明の実施例において、基板上に横方向に形成されたPN接合もしくはPIN接合、又はその上に電氣的に接続されるように積層された少なくとも1層からなる $\text{Si}_{1-x}\text{Ge}_x$ 層において、第1の導電タイプのドーピング濃度は第2の導電タイプのドーピング濃度よりも小さい。

[0019] 本発明の実施例において、第1の導電タイプがp型であり、第2の導電タイプがn型である。

[0020] 本発明の実施例において、PN接合又はPIN接合が、光の伝搬方向に沿って周期的又は非周期的に形成される複数のPN接合又はPIN接合を含む。

[0021] 本発明の実施例において、周期的又は非周期的に形成される複数のPN接合又はPIN接合の接合位置に対応して、PN接合又はPIN接合上に積層された少なくとも1つの $\text{Si}_{1-x}\text{Ge}_x$ 層の導電タイプが第1の導電タイプと第2の導電タイプとの間で交互に変化する。

[0022] 本発明の実施例において、光強度変調器は、上記のような光位相変調器を備える。

[0023] 本発明の実施例において、光位相変調器の製造方法は、横方向に形成されたSi又は $\text{Si}_{1-y}\text{Ge}_y$ からなるPN接合又はPIN接合を形成するステップと、PN接合又はPIN接合に隣接する領域を第1の導電タイプ及び第2の導電タイプでドーピングして、第1の導電タイプの第1の電極及び第2の導電タイプの第2の電極を形成するステップと、PN接合又はPIN接合上に、第1の導電タイプ又は第2の導電タイプを呈するように不純物ドーピングされ、PN接合又はPIN接合と電氣的に接続される少なくとも1層からなる $\text{Si}_{1-x}\text{Ge}_x$ 層を形成するステップとを備える。

[0024] 本発明の実施例において、少なくとも1層からなる $\text{Si}_{1-x}\text{Ge}_x$ 層を形成するステップは、PN接合又はPIN接合に凹みを形成して、当該凹み上に少なくとも1層からなる $\text{Si}_{1-x}\text{Ge}_x$ 層を形成するステップを含む。

**発明の効果**

[0025] 本発明によれば、光損失が小さく、サイズが小さく、所要電圧が低く、高速動作が可能な光位相変調器を実現することができる。

### 図面の簡単な説明

[0026] [図1]本発明の1つの実施例による光位相変調器100の断面図を概略的に示す。

[図2]図2(A)は、シミュレーションに用いた光位相変調器の断面構造を示す。図2(B)は、図2(A)の光位相変調器について計算された光フィールドを示す。

[図3]PN接合上にp型Si層を積層した構成とPN接合上にp型Si<sub>1-x</sub>Ge<sub>x</sub>層を積層した場合のそれぞれについて、バイアス電圧が0V及び-2Vのときのキャリア分布の計算結果を示す。

[図4]図2(A)の光位相変調器について、逆バイアス電圧と性能指数 $V_{\pi}L$ との間の関係及び逆バイアス電圧と挿入損失との間の関係の計算結果を示す。

[図5]図5(A)は、図2(A)に示される光位相変調器について、光の過剰損失と電極（ハイドープ領域）間距離との間の関係の計算結果を示す。図5(B)は、SiGe層を用いない場合とSiGe層を用いた場合のそれぞれについての、光電界プロファイルの計算結果を示す。

[図6]本発明の1つの実施例による光位相変調器600の断面図を概略的に示す。

[図7]本発明の1つの実施例による光位相変調器700の断面図を概略的に示す。

[図8]本発明の1つの実施例による光位相変調器800の断面図を概略的に示す。

[図9]本発明の1つの実施例による光位相変調器900の断面図を概略的に示す。

[図10]本発明の1つの実施例による光位相変調器1000の断面図を概略的に示す。



[図11]本発明の1つの実施例による光位相変調器1100の断面図を概略的に示す。

[図12]本発明の1つの実施例による光位相変調器1200の斜視図を概略的に示す。

[図13]図12に示される光位相変調器の断面図を概略的に示す。

[図14]図12に示される光位相変調器の断面図を概略的に示す。

[図15]本発明の1つの実施例による光位相変調器1500の斜視図を概略的に示す。

[図16]図15に示される光位相変調器の断面図を概略的に示す。

[図17]図15に示される光位相変調器の断面図を概略的に示す。

[図18]本発明の1つの実施例による光位相変調器1800の斜視図を概略的に示す。

[図19]図18に示される光位相変調器の断面図を概略的に示す。

[図20]図18に示される光位相変調器の断面図を概略的に示す。

[図21]本発明の1つの実施例による光位相変調器2100の斜視図を概略的に示す。

[図22]図21に示される光位相変調器の断面図を概略的に示す。

[図23]図21に示される光位相変調器の断面図を概略的に示す。

[図24A]図1に示される本発明の実施例による光位相変調器の製造工程を説明する図である。

[図24B]図1に示される本発明の実施例による光位相変調器の製造工程を説明する図である。

[図24C]図1に示される本発明の実施例による光位相変調器の製造工程を説明する図である。

[図24D]図1に示される本発明の実施例による光位相変調器の製造工程を説明する図である。

[図24E]図1に示される本発明の実施例による光位相変調器の製造工程を説明する図である。

[図24F]図1に示される本発明の実施例による光位相変調器の製造工程を説明する図である。

[図24G]図1に示される本発明の実施例による光位相変調器の製造工程を説明する図である。

[図24H]図1に示される本発明の実施例による光位相変調器の製造工程を説明する図である。

[図25]従来のシリコン・ベース電気光学位相変調器の典型例を示す。

### 発明を実施するための形態

[0027] 本発明の実施例に関して、図面を参照しながら以下に詳細に説明する。図1は、本発明の1つの実施例による光位相変調器100の断面図を概略的に示す。本実施例において、光位相変調器100は、シリコンフォトリソグラフィ技術を利用して、シリコン(Si)基板102に堆積されたシリカガラス( $\text{SiO}_2$ )からなる埋め込み酸化膜(BOX)層104上に形成される。光位相変調器100はリブ型導波路構造110を備える。リブ型導波路構造110は、基板に対して横方向(基板に対して水平な方向)に形成されたSiからなるPN接合106を含む。PN接合106は、p型Si領域130及びn型Si領域132を含む。後述するように、PN接合106は $\text{Si}_{1-y}\text{Ge}_y$ (yは0以上1以下)からなってもよい。リブ型導波路構造110は、PN接合106に代えて、PIN接合を含んでもよい。このようなPIN接合は、意図的に形成されたPIN接合と、PN接合から変化することによって意図せずに形成されたPIN接合の両方を含み得る。意図しない場合とは、PN接合106において電子と正孔が熱拡散により再結合してI層になる場合である。リブ型導波路構造110はまた、不純物ドーピングによって導電性を有する、PN接合106上に積層される少なくとも1層からなる $\text{Si}_{1-x}\text{Ge}_x$ (xは0以上1以下)層108を含む。本実施例において、 $\text{Si}_{1-x}\text{Ge}_x$ 層108の導電タイプはp型であるが、 $\text{Si}_{1-x}\text{Ge}_x$ 層108の導電タイプはn型であってもよい。このように、 $\text{Si}_{1-x}\text{Ge}_x$ 層108は導電性を有し、したがって、PN接合106と電氣的に接続される。

[0028] 図1に示されるように、一例として、 $\text{Si}_{1-x}\text{Ge}_x$ 層108の幅は $0.4\ \mu\text{m}$ であり、 $\text{Si}_{1-x}\text{Ge}_x$ 層108の厚さは $20\sim 80\ \text{nm}$ であり、PN接合の中心からp型Si領域130の端までの距離は $1\ \mu\text{m}$ である。また、一例として、リブ型導波路構造110におけるPN接合の高さは、図1に示すように、スラブ層に対して $80\sim 100\ \text{nm}$ である。また、一例として、電極112及び114の厚さは $0.10\sim 0.25\ \mu\text{m}$ である。

[0029] 光位相変調器100はまた、リブ型導波路構造110に隣接する第1の導電タイプ（例えば、p型）の第1の電極112及び第2の導電タイプ（例えば、n型）の第2の電極114、接地電極116及び信号電極118、並びにクラッド120を備える。接地電極116及び信号電極118は、例えば、Ti、TiN、AlSiCu、TiNなどからなってもよい。接地電極116及び信号電極118を介して第1の電極112及び第2の電極114に電圧を印加することにより、リブ型導波路構造110におけるキャリア密度が変化される。

[0030] 光位相変調器100は、キャリアプラズマ効果を利用して光を位相変調する。キャリアプラズマ効果におけるプラズマ分散効果による屈折率の変化は次の式によって表すことができる。

[0031] [数1]

$$\Delta n = -\frac{e^2 \lambda^2}{8\pi^2 c^2 \epsilon_0 n} \left( \frac{\Delta N_e}{m_{e,e}^*} + \frac{\Delta N_h}{m_{e,h}^*} \right) \quad (1)$$

ここで、 $\Delta n$ は屈折率の変化、 $e$ は単位電荷、 $\lambda$ は光波長、 $c$ は光速、 $\epsilon_0$ は真空中の誘電率、 $n$ はSiの屈折率、 $\Delta N_e$ は電子密度の変化、 $m_{e,e}^*$ は電子の有効質量、 $\Delta N_h$ は正孔密度の変化、 $m_{e,h}^*$ は正孔の有効質量である。式(1)から理解されるように、電子の有効質量又は正孔の有効質量が減少すると、屈折率の変化 $\Delta n$ が増大する。

[0032] キャリアプラズマ効果における自由キャリア吸収による光吸収係数の変化は次の式によって表すことができる。

[0033]

[数2]

$$\Delta\alpha = \frac{e^3 \lambda^2}{4\pi^2 c^3 \epsilon_0 n} \left( \frac{\Delta N_e}{m_{e0}^* \mu_e} + \frac{\Delta N_h}{m_{h0}^* \mu_h} \right) \quad (2)$$

ここで、 $\Delta\alpha$ は光吸収係数の変化、 $\mu_e$ は電子の移動度、 $\mu_h$ は正孔の移動度である。式(2)から理解されるように、電子の有効質量又は正孔の有効質量が減少すると、光吸収係数の変化 $\Delta\alpha$ が増大する。

[0034] Si層の上にSi<sub>1-x</sub>Ge<sub>x</sub>層を積層すると、Siの格子定数とSi<sub>1-y</sub>Ge<sub>y</sub>の格子定数との差を起因として、Si<sub>1-x</sub>Ge<sub>x</sub>層に歪(格子歪)が誘起される。Si<sub>1-x</sub>Ge<sub>x</sub>層に歪が誘起されると、キャリアの有効質量が小さくなる。Si<sub>1-x</sub>Ge<sub>x</sub>層108を用いることにより、Siのみからなる導波路構造を用いた場合と比較して、自由キャリアの有効質量が低減される。したがって、式(1)から理解されるように、プラズマ分散効果による屈折率の変化が大きくなるため、キャリアプラズマ効果をエンハンスすることができる。このため、本実施例によれば、従来の構成よりも短い距離で必要な位相シフト量を得ることができるため、光位相変調器100の変調効率を改善することができ、光位相変調器100のサイズを小さくすることができ、光位相変調器100の損失を小さくすることができ、また、自由キャリアの有効質量が小さくなるので、有効質量と逆数の関係にある自由キャリアの移動度が高くなる。したがって、本実施例によれば、光位相変調器100の高速動作が可能となる。

[0035] また、PN接合106及び／又はSi<sub>1-x</sub>Ge<sub>x</sub>層108において、p型のドーピング濃度はn型のドーピング濃度よりも小さくてもよい。SiGeの場合のキャリアプラズマ効果のエンハンスメントファクターは、Siの場合と比較して大きい。特に、正孔のエンハンスメントファクターは電子と比較して2倍程度大きい。したがって、p型SiGe層のドーピング濃度をn型SiGe層のドーピング濃度より小さくすることにより、屈折率差と吸収係数との間のトレードオフの関係を緩和することができる。結果として、光吸

収係数の増大を抑制し、高速化が可能となる。

[0036] 本願発明者は、以下に説明するシミュレーションを行い、本発明の実施例によるp型 $\text{Si}_{1-x}\text{Ge}_x$ 層を有する光位相変調器が、従来のSiのみを用いる光位相変調器と比較して、改善された性能を有することを検証した。

[0037] 図2(A)は、シミュレーションに用いた光位相変調器200の断面構造を示す。光位相変調器200は、厚さ1～3 $\mu\text{m}$ のBOX層204と、BOX層204上に形成されたSiからなるPN接合206及び当該PN接合206上に積層されたp型Si層208又はp型 $\text{Si}_{1-x}\text{Ge}_x$ 層208( $x=0.3$ )を含む導波路構造210と、当該導波路構造210に隣接するp型電極212及びn型電極214とを備える。各部分のサイズは、図1の説明において例として上述した値と同じである。PN接合206におけるドーピング濃度は $1\text{e}+18\text{cm}^{-3}$ である。p型Si層208及びp型 $\text{Si}_{1-x}\text{Ge}_x$ 層208におけるドーピング濃度は $1\text{e}+18\text{cm}^{-3}$ である。p型電極212及びn型電極214におけるドーピング濃度は $1\text{e}+20\text{cm}^{-3}$ である。半導体デバイスシミュレーターをキャリア密度分布計算に使用した。光モードは、有限要素法による電磁界シミュレーターを用いて計算された。図2(B)は、図2(A)の光位相変調器200について計算された光フィールド(TE0モード)を示す。

[0038] 図3は、PN接合206上にp型Si層を積層した構成とPN接合206上にp型 $\text{Si}_{1-x}\text{Ge}_x$ 層を積層した場合のそれぞれについて、バイアス電圧が0V及び-2Vのときのキャリア分布の計算結果を示す。図3(A)はp型Si層を用いた場合の計算結果である。図3(B)はp型 $\text{Si}_{1-x}\text{Ge}_x$ 層を用いた場合の計算結果である。図3(A)及び(B)のいずれにおいても、-2Vの逆バイアスを印加すると、バイアス電圧が0Vである場合と比較して、空乏層が広がる。図3の計算結果においては、PN接合を構成するSi層とp型 $\text{Si}_{1-x}\text{Ge}_x$ 層との間の界面のバンドの不連続性により、図3(B)の場合に空乏層が若干厚くなる。しかし、図3(A)と図3(B)との間で大きな差は見られない。

[0039] しかしながら、既に述べたように、キャリアプラズマ効果はキャリアの有効質量により影響を受ける。図4（A）及び図4（B）は、図2（A）の光位相変調器200について、逆バイアス電圧と性能指数 $V_{\pi}L$ との間の関係及び逆バイアス電圧と挿入損失との間の関係の計算結果をそれぞれ示す。 $V_{\pi}L$ は、光位相シフタにおいて位相を $\pi$ だけシフトさせるのに必要な電圧と長さとの積である。 $V_{\pi}L$ が小さいほど、光位相変調器としての性能が高いといえる。図4（A）から理解されるように、PN接合206にp型Si層を積層した構成と比較して、PN接合206にp型 $\text{Si}_{1-x}\text{Ge}_x$ 層を積層した構成によれば、バイアス電圧が同じである場合に $V_{\pi}L$ が小さくなる。例えば、図4（A）に示すように、バイアス電圧が $-2\text{V}$ であるとき、p型Si層を用いた構成では $V_{\pi}L = 0.9\text{Vcm}$ であるのに対して、p型 $\text{Si}_{1-x}\text{Ge}_x$ 層を用いた構成では $V_{\pi}L = 0.67\text{Vcm}$ である。したがって、Si層のみを用いた場合に比べて、p型 $\text{Si}_{1-x}\text{Ge}_x$ 層を用いることにより、所望の屈折率変化を得るために必要とされる変調器のサイズが小さくなる。したがって、p型 $\text{Si}_{1-x}\text{Ge}_x$ 層を用いることにより、光位相変調器のサイズを小さくすることができる。

[0040] しかしながら、p型 $\text{Si}_{1-x}\text{Ge}_x$ 層を用いると、光位相変調器の挿入損失が大きくなる。図4（B）は、 $1\text{mm}$ あたりの挿入損失とバイアス電圧との間の関係の計算結果を示す。p型 $\text{Si}_{1-x}\text{Ge}_x$ 層を用いると、Si層を用いる場合と比較して、挿入損失は大きくなる。しかしながら、上述のとおり、p型 $\text{Si}_{1-x}\text{Ge}_x$ 層を用いることによって光位相変調器のサイズを小さくすることができるので、光位相変調器自体の挿入損失は、Si層のみの構成と比較してそれほど大きくなりえずに済む。このように、p型 $\text{Si}_{1-x}\text{Ge}_x$ 層を用いることによってキャリアプラズマ効果がエンハンスされ、光位相変調器を小型化することができることが、シミュレーションによって明らかとなった。

[0041] また、 $\text{Si}_{1-x}\text{Ge}_x$ はSiよりもバンドギャップが小さいため、 $\text{Si}_{1-x}\text{Ge}_x$ 層を積層することによって、キャリアの閉じ込め効果が生じる。また、

S i 層の場合、ドーピングされた不純物を活性化するための活性化アニーリングに要する温度は1000℃程度であるのに対して、 $Si_{1-x}Ge_x$ 層の場合、活性化アニーリングに要する温度は700から800℃程度である。SiからなるPN接合上にp型Si層を積層する構成の場合、PN接合を構成するSi層にドーピングをして活性化アニーリングを行い、その後、Si層を積層してドーピング及び活性化アニーリングを行うことになる。あるいは、PN接合を構成するSi層にドーピングをして、さらに上部Si層にp型ドーピングを行い、活性化アニーリングを行うことになる。この場合、後者の活性化アニーリングは1000℃程度の温度で行われるので、上部Si層のドーピングの際にドーピングされた不純物がPN接合部に到達していると、既に形成されているPN接合部においてキャリアが熱拡散してしまう。このため、例えば、図4(A)のシミュレーション結果においては、バイアス電圧が-2.0Vのときに $V_{\pi}L = 0.9Vcm$ という値が得られているが、実際にデバイスを製造して実験を行うと、 $V_{\pi}L = 1.5 \sim 2.0Vcm$ といった、計算結果とかけ離れた値が得られることがあり得る。これは、上述のように、PN接合上に積層したSi層にドーピングをして活性化アニーリングを行ったときに、PN接合において熱拡散によってキャリアが拡散して、電子とホールが再結合し、PN接合部においてキャリア濃度の低い層ができしまい、十分なキャリア密度変調を行うことができなくなるからである。これに対して、本発明の実施例のように、SiからなるPN接合上にp型 $Si_{1-x}Ge_x$ 層を積層する構成においては、PN接合を構成するSi層にドーピングをして活性化アニーリングを行い、その後 $Si_{1-x}Ge_x$ 層を積層してドーピング及び活性化アニーリングを行うことになる。この場合、後者の活性化アニーリングは700～800℃程度の温度で行われるので、後者のドーピングの際にドーピングされた不純物がPN接合部にまで到達していたとしても、 $Si_{1-x}Ge_x$ 層中の不純物のみが活性化され、Si層中の不純物は活性化されない。したがって、本発明の実施例によれば、非常に急峻な理想的なドーピング界面が得られる。このため、計算上の $V_{\pi}L$ の値と実験により得られる $V_{\pi}L$ の値と

の乖離が小さくなる。したがって、本発明の実施例によれば、 $S_i$ 層を積層した場合と比較して、 $V_{\pi}L$ を大幅に小さくすることができる。上記に述べた、ドーピング後の活性化アニール温度の相違は、違う組成の $S_{i-1-x}Ge_x$ 層を用いた場合にも生じるため、 $Ge$ 組成の小さい $S_{i-1-x}Ge_x$ 層からなるPN接合上に $Ge$ 組成のより大きいp型 $S_{i-1-x}Ge_x$ 層を積層した場合にも、キャリアの熱拡散を抑制出来、計算値に近い光変調効率が実験的に得られる。

[0042]  $S_iGe$ は $S_i$ と比較して屈折率が高く、積層される $S_iGe$ 層厚が大きいほど、前記リブ型導波路構造における実効屈折率が高くなり、光フィールドの広がり小さくすることができる。図5(A)は、図2(A)に示される光位相変調器200について、光の過剰損失と電極層（ハイドロ領域）と前記リブ型導波路形状の中心部との距離の関係に関する計算結果を示す。図5(A)のグラフの縦軸は、光の過剰損失（電極による光の吸収損失）を表し、グラフの横軸は前記リブ型導波路形状の中心部と電極層間の距離を表す。 $S_iGe$ 層がない場合、電極層の距離が $0.4\mu m$ 及び $0.6\mu m$ のときの過剰損失は、それぞれ、約 $12\text{ dB/mm}$ 及び約 $4\text{ dB/mm}$ である。これに対して、 $S_iGe$ 層を用いる場合、電極層の距離が $0.4\mu m$ 及び $0.6\mu m$ のときの過剰損失は、それぞれ、約 $2.5\text{ dB/mm}$ 及び約 $0\text{ dB/mm}$ である。したがって、 $S_iGe$ 層がない場合、過剰損失を低減するために電極層をかなり遠ざけなければならない。一方、 $S_iGe$ 層を用いることにより、過剰損失を抑制しつつ、電極層をより近づけることが可能となることが理解される。したがって、本発明の実施例によれば、光位相変調器を構成する電極層の距離を小さくすることが可能となる。このため、前記リブ型導波路形状からなる光変調部と電極層との間の、電極引出し抵抗が小さくなるので、デバイスのCR時定数を小さくすることができる。したがって、本発明の実施例によれば、光位相変調器の高速動作が可能となる。

[0043] 図5(B)は、 $S_iGe$ 層を用いない場合（図5(B)の上側）と $S_iGe$ 層を用いた場合（図5(B)の下側）のそれぞれについての、光電界強度分布



の計算結果である。SiGeの屈折率はSiに比べて大きいので、SiGe層を用いることにより、光の閉じ込め効果が強くなり、モードフィールドが小さくなることが理解される。したがって、図1及び図2に示されるような本発明の実施例により、電極を光位相変調器のコア領域に近づけることができる。この結果、光位相変調器を低抵抗化、高速化することができる。

[0044] 図6は、本発明の1つの実施例による光位相変調器600の断面図を概略的に示す。光位相変調器600の構造は、PN接合606上に2つのp型SiGe層（p型Si<sub>1-x1</sub>Ge<sub>x1</sub>層608及びp型Si<sub>1-x2</sub>Ge<sub>x2</sub>層622）が積層されていることを除いて、図1の光位相変調器100と同様である。p型Si<sub>1-x2</sub>Ge<sub>x2</sub>層622におけるGeの割合は、p型Si<sub>1-x1</sub>Ge<sub>x1</sub>層608におけるGeの割合よりも小さくてもよい（すなわち、 $x_1 > x_2$ ）。例えば、p型Si<sub>1-x1</sub>Ge<sub>x1</sub>層608がp型Si<sub>0.7</sub>Ge<sub>0.3</sub>層であり、p型Si<sub>1-x2</sub>Ge<sub>x2</sub>層622がp型Si<sub>0.8</sub>Ge<sub>0.2</sub>層であってもよい。また、p型Si<sub>1-x2</sub>Ge<sub>x2</sub>層622は、Si層であってもよい。図1と同様に、図6には、Si基板602、BOX層604、PN接合606、p型Si領域630、n型Si領域632、第1の電極612、第2の電極614、接地電極616、信号電極618及びクラッド620が示されている。PN接合606はSi<sub>1-y</sub>Ge<sub>y</sub>からなってもよい。リブ型導波路構造610は、PN接合に代えて、PIN接合を含んでもよい。Si<sub>1-x1</sub>Ge<sub>x1</sub>層608及びSi<sub>1-x2</sub>Ge<sub>x2</sub>層622の導電タイプはn型であってもよい。

[0045] 図6の光位相変調器600においては、p型SiGe層608及び622の厚さを増すことによって大きな歪を誘起することができる。しかしながら、Si層上に積層されるSiGe層の厚さがある膜厚に達すると、SiGe層の歪の絶対量が非常に大きくなり、Si層とSiGe層との間の界面で結合が切れてしまう（格子緩和と呼ばれる）。したがって、積層することができる歪SiGe層の厚さには限界（臨界膜厚）がある。

[0046] SiGe層の組成を膜厚方向に徐々に変えることにより、格子欠陥を低減することができる。したがって、組成の異なる複数のSiGe層を積層する

ことは有効である。一方、Ge組成が大きくなると、Ge酸化膜が水に溶けるなど、化学的に不安定な性質を有しやすくなる。従って、SiGe層の最上層としてGe組成の小さい層を用いると、当該最上層が保護膜として機能するので有用である。したがって、複数のSiGe層を積層する場合、Ge組成が大きい層の上にGe組成が小さい層やSi層を積層することは有効である。

[0047] 図7は、本発明の1つの実施例による光位相変調器700の断面図を概略的に示す。光位相変調器700の構造は、p型 $\text{Si}_{1-x_2}\text{Ge}_{x_2}$ 層722上に歪誘起膜724が積層されていることを除いて、図6の光位相変調器600と同様である。図7の光位相変調器700においては、厚いSiGe層を積層する代わりに、歪誘起膜724を積層することによって、大きな歪を可能としている。歪誘起膜724は、例えば、 $\text{SiN}_x$ やアルミナを含んでもよい。図6と同様に、図7には、Si基板702、BOX層704、PN接合706、p型Si領域730、n型Si領域732、p型 $\text{Si}_{1-x_1}\text{Ge}_{x_1}$ 層708、第1の電極712、第2の電極714、接地電極716、信号電極718及びクラッド720が示されている。PN接合706は $\text{Si}_{1-y}\text{Ge}_y$ からなってもよい。リブ型導波路構造710は、PN接合に代えて、PIN接合を含んでもよい。 $\text{Si}_{1-x_1}\text{Ge}_{x_1}$ 層708及び $\text{Si}_{1-x_2}\text{Ge}_{x_2}$ 層722の導電タイプはn型であってもよい。

[0048] 図8は、本発明の1つの実施例による光位相変調器800の断面図を概略的に示す。光位相変調器800の構造は、p型 $\text{Si}_{1-x_2}\text{Ge}_{x_2}$ 層822の側面に隣接する歪誘起膜824が形成されていることを除いて、図6の光位相変調器600と同様である。図8に示されるように、歪誘起膜824は、PN接合806上から第1の電極812及び第2の電極814の上に渡って延在してもよい。歪誘起膜824は、p型 $\text{Si}_{1-x_1}\text{Ge}_{x_1}$ 層808の側面に隣接するように形成されてもよい。図8の光位相変調器800においては、厚いSiGe層を積層する代わりに、歪誘起膜層824を形成することによって、大きな歪を可能としている。歪誘起膜824は、例えば、 $\text{SiN}_x$ やアル

ミナを含んでもよい。図6と同様に、図8には、Si基板802、BOX層804、PN接合806、p型Si領域830、n型Si領域832、p型 $\text{Si}_{1-x_1}\text{Ge}_{x_1}$ 層808、第1の電極812、第2の電極814、接地電極816、信号電極818及びクラッド820が示されている。PN接合806は $\text{Si}_{1-y}\text{Ge}_y$ からなってもよい。リブ型導波路構造810は、PN接合に代えて、PIN接合を含んでもよい。 $\text{Si}_{1-x_1}\text{Ge}_{x_1}$ 層808及び $\text{Si}_{1-x_2}\text{Ge}_{x_2}$ 層822の導電タイプはn型であってもよい。

[0049] 図9は、本発明の1つの実施例による光位相変調器900の断面図を概略的に示す。光位相変調器900の構造は、p型 $\text{Si}_{1-x_2}\text{Ge}_{x_2}$ 層922の上及び側面に隣接する歪誘起膜924が形成されていることを除いて、図6の光位相変調器600と同様である。歪誘起膜924は、図7の光位相変調器700と同様に、p型 $\text{Si}_{1-x_2}\text{Ge}_{x_2}$ 層922上に積層される。歪誘起膜924はまた、図8の光位相変調器800と同様に、p型 $\text{Si}_{1-x_2}\text{Ge}_{x_2}$ 層922の側面に隣接するように形成される。歪誘起膜924は、PN接合906上から第1の電極912及び第2の電極914の上に渡って延在してもよい。歪誘起膜924は、p型 $\text{Si}_{1-x_1}\text{Ge}_{x_1}$ 層908の側面に隣接するように形成されてもよい。図9の光位相変調器900においては、厚いSiGe層を積層する代わりに、歪誘起膜層924を形成することによって、大きな歪を可能としている。歪誘起膜924は、例えば、SiNやアルミナを含んでもよい。図6と同様に、図9には、Si基板902、BOX層904、PN接合906、p型Si領域930、n型Si領域932、第1の電極912、第2の電極914、接地電極916、信号電極918及びクラッド920が示されている。PN接合906は $\text{Si}_{1-y}\text{Ge}_y$ からなってもよい。リブ型導波路構造910は、PN接合に代えて、PIN接合を含んでもよい。 $\text{Si}_{1-x_1}\text{Ge}_{x_1}$ 層908及び $\text{Si}_{1-x_2}\text{Ge}_{x_2}$ 層922の導電タイプはn型であってもよい。

[0050] 図10は、本発明の1つの実施例による光位相変調器1000の断面図を概略的に示す。光位相変調器1000の構造は、PN接合1006がp型S

$i_{1-y}Ge_y$ 層1026及びn型 $Si_{1-y}Ge_y$ 層1028を含むことを除いて、図1の光位相変調器100と同様である。但し、PN接合1006に含まれる層の構造は上記構成に限定されない。p型 $Si_{1-y}Ge_y$ 層1026及びn型 $Si_{1-y}Ge_y$ 層1028において、Geの割合は任意の値をとることができる。また、p型 $Si_{1-x}Ge_x$ 層1008は、2つ以上のp型 $Si_{1-x}Ge_x$ 層（p型 $Si_{0.7}Ge_{0.3}$ 層、p型 $Si_{0.8}Ge_{0.2}$ 層など）を含んでもよい。図1と同様に、図10には、Si基板1002、BOX層1004、p型Si領域1030、n型Si領域1032、第1の電極1012、第2の電極1014、接地電極1016、信号電極1018及びクラッド1020が示されている。リブ型導波路構造1010は、PN接合に代えて、PIN接合を含んでもよい。 $Si_{1-x}Ge_x$ 層1008の導電タイプはn型であってもよい。p型 $Si_{1-y}Ge_y$ 層1026及びn型 $Si_{1-y}Ge_y$ 層1028におけるGeの組成は、p型 $Si_{1-x}Ge_x$ 層1008におけるGeの組成より小さくてもよい。例えば、p型 $Si_{1-y}Ge_y$ 層1026及びn型 $Si_{1-y}Ge_y$ 層1028におけるGeの組成は10～20%であってもよく、p型 $Si_{1-x}Ge_x$ 層1008におけるGeの組成は30～50%であってもよい。図10の光位相変調器1000においても、図7乃至9と同様に、p型 $Si_{1-x}Ge_x$ 層1008の上部及び／又は側面に歪誘起膜が形成されてもよい。PN接合1006は、SiからなるPN接合と、 $Si_{1-y}Ge_y$ からなるPN接合との積層構造からなる。本実施例においては、PN接合1006がSiGe層を含むので、PN接合1006の屈折率が図1の光位相変調器100と比較して高くなる。したがって、本実施例によれば、光の閉じ込め効果がより強くなり、光変調効率がより高くなる。

[0051] 図11は、本発明の1つの実施例による光位相変調器1100の断面図を概略的に示す。光位相変調器1100の構造は、p型 $Si_{1-x_2}Ge_{x_2}$ 層1122がp型 $Si_{1-x_1}Ge_{x_1}$ 層1108上に積層されることを除いて、図10の光位相変調器1000と同様である。PN接合1106に含まれる層の構造は図11に示される構成に限定されない。p型 $Si_{1-y}Ge_y$ 層1126及

び $n$ 型 $\text{Si}_{1-y}\text{Ge}_y$ 層1128において、 $\text{Ge}$ の割合は任意の値をとることができる。図10と同様に、図11には、 $\text{Si}$ 基板1102、BOX層1104、 $p$ 型 $\text{Si}$ 領域1130、 $n$ 型 $\text{Si}$ 領域1132、第1の電極1112、第2の電極1114、接地電極1116、信号電極1118及びクラッド1120が示されている。リブ型導波路構造1110は、PN接合に代えて、PIN接合を含んでもよい。 $\text{Si}_{1-x_1}\text{Ge}_{x_1}$ 層1108及び $\text{Si}_{1-x_2}\text{Ge}_{x_2}$ 層1122の導電タイプは $n$ 型であってもよい。図11の光位相変調器1100においても、図7乃至9と同様に、 $p$ 型 $\text{Si}_{1-x_2}\text{Ge}_{x_2}$ 層1122の上及び／もしくは側面、並びに／又は $p$ 型 $\text{Si}_{1-x_1}\text{Ge}_{x_1}$ 層1108の側面に歪誘起膜が形成されてもよい。本実施例においては、PN接合1106が $\text{SiGe}$ 層を含むので、PN接合1106の屈折率が $\text{Si}$ のみからなるPN接合の屈折率と比較して高くなる。したがって、本実施例によれば、光の閉じ込め効果がより強くなり、光変調効率がより高くなる。

[0052] 図12は、本発明の1つの実施例による光位相変調器1200の斜視図を概略的に示す。光位相変調器1200は、 $\text{Si}$ 基板1202、BOX層1204、 $p$ 型 $\text{Si}$ 領域1230、 $n$ 型 $\text{Si}$ 領域1232、 $p$ 型 $\text{Si}_{1-x}\text{Ge}_x$ 層1208、第1の電極1212、第2の電極1214を含む。 $p$ 型 $\text{Si}_{1-x}\text{Ge}_x$ 層1208は、 $p$ 型 $\text{Si}$ 領域1230及び $n$ 型 $\text{Si}$ 領域1232上に積層される。光位相変調器1200は、導波路部分において、光の伝搬方向に沿って $p$ 型 $\text{Si}$ 領域1230と $n$ 型 $\text{Si}$ 領域1232とが交互に配置されるように構成される。したがって、光の伝搬方向に沿って、 $\text{Si}$ からなる複数のPN接合が形成されている。図12において、交互に配置される $p$ 型 $\text{Si}$ 領域1230及び $n$ 型 $\text{Si}$ 領域1232の幅（光の伝搬方向に沿った幅）はほぼ等しくなるように描かれており、複数のPN接合が光の伝搬方向に沿って周期的に形成されているといえる。別の実施例において、PN接合はPIN接合であってもよい。また、交互に配置される $p$ 型 $\text{Si}$ 領域1230及び $n$ 型 $\text{Si}$ 領域1232の幅はそれぞれ異なってもよい。したがって、複数のPN接合又はPIN接合が光の伝搬方向に沿って非周期的に形成されても

よい。

[0053] 図13及び図14は、図12に示される光位相変調器1200の断面図を概略的に示す。図13は、図12における線A A'による断面図に対応し、図14は、図12における線B B'による断面図に対応する。図12に示される構造に対応して、図13においては、p型Si領域1230がp型Si<sub>1-x</sub>Ge<sub>x</sub>層1208の右端まで延在している。一方、図14においては、n型Si領域1232がp型Si<sub>1-x</sub>Ge<sub>x</sub>層1208の左端まで延在している。上述の実施例と同様に、図13及び図14には、Si基板1202、BOX層1204、p型Si<sub>1-x</sub>Ge<sub>x</sub>層1208、リブ型導波路構造1210、第1の電極1212、第2の電極1214、接地電極1216、信号電極1218及びクラッド1220が示されている。Si<sub>1-x</sub>Ge<sub>x</sub>層1208の導電タイプはn型であってもよい。

[0054] 図12乃至図14に示される実施例によれば、光のフィールドと光変調される領域とのオーバーラップを改善することができる。

[0055] 図15は、本発明の1つの実施例による光位相変調器1500の斜視図を概略的に示す。図12に示される光位相変調器1200と同様に、光位相変調器1500は、Si基板1502、BOX層1504、p型Si領域1530、n型Si領域1532、第1の電極1512、及び第2の電極1514を含む。光位相変調器1500は、導波路部分において、光の伝搬方向に沿ってp型Si領域1530とn型Si領域1532とが交互に配置されるように構成される。したがって、光の伝搬方向に沿って、複数のPN接合が周期的に形成されている。当該複数のPN接合上にSiGe層が積層される。但し、光位相変調器1200とは異なり、光位相変調器1500においては、複数のPN接合の接合位置に対応して、PN接合上に積層された少なくとも1つのSi<sub>1-x</sub>Ge<sub>x</sub>層の導電タイプが、第1の導電タイプ（例えば、p型）と第2の導電タイプ（例えば、n型）との間で交互に変化している。すなわち、光導波路部分において、p型Si領域1530の上にはp型Si<sub>1-x</sub>Ge<sub>x</sub>層1508が形成され、n型Si領域1532の上にはn型Si<sub>1-x</sub>G

$e_x$ 層 1534 が形成される。別の実施例において、PN接合はPIN接合であってもよい。また、交互に配置されるp型Si領域 1530 及びn型Si領域 1532 の幅はそれぞれ異なってもよい。したがって、複数のPN接合又はPIN接合が光の伝搬方向に沿って非周期的に形成されてもよい。周期的又は非周期的に形成される複数のPN接合又はPIN接合の接合位置に対応して、PN接合又はPIN接合上に積層された少なくとも1つの $Si_{1-x}Ge_x$ 層の導電タイプが第1の導電タイプと第2の導電タイプとの間で交互に変化してもよい。

[0056] 図16及び図17は、図15に示される光位相変調器 1500 の断面図を概略的に示す。図16は、図15における線AA'による断面図に対応し、図17は、図15における線BB'による断面図に対応する。図15に示される構造に対応して、図16においては、p型 $Si_{1-x}Ge_x$ 層 1508 が形成されている。p型Si領域 1530 がp型 $Si_{1-x}Ge_x$ 層 1508 の右端まで延在している。一方、図17においては、n型 $Si_{1-x}Ge_x$ 層 1534 が形成されている。n型Si領域 1532 がn型 $Si_{1-x}Ge_x$ 層 1534 の左端まで延在している。また、図16及び図17には、Si基板 1502、BOX層 1504、リブ型導波路構造 1510、第1の電極 1512、第2の電極 1514、接地電極 1516、信号電極 1518 及びクラッド 1520 が示されている。

[0057] 図15乃至図17に示される実施例によれば、光のフィールドと光変調される領域とのオーバーラップをエンハンスすることができる。

[0058] 図18は、本発明の1つの実施例による光位相変調器 1800 の斜視図を概略的に示す。光位相変調器 1800 は、Si基板 1802、BOX層 1804、p型Si領域 1830、n型Si領域 1832、p型 $Si_{1-y}Ge_y$ 層 1826、n型 $Si_{1-y}Ge_y$ 層 1828、p型 $Si_{1-x}Ge_x$ 層 1808、第1の電極 1812、及び第2の電極 1814 を含む。p型 $Si_{1-x}Ge_x$ 層 1808 は、p型 $Si_{1-y}Ge_y$ 層 1826 及びn型 $Si_{1-y}Ge_y$ 層 1828 の上に積層される。光位相変調器 1800 は、導波路部分において、光の伝搬

方向に沿って、p型Si領域1830及びp型Si<sub>1-y</sub>Ge<sub>y</sub>層1826とn型Si領域1832及びn型Si<sub>1-y</sub>Ge<sub>y</sub>層1828とが交互に配置されるように構成される。したがって、光の伝搬方向に沿って、Si及びSiGeからなる複数のPN接合が形成されている。図18において、交互に配置されるp型Si領域1830及びp型Si<sub>1-y</sub>Ge<sub>y</sub>層1826、並びにn型Si領域1832及びn型Si<sub>1-y</sub>Ge<sub>y</sub>層1828の幅はほぼ等しく、複数のPN接合が光の伝搬方向に沿って周期的に形成されているといえる。別の実施例において、PN接合はPIN接合であってもよい。また、交互に配置されるp型Si領域1830及びp型Si<sub>1-y</sub>Ge<sub>y</sub>層1826、並びにn型Si領域1832及びn型Si<sub>1-y</sub>Ge<sub>y</sub>層1828の幅はそれぞれ異なってもよい。したがって、複数のPN接合又はPIN接合が光の伝搬方向に沿って非周期的に形成されてもよい。

[0059] 図19及び図20は、図18に示される光位相変調器1800の断面図を概略的に示す。図19は、図18における線A-A'による断面図に対応し、図20は、図18における線B-B'による断面図に対応する。図18に示される構造に対応して、図19においては、p型Si領域1830がp型Si<sub>1-x</sub>Ge<sub>x</sub>層1808の右端まで延在し、p型Si<sub>1-y</sub>Ge<sub>y</sub>層1826がp型Si領域1830上に積層されている。一方、図20においては、n型Si領域1832がp型Si<sub>1-x</sub>Ge<sub>x</sub>層1808の左端まで延在し、n型Si<sub>1-y</sub>Ge<sub>y</sub>層1828がn型Si領域1832上に積層されている。また、図19及び図20には、Si基板1802、BOX層1804、リブ型導波路構造1810、第1の電極1812、第2の電極1814、接地電極1816、信号電極1818、及びクラッド1820が示されている。Si<sub>1-x</sub>Ge<sub>x</sub>層1808の導電タイプはn型であってもよい。

[0060] 図18乃至図20に示される実施例によれば、光のモードフィールドと光変調される領域とのオーバーラップを改善することができる。

[0061] 図21は、本発明の1つの実施例による光位相変調器2100の斜視図を概略的に示す。図18に示される光位相変調器1800と同様に、光位相変



調器 2100 は、Si 基板 2102、BOX 層 2104、p 型 Si 領域 2130、n 型 Si 領域 2132、p 型 Si<sub>1-y</sub>Ge<sub>y</sub> 層 2126、n 型 Si<sub>1-y</sub>Ge<sub>y</sub> 層 2128、第 1 の電極 2112、及び第 2 の電極 2114 を含む。光位相変調器 2100 は、導波路部分において、光の伝搬方向に沿って p 型 Si 領域 2130 及び p 型 Si<sub>1-y</sub>Ge<sub>y</sub> 層 2126 と n 型 Si 領域 2132 及び n 型 Si<sub>1-y</sub>Ge<sub>y</sub> 層 2128 とが交互に配置されるように構成される。したがって、光の伝搬方向に沿って、Si 及び SiGe からなる複数の PN 接合が形成されている。当該複数の PN 接合上に SiGe 層が積層される。但し、光位相変調器 1800 とは異なり、光位相変調器 2100 においては、複数の PN 接合の接合位置に対応して、PN 接合上に積層された少なくとも 1 つの Si<sub>1-x</sub>Ge<sub>x</sub> 層の導電タイプが第 1 の導電タイプ（例えば、p 型）と第 2 の導電タイプ（例えば、n 型）との間で交互に変化している。すなわち、光導波路部分において、p 型 Si<sub>1-y</sub>Ge<sub>y</sub> 層 2126 の上には p 型 Si<sub>1-x</sub>Ge<sub>x</sub> 層 2108 が形成され、n 型 Si<sub>1-y</sub>Ge<sub>y</sub> 層 2128 の上には n 型 Si<sub>1-x</sub>Ge<sub>x</sub> 層 2134 が形成される。別の実施例において、PN 接合は PIN 接合であってもよい。また、交互に配置される p 型 Si 層 2130 及び p 型 Si<sub>1-y</sub>Ge<sub>y</sub> 層 2126 並びに n 型 Si 層 2132 及び n 型 Si<sub>1-y</sub>Ge<sub>y</sub> 層 2128 の幅はそれぞれ異なってもよい。したがって、複数の PN 接合又は PIN 接合が光の伝搬方向に沿って非周期的に形成されてもよい。周期的又は非周期的に形成される複数の PN 接合又は PIN 接合の接合位置に対応して、PN 接合又は PIN 接合上に積層された少なくとも 1 つの Si<sub>1-x</sub>Ge<sub>x</sub> 層の導電タイプが、第 1 の導電タイプと第 2 の導電タイプとの間で交互に変化してもよい。

[0062] 図 22 及び図 23 は、図 21 に示される光位相変調器 2100 の断面図を概略的に示す。図 22 は、図 21 における線 A-A' による断面図に対応し、図 23 は、図 21 における線 B-B' による断面図に対応する。図 21 に示される構造に対応して、図 22 においては、p 型 Si<sub>1-y</sub>Ge<sub>y</sub> 層 2126 及び p 型 Si<sub>1-x</sub>Ge<sub>x</sub> 層 2108 が形成されている。p 型 Si 領域 2130 が p

型 $\text{Si}_{1-x}\text{Ge}_x$ 層2108の右端まで延在している。一方、図23においては、 $n$ 型 $\text{Si}_{1-y}\text{Ge}_y$ 層2128及び $n$ 型 $\text{Si}_{1-x}\text{Ge}_x$ 層2134が形成されている。 $n$ 型 $\text{Si}$ 領域2132が $n$ 型 $\text{Si}_{1-x}\text{Ge}_x$ 層2134の左端まで延在している。また、図22及び図23には、 $\text{Si}$ 基板2102、BOX層2104、リブ型導波路構造2110、第1の電極2112、第2の電極2114、接地電極2116、信号電極2118、及びクラッド2120が示されている。

[0063] 図21乃至図23に示される実施例によれば、光のモードフィールドと光変調される領域とのオーバーラップを改善することができる。

[0064] 本発明の1つの実施例は、上述のような本発明の実施例による光位相変調器を備えた光強度変調器である。例えば、図1に示される光位相変調器100をマッハ・ツェンダー干渉計の一方のアーム又は両方のアームにおいて用いることによって、光強度変調器を構成することができる。本発明の他の実施例の光位相変調器もまた、光強度変調器を構成するために用いることができる。本発明の実施例による光強度変調器は上記の構成に限定されない。本発明の光位相変調器を当業者に知られた方法で光強度変調器に適用することにより、本発明の特徴を備えた光強度変調器を得ることができると理解されよう。

[0065] 図24A乃至図24Hは、図1に示される本発明の実施例による光位相変調器100の製造工程を説明する。

[0066] 図24Aは、本発明の実施例に使用した基板構成を示したものである。 $\text{Si}$ 基板102上に積層されたBOX層（熱酸化膜）104上に、 $\text{Si}$ 層105が積層された $\text{SOI}$ 基板からなる。

[0067] 図24Bにおいて、 $\text{Si}$ 層105の一部を（例えば、ボロンなどで）ドーピングすることによって、 $p$ 型 $\text{Si}$ 領域130が形成される。また、 $\text{Si}$ 層105の別の部分を（例えば、リンなどで）ドーピングすることによって、 $n$ 型 $\text{Si}$ 領域132が形成される。これにより、基板上に横方向に形成された $\text{Si}$ からなるPN接合106が形成される。PN接合106は $\text{Si}_{1-y}\text{Ge}_y$ からな

っていてもよい。PN接合に代えてPIN接合が形成されてもよい。

[0068] 図24Cにおいて、p型Si領域130のPN接合106に隣接する一部をさらにp型でドーピングしてドーピング濃度を高めることにより、p型電極112が形成される。また、n型Si領域132のPN接合106に隣接する一部をさらにn型でドーピングしてドーピング濃度を高めることにより、n型電極114が形成される。

[0069] 図24Dにおいて、PN接合106、p型電極112及びn型電極114の一部をエッチングする。

[0070] 図24Eにおいて、エッチングされた部分に酸化膜マスク層136が形成される。さらに、PN接合106上の酸化膜マスク層が除去されて、凹み138が形成される。

[0071] 図24Fにおいて、少なくとも1層からなる $\text{Si}_{1-x}\text{Ge}_x$ 層が凹み138に形成され、この層がp型でドーピングされて、p型 $\text{Si}_{1-x}\text{Ge}_x$ 層108が形成される。したがって、p型 $\text{Si}_{1-x}\text{Ge}_x$ 層108はPN接合106と電氣的に接続される。

[0072] 図24Gにおいて、酸化膜マスク層136が除去され、酸化膜（例えば、 $\text{SiO}_2$ ）クラッド層120が形成される。

[0073] 図24Hにおいて、金属配線を用いて、接地電極116及び信号電極118が、p型電極112及びn型電極114にそれぞれ接するように形成される。

[0074] 本発明は特定の実施例に関して記載されたが、本明細書に記載された実施例は、本発明を限定的に解釈することを意図したものではなく、本発明を例示的に説明することを意図したものである。本発明の範囲から逸脱することなく他の代替的な実施例を実施することが可能であることは当業者にとって明らかである。

## 請求の範囲

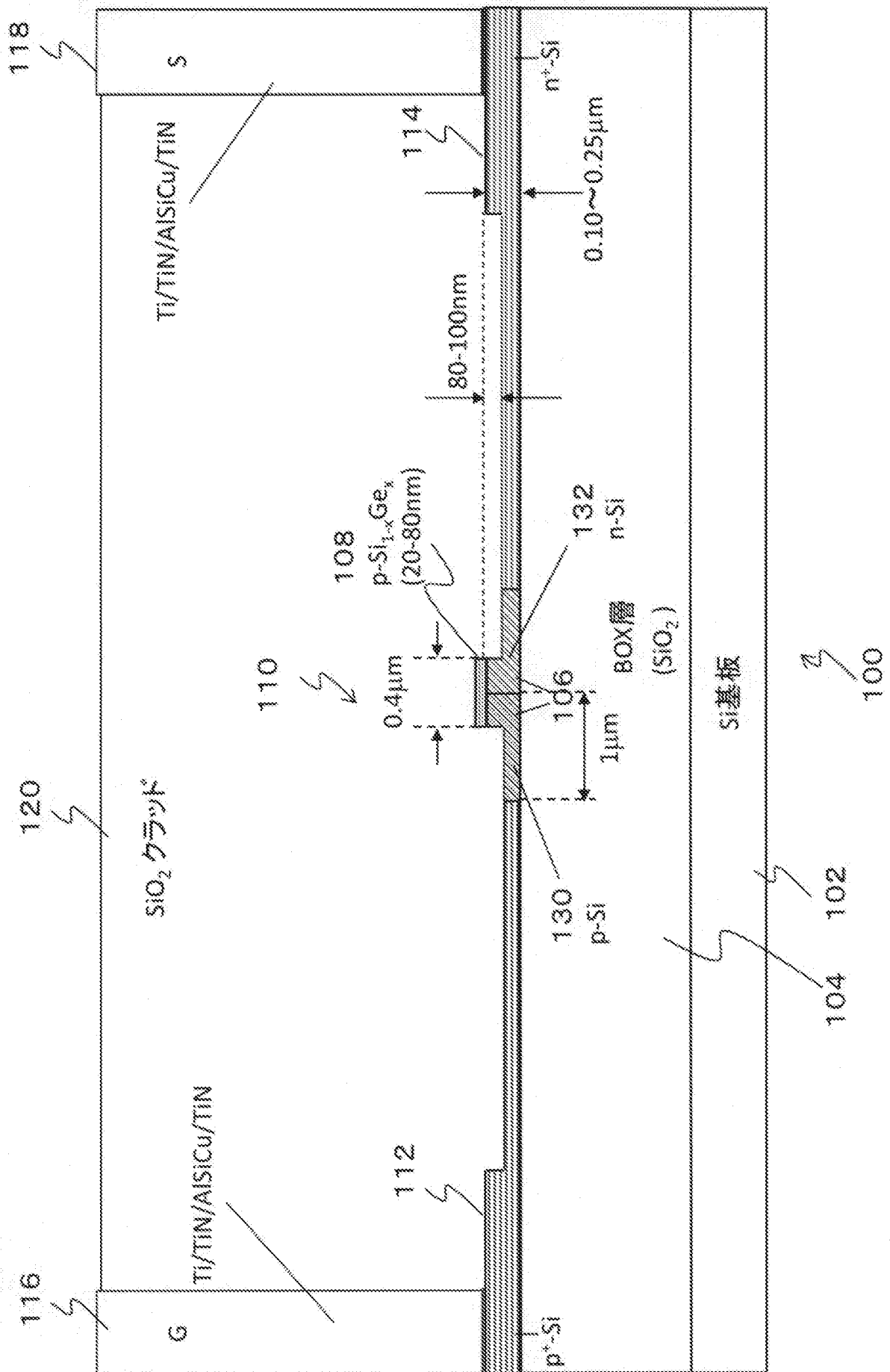
- [請求項1]       基板上に横方向に形成された $Si$ 又は $Si_{1-y}Ge_y$ からなるPN接合又はPIN接合と、
- 第1の導電タイプ又は第2の導電タイプを呈するように不純物ドーピングされ、前記PN接合又は前記PIN接合と電氣的に接続されるように、前記PN接合又は前記PIN接合上に積層される少なくとも1層からなる $Si_{1-x}Ge_x$ 層と
- を含むリブ型導波路構造を備えることを特徴とする光位相変調器。
- [請求項2]       前記リブ型導波路構造に隣接する、前記第1の導電タイプの第1の電極及び前記第2の導電タイプの第2の電極を備え、
- 前記第1の電極及び前記第2の電極に電圧を印加することにより、前記リブ型導波路構造におけるキャリア密度が変化されることを特徴とする請求項1に記載の光位相変調器。
- [請求項3]       前記少なくとも1層からなる $Si_{1-x}Ge_x$ 層が格子歪を有することを特徴とする請求項1又は2に記載の光位相変調器。
- [請求項4]       前記基板上に横方向に形成されたPN接合又はPIN接合が、 $Si$ からなるPN接合又はPIN接合と、 $Si_{1-y}Ge_y$ からなるPN接合又はPIN接合との積層構造からなることを特徴とする請求項1及至3のいずれか1項に記載の光位相変調器。
- [請求項5]       前記基板上に横方向に形成された $Si$ および $Si_{1-y}Ge_y$ の積層構造からなるPN接合又はPIN接合が、リブ型導波路構造を備えることを特徴とする請求項4に記載の光位相変調器。
- [請求項6]       前記少なくとも1層からなる $Si_{1-x}Ge_x$ 層が、
- 前記PN接合又は前記PIN接合上に積層された $Si_{1-x_1}Ge_{x_1}$ 層と、
- 前記 $Si_{1-x_1}Ge_{x_1}$ 層上に積層された $Si_{1-x_2}Ge_{x_2}$ 層と
- を備え、 $x_2$ は $x_1$ より小さいことを特徴とする請求項1乃至5のいずれか1項に記載の光位相変調器。

- [請求項7] 前記少なくとも1層からなる $\text{Si}_{1-x}\text{Ge}_x$ 層が、上部あるいは側面に形成された歪誘起膜を備えることを特徴とする請求項1乃至6のいずれか1項に記載の光位相変調器。
- [請求項8] 前記基板上に横方向に形成されたPN接合もしくはPIN接合、又はその上に電氣的に接続されるように積層された少なくとも1層からなる $\text{Si}_{1-x}\text{Ge}_x$ 層において、前記第1の導電タイプのドーピング濃度は前記第2の導電タイプのドーピング濃度よりも小さいことを特徴とする請求項1乃至7のいずれか1項に記載の光位相変調器。
- [請求項9] 前記第1の導電タイプがp型であり、前記第2の導電タイプがn型であることを特徴とする請求項8に記載の光位相変調器。
- [請求項10] 前記PN接合又は前記PIN接合が、光の伝搬方向に沿って周期的又は非周期的に形成される複数のPN接合又はPIN接合を含むことを特徴とする請求項1乃至9のいずれか1項に記載の光位相変調器。
- [請求項11] 前記周期的又は非周期的に形成される複数のPN接合又はPIN接合の接合位置に対応して、前記PN接合又は前記PIN接合上に積層された前記少なくとも1つの $\text{Si}_{1-x}\text{Ge}_x$ 層の導電タイプが前記第1の導電タイプと前記第2の導電タイプとの間で交互に変化していることを特徴とする請求項10に記載の光位相変調器。
- [請求項12] 請求項1乃至11のいずれか1項に記載の光位相変調器を備える光強度変調器。
- [請求項13] 横方向に形成されたSi又は $\text{Si}_{1-y}\text{Ge}_y$ からなるPN接合又はPIN接合を形成するステップと、  
前記PN接合又は前記PIN接合に隣接する領域を第1の導電タイプ及び第2の導電タイプでドーピングして、第1の導電タイプの第1の電極及び第2の導電タイプの第2の電極を形成するステップと、  
前記PN接合又は前記PIN接合上に、前記第1の導電タイプ又は前記第2の導電タイプを呈するように不純物ドーピングされ、前記PN接合又は前記PIN接合と電氣的に接続される少なくとも1層から

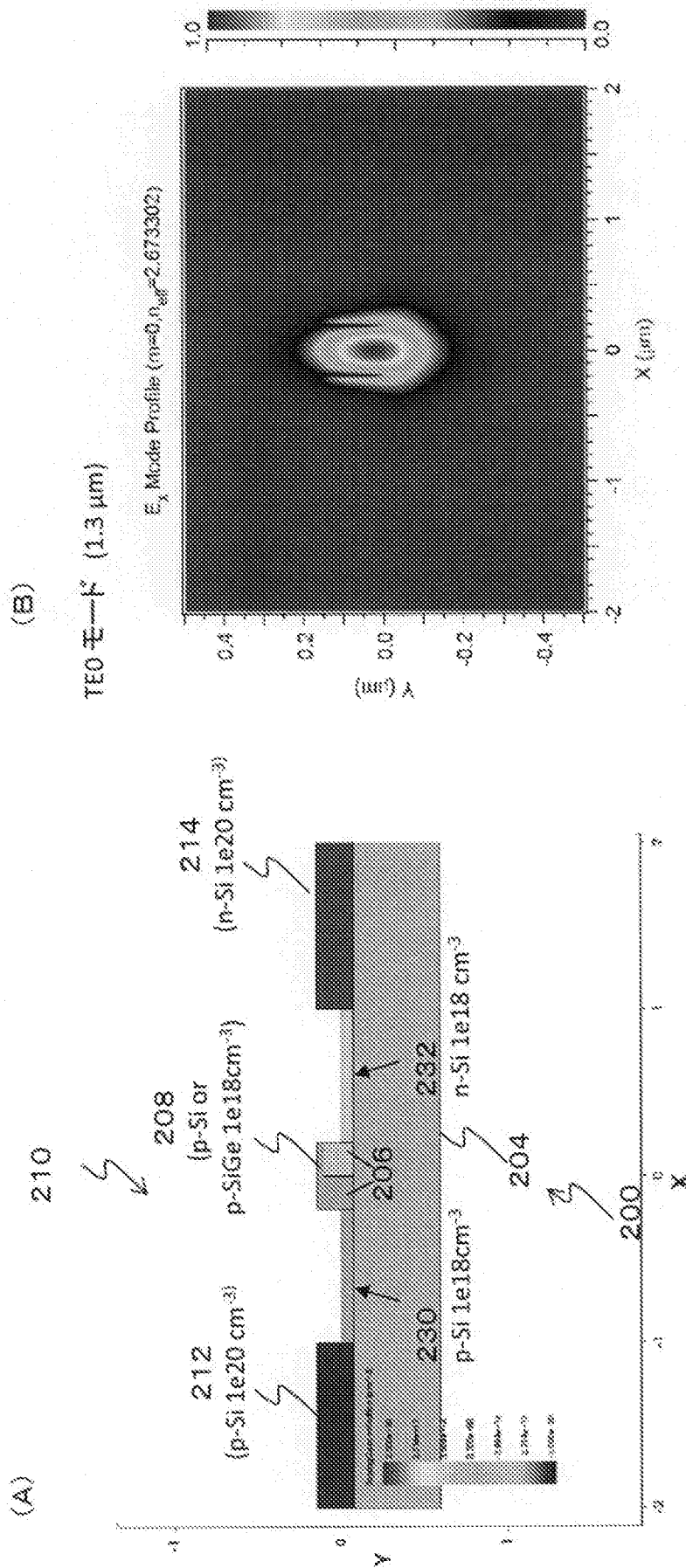
なる  $\text{Si}_{1-x}\text{Ge}_x$  層を形成するステップと  
を備えることを特徴とする光位相変調器の製造方法。

[請求項14] 前記少なくとも1層からなる  $\text{Si}_{1-x}\text{Ge}_x$  層を形成するステップが、前記PN接合又は前記PIN接合に凹みを形成して、前記凹み上に少なくとも1層からなる  $\text{Si}_{1-x}\text{Ge}_x$  層を形成するステップを含むことを特徴とする請求項13に記載の光位相変調器の製造方法。

[図1]



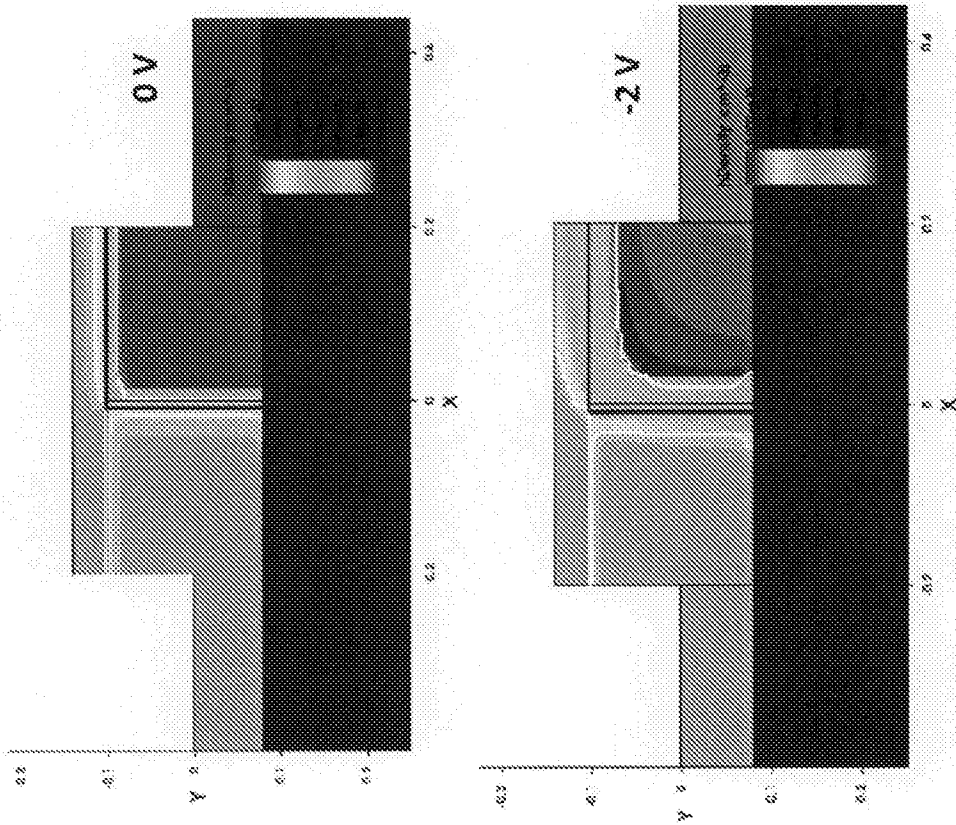
[図2]



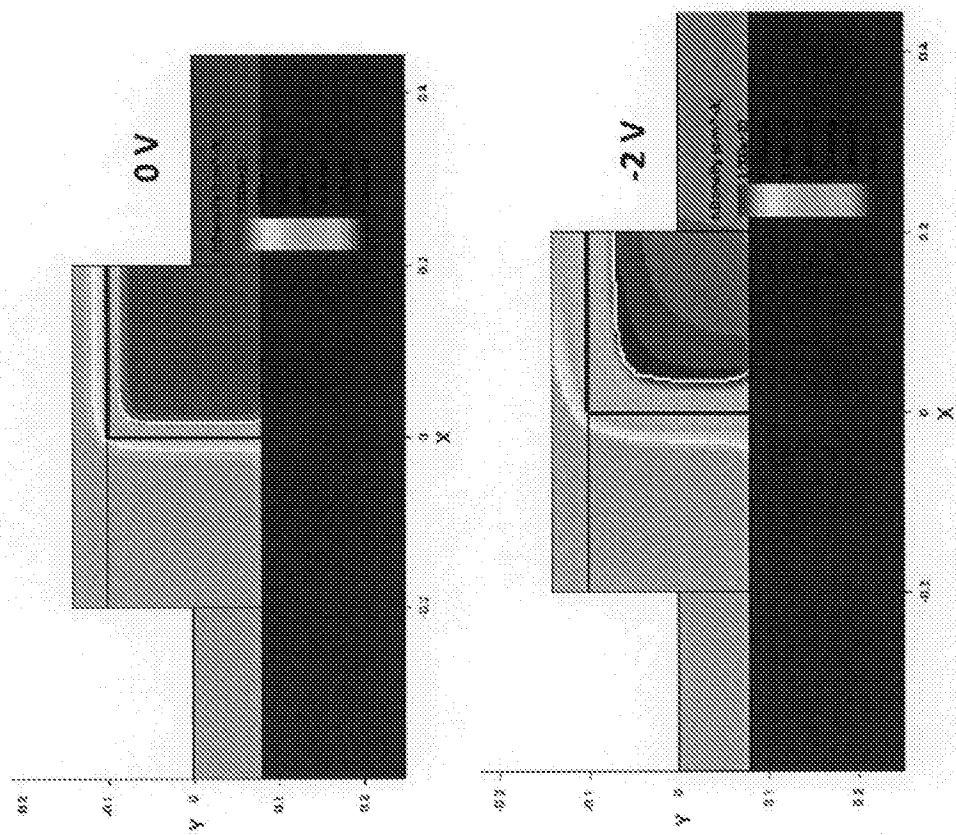


[図3]

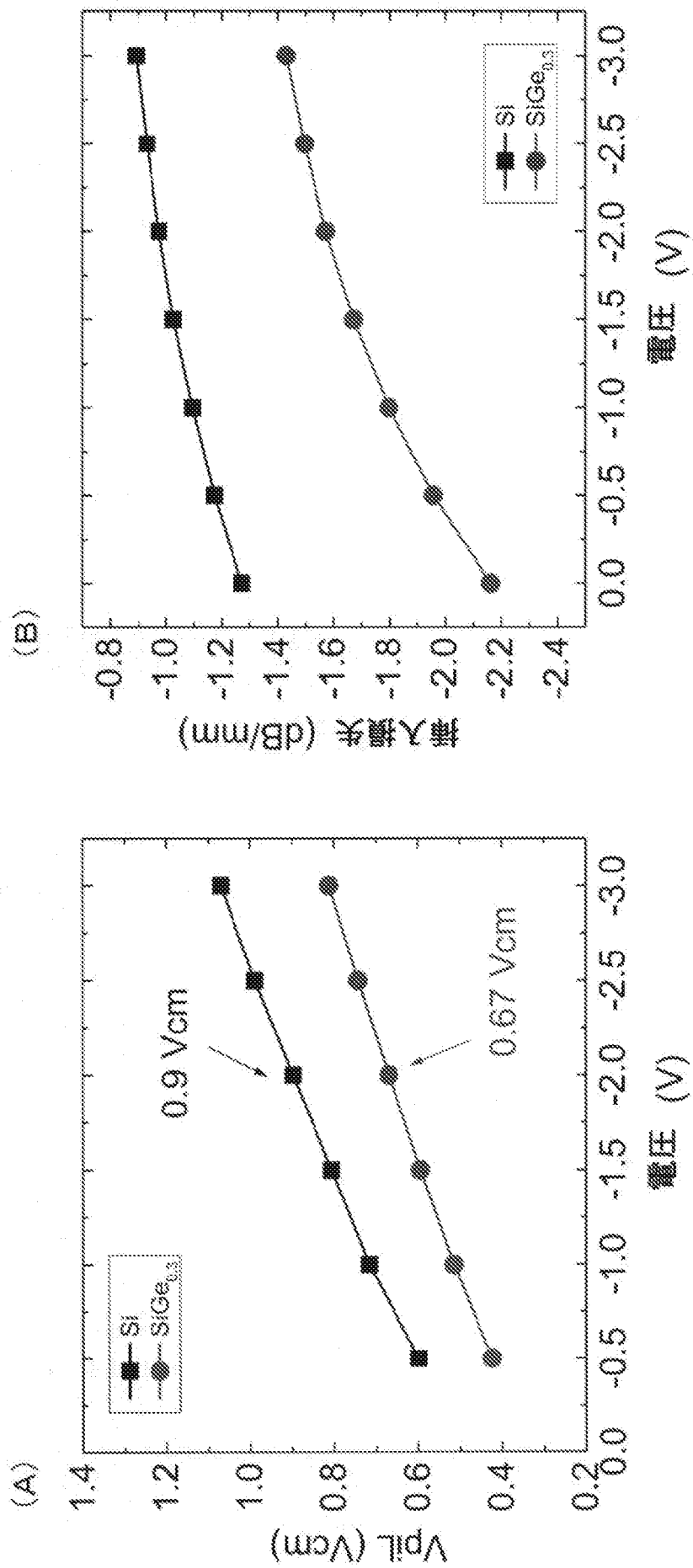
(B) SiGe



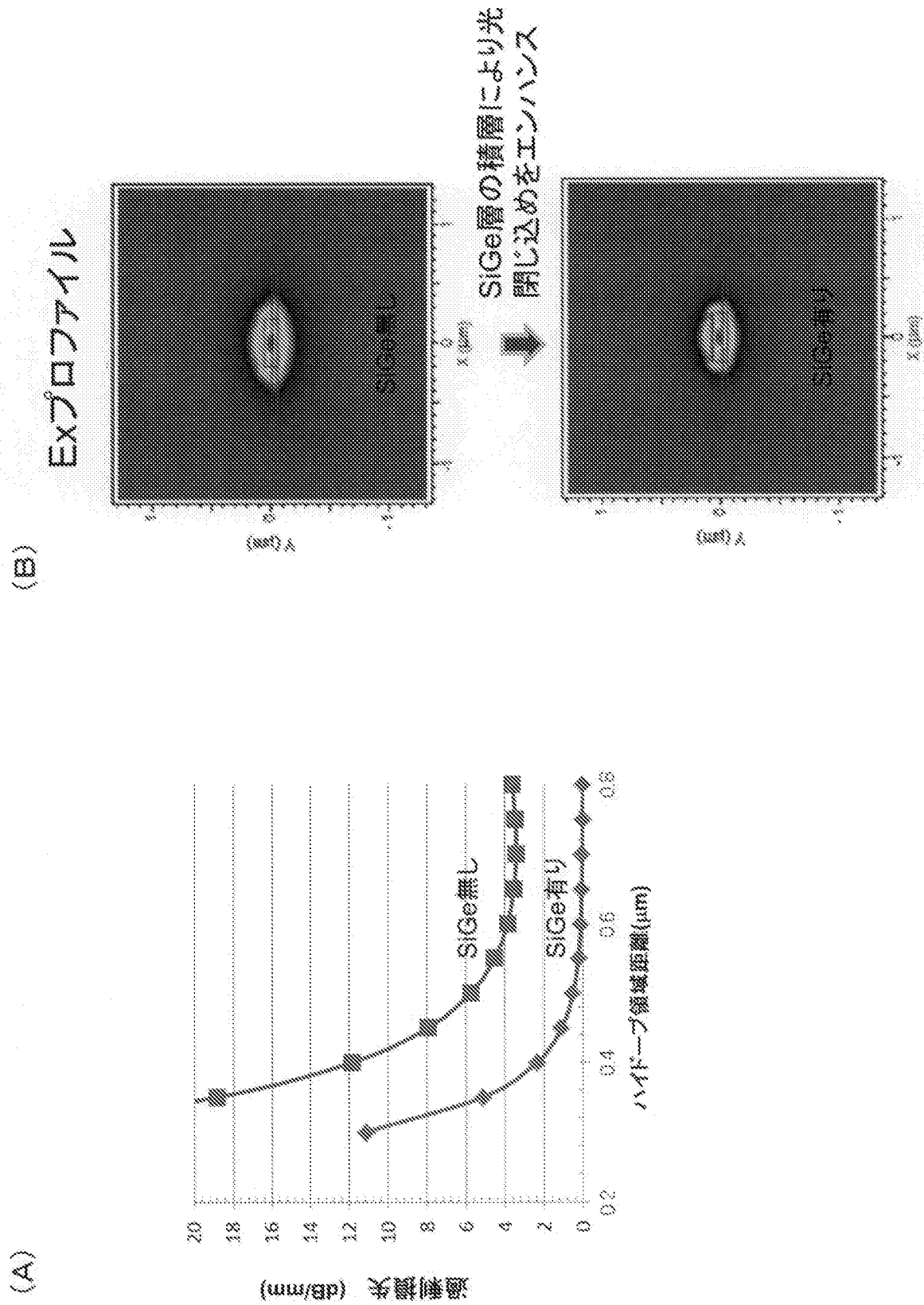
(A) Si



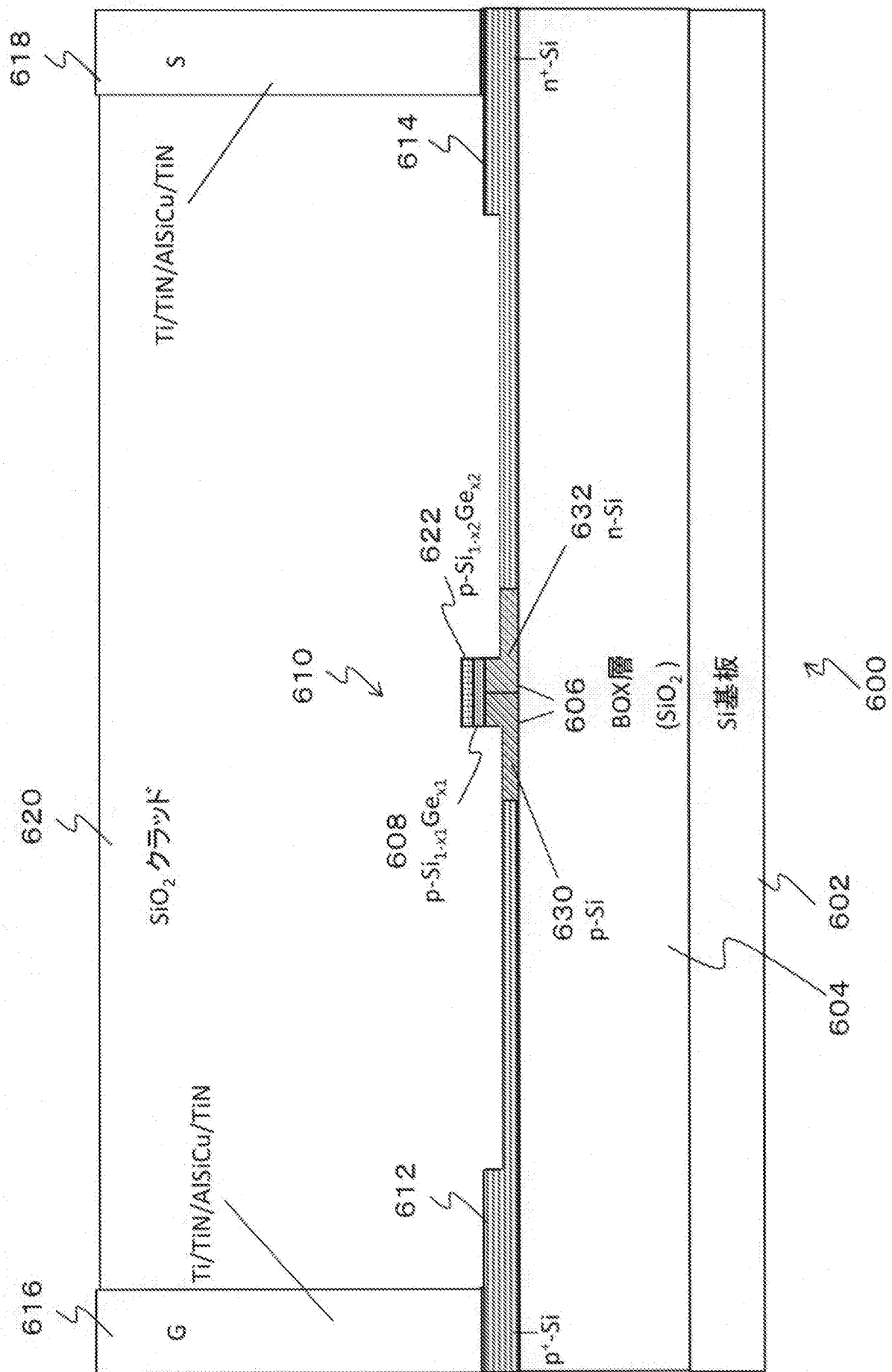
[図4]



[図5]

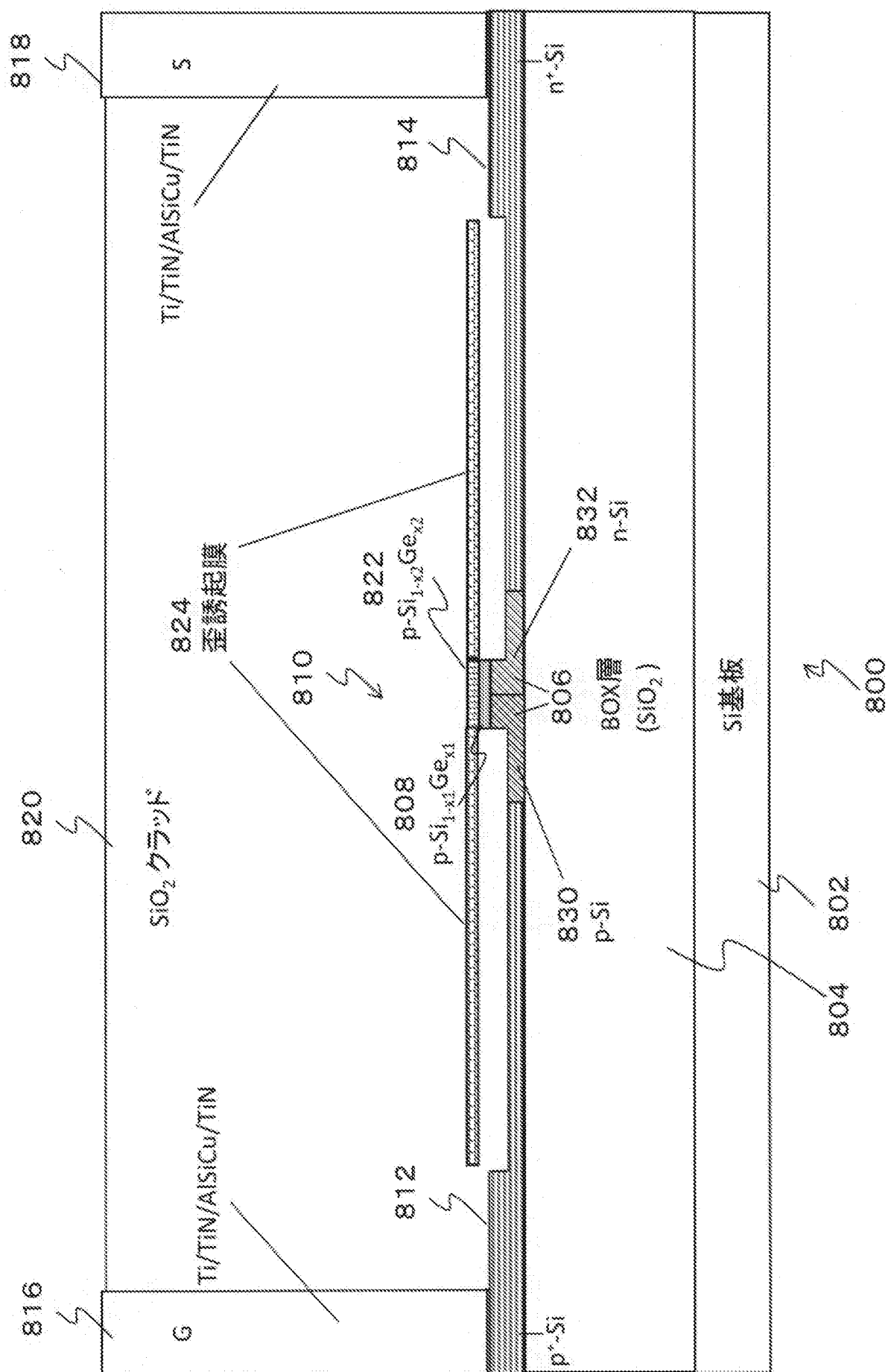


[図6]



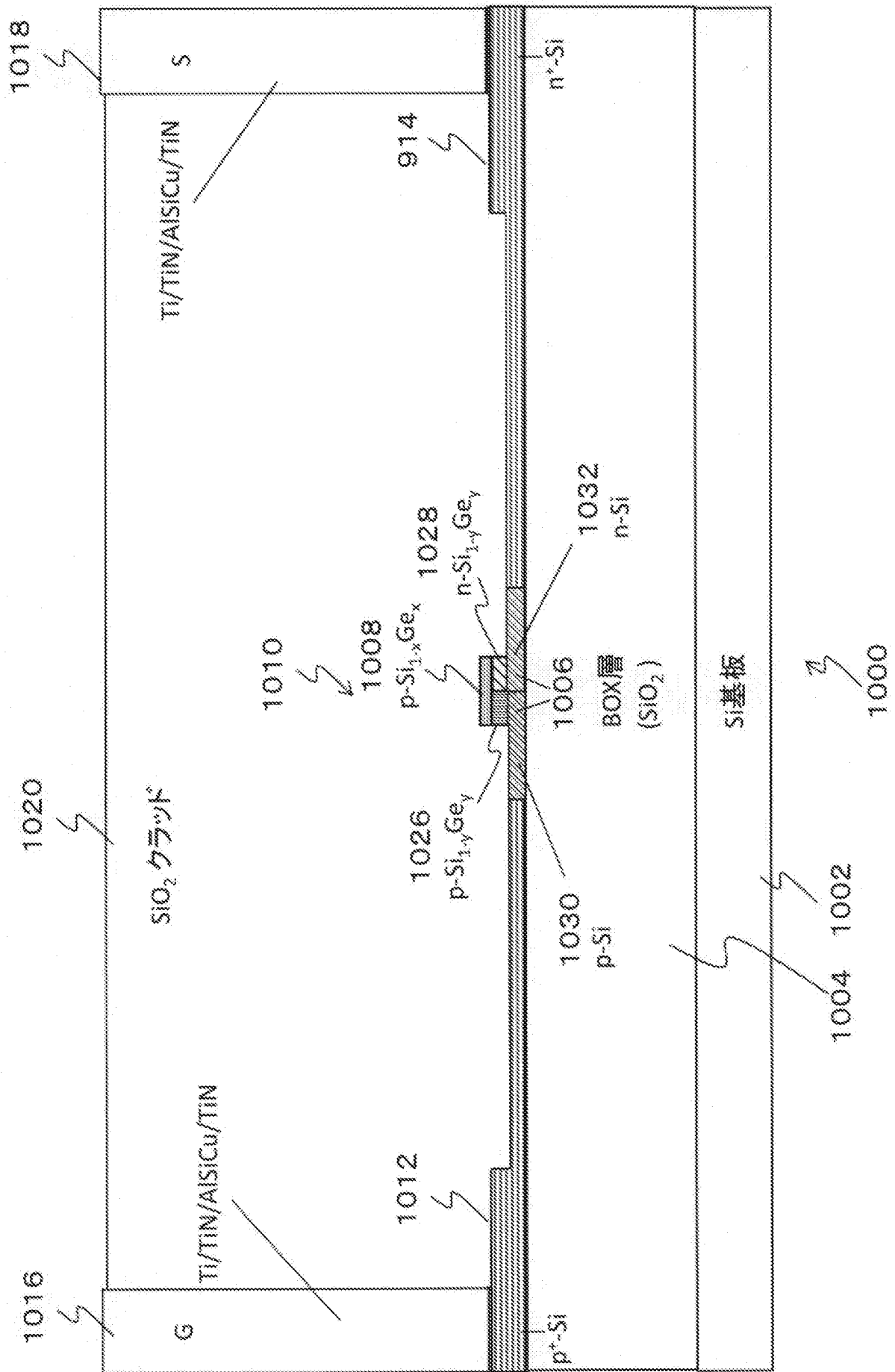


[図8]



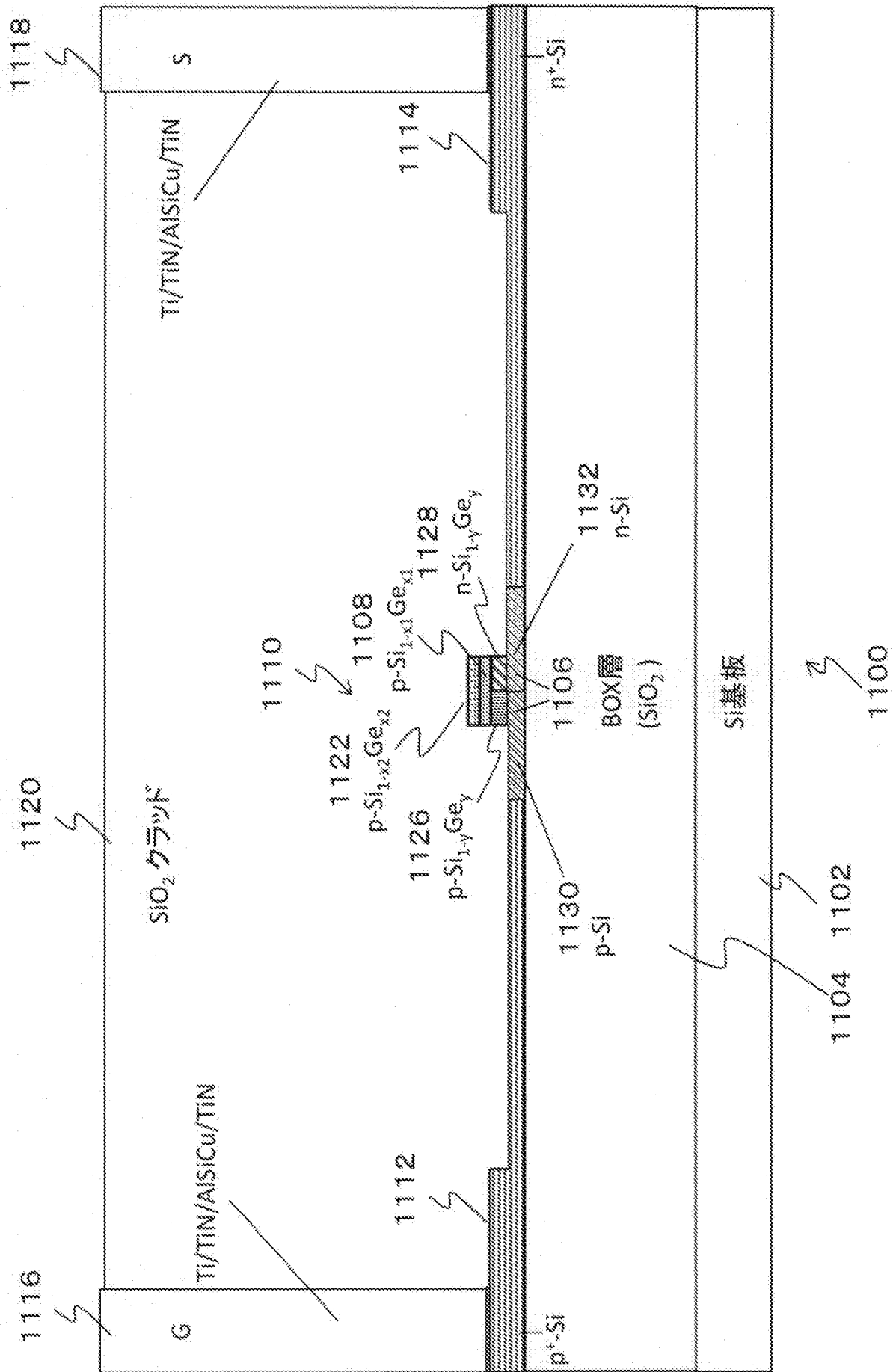
[illegible]

[図10]

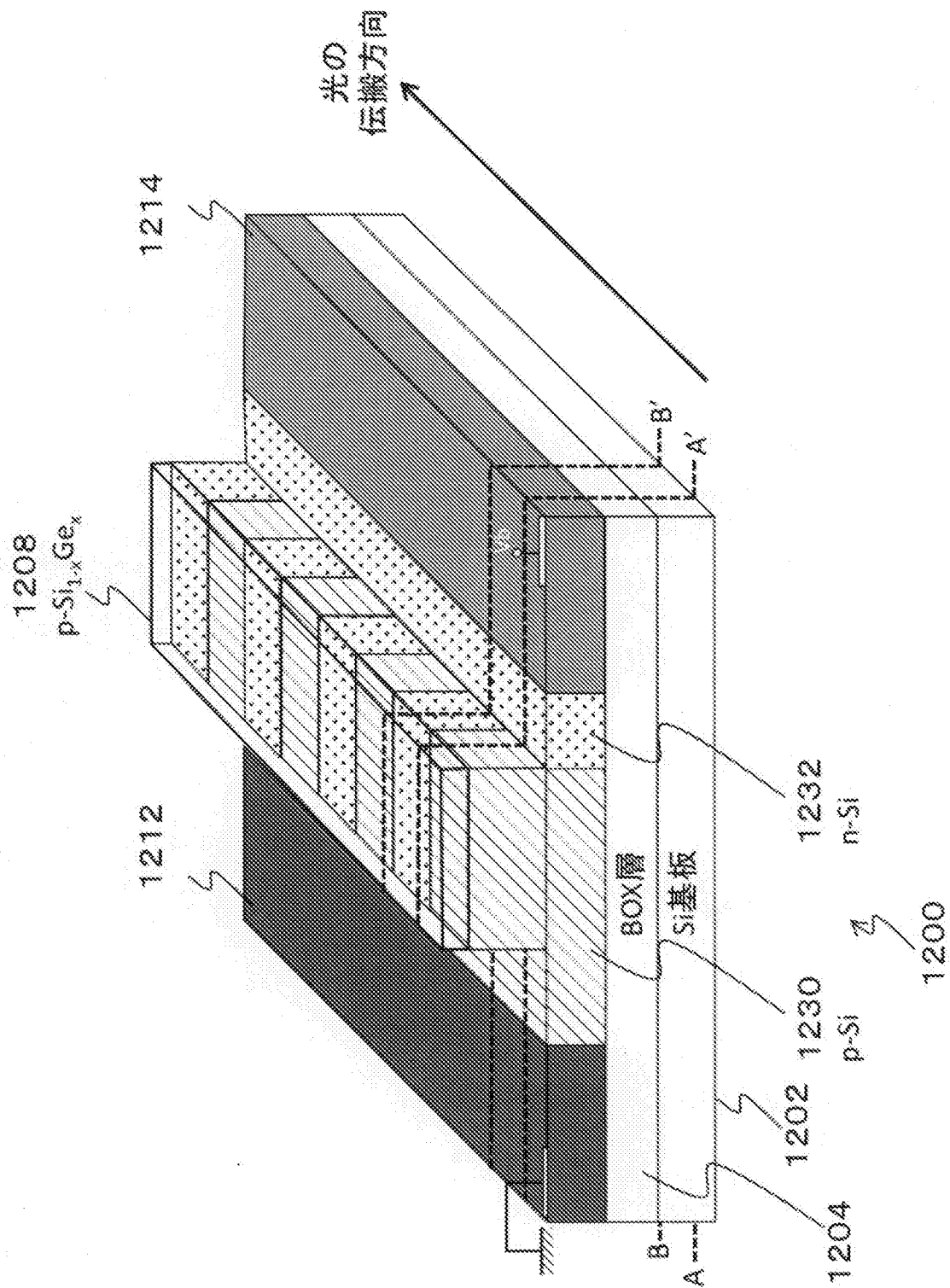




[図11]



[図12]



1216 1220 1218

G S

Ti/TiN/AlSiCu/TiN

1210 1214

1208 p-Si<sub>1-x</sub>Ge<sub>x</sub>

1232 n-Si

BOX層 (SiO<sub>2</sub>)

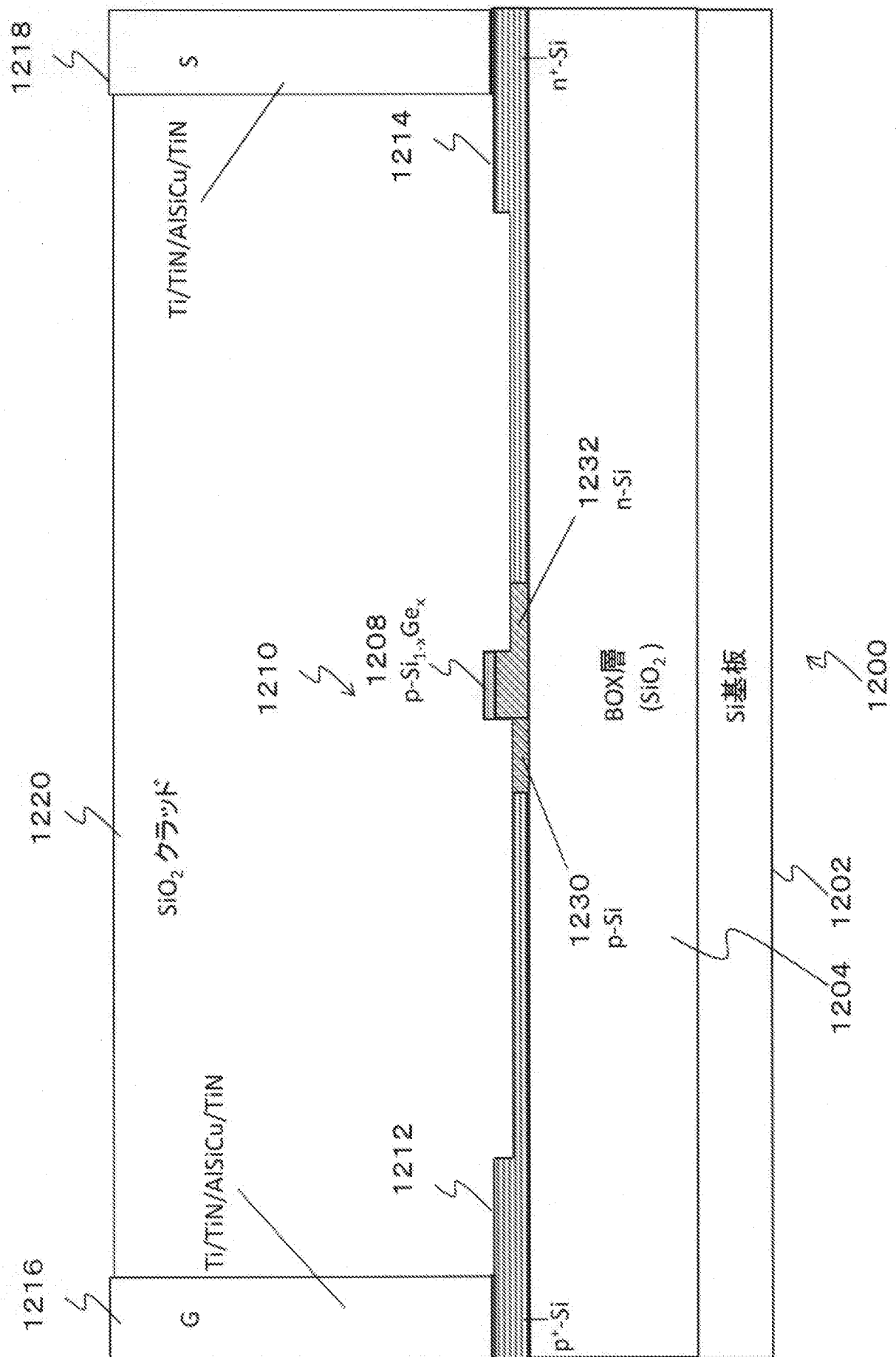
Si基板

1200

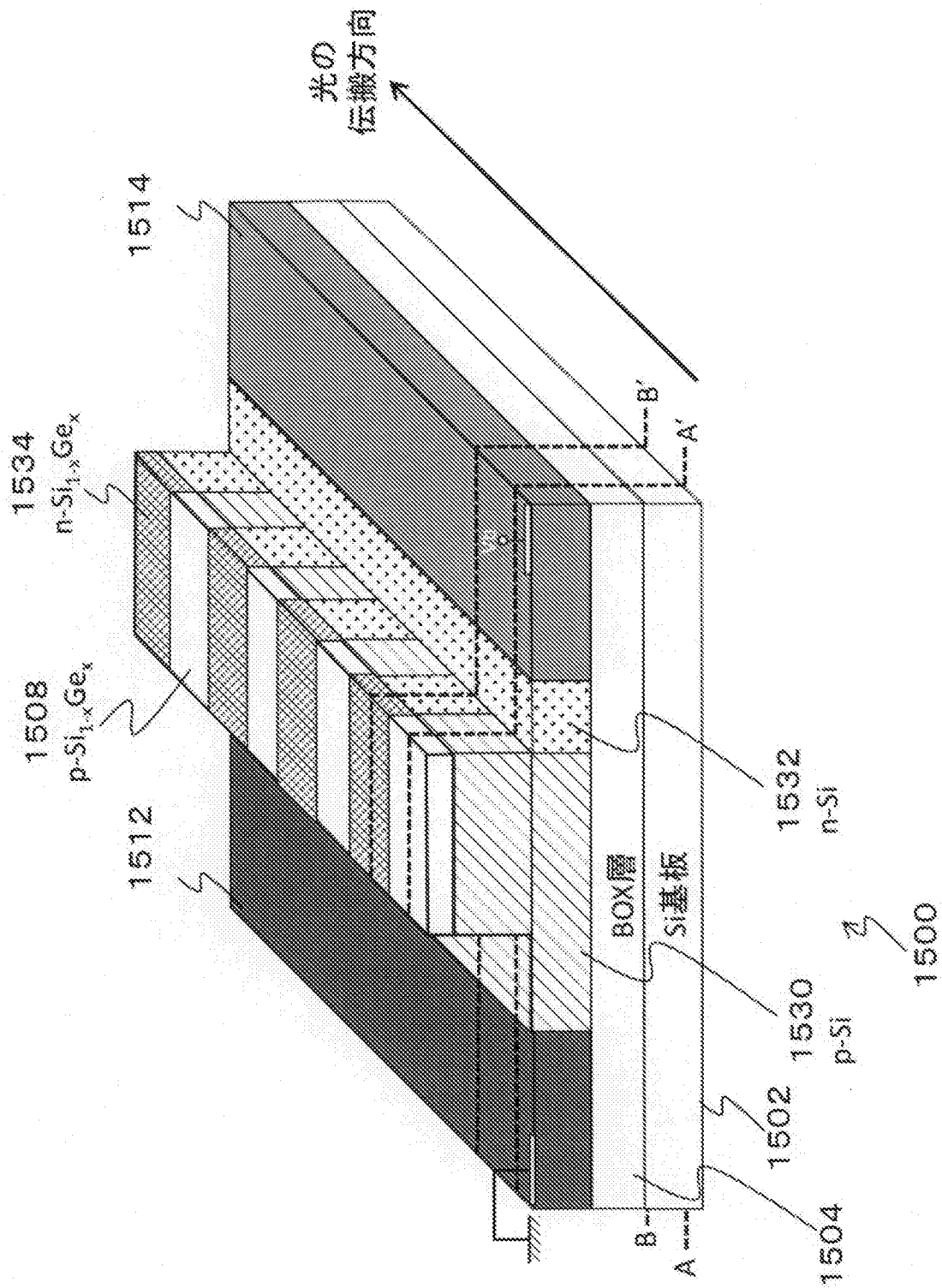
1204 1202

p<sup>+</sup>-Si

[図14]

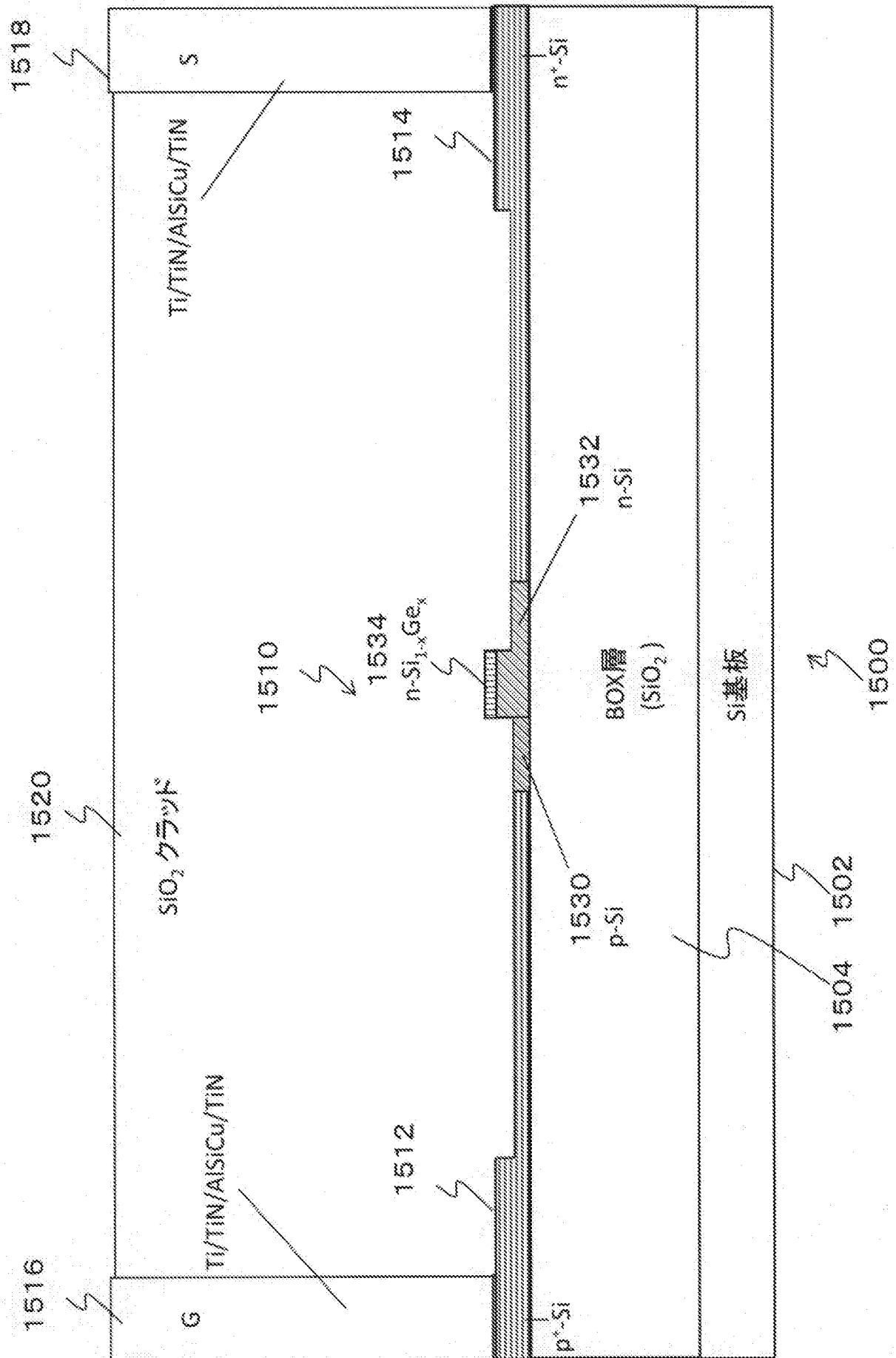


[図15]

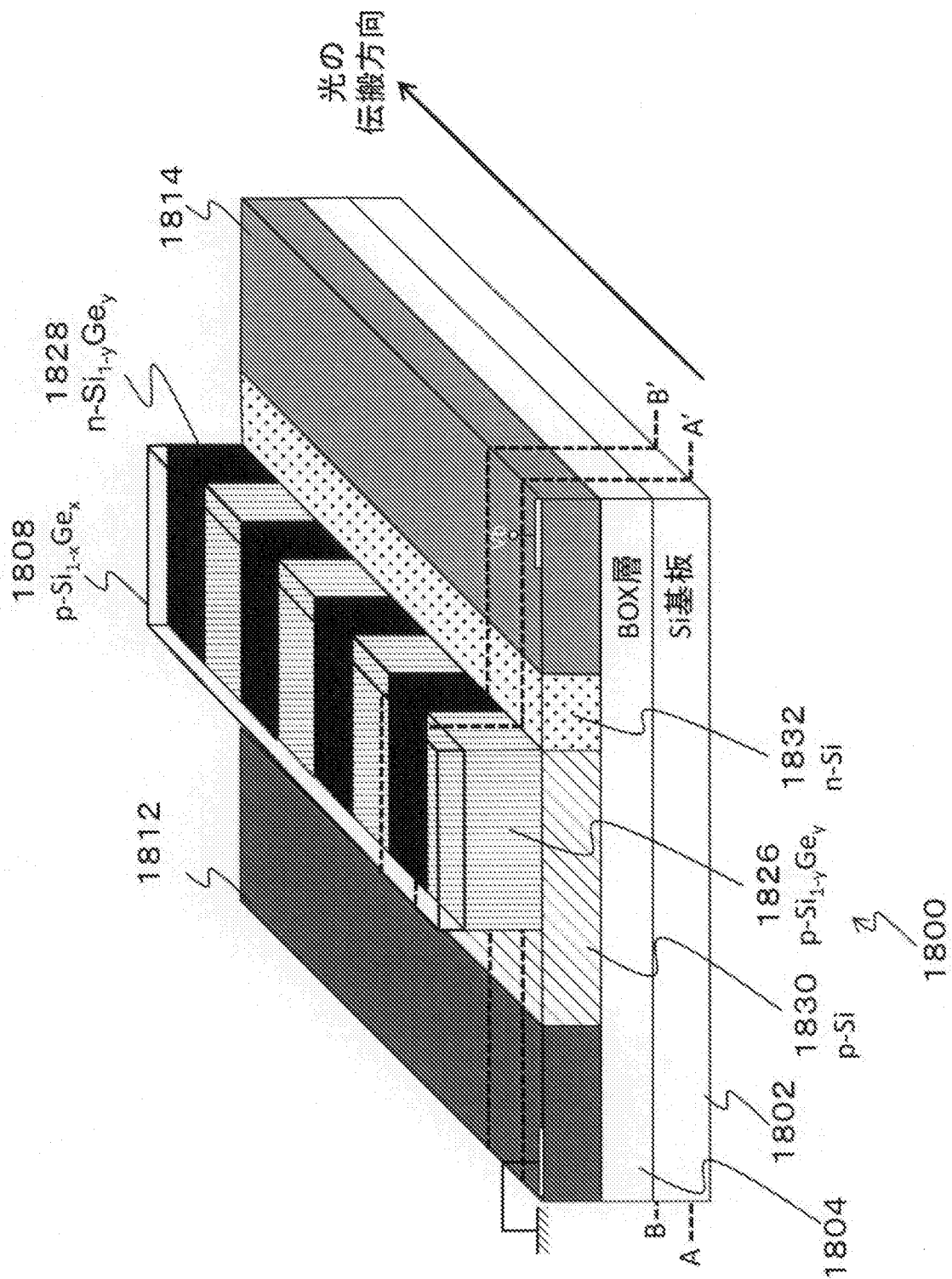




[図17]

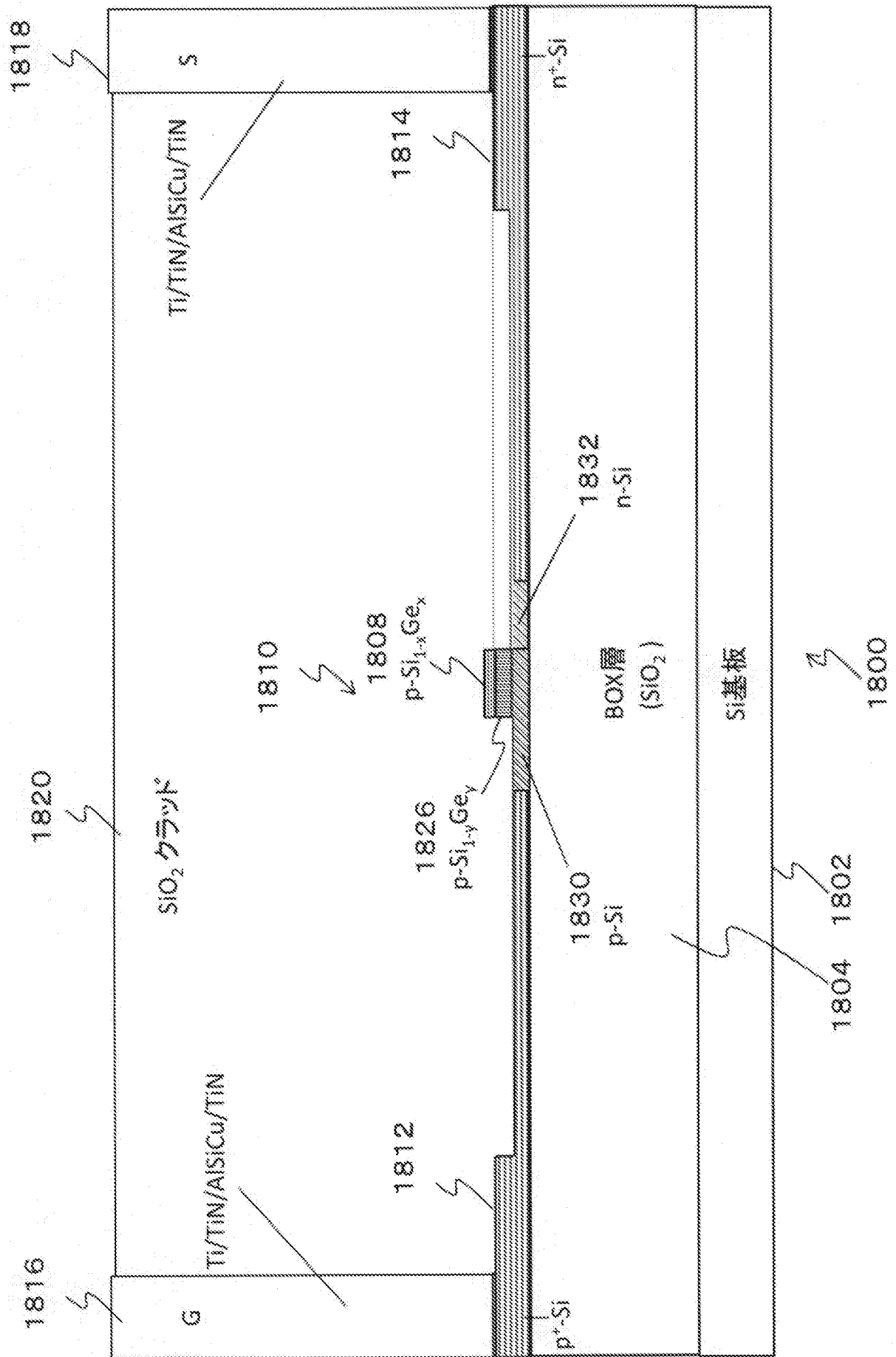


[図18]



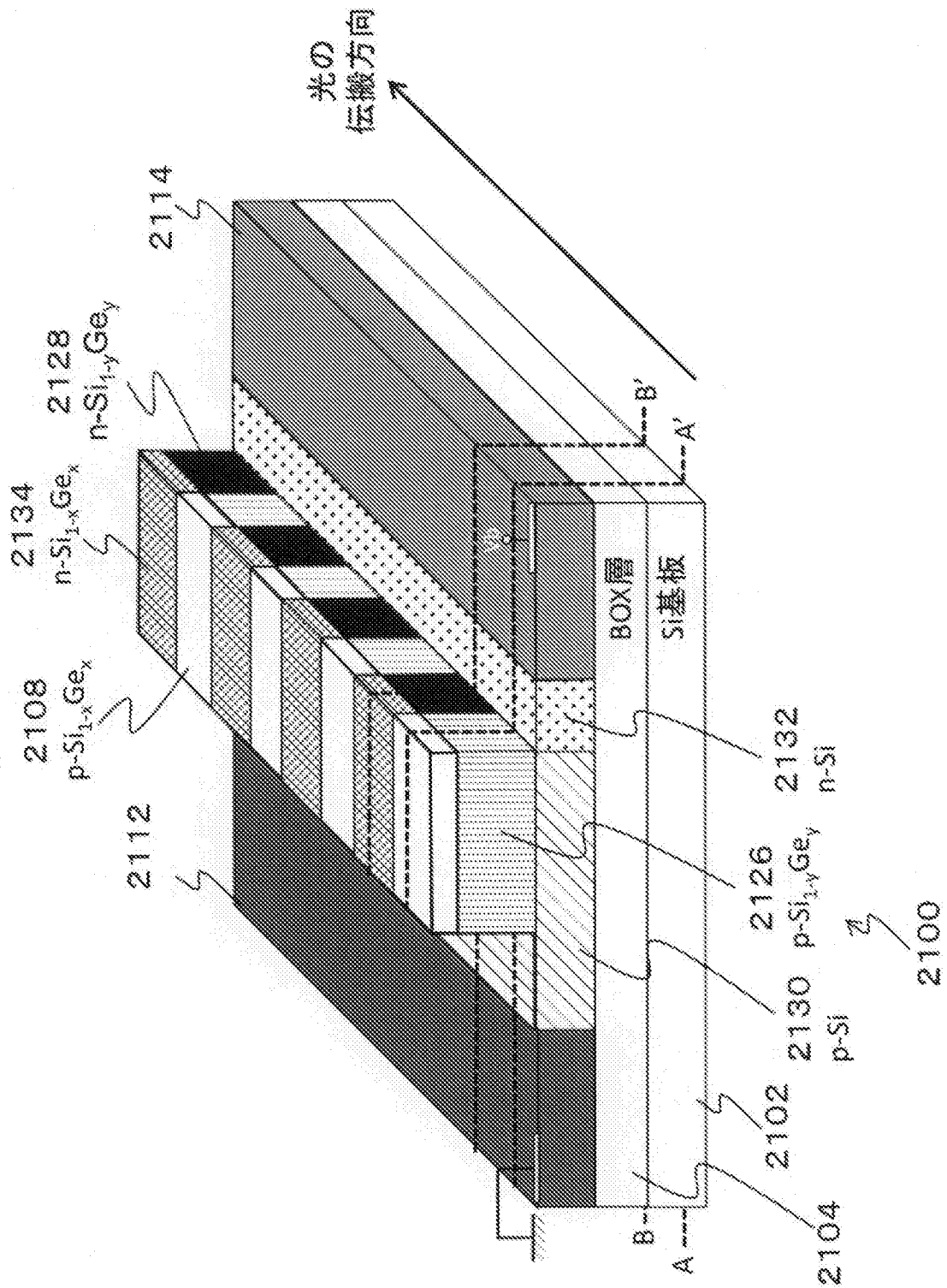


[図19]

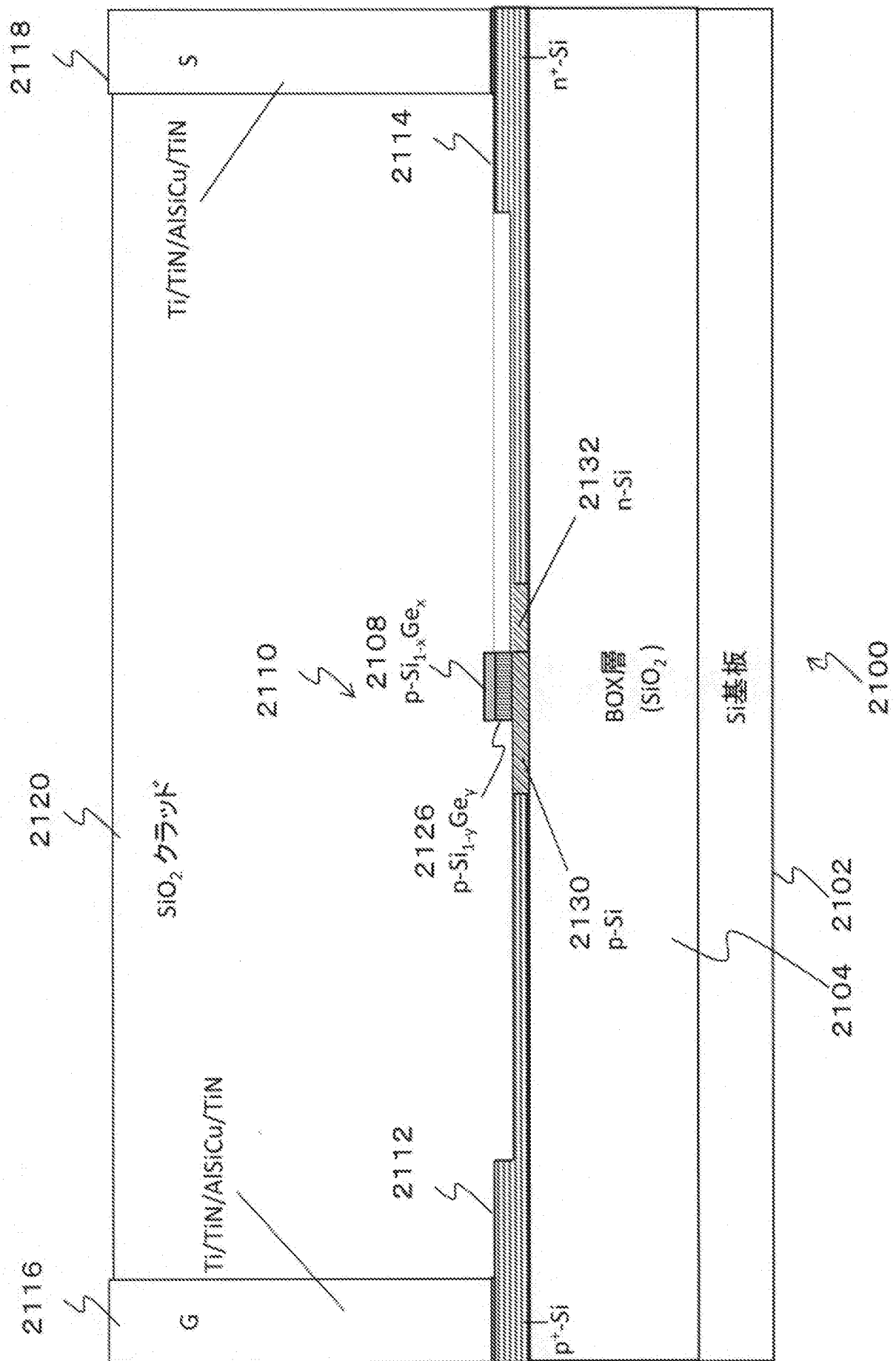


[illegible]

[図21]



[図22]



2116 2120 2118

SiO<sub>2</sub> クラッド

Ti/TiN/AlSiCu/TiN

2110

2134 n-Si<sub>1-x</sub>Ge<sub>x</sub> 2128 n-Si<sub>1-y</sub>Ge<sub>y</sub>

2132 n-Si

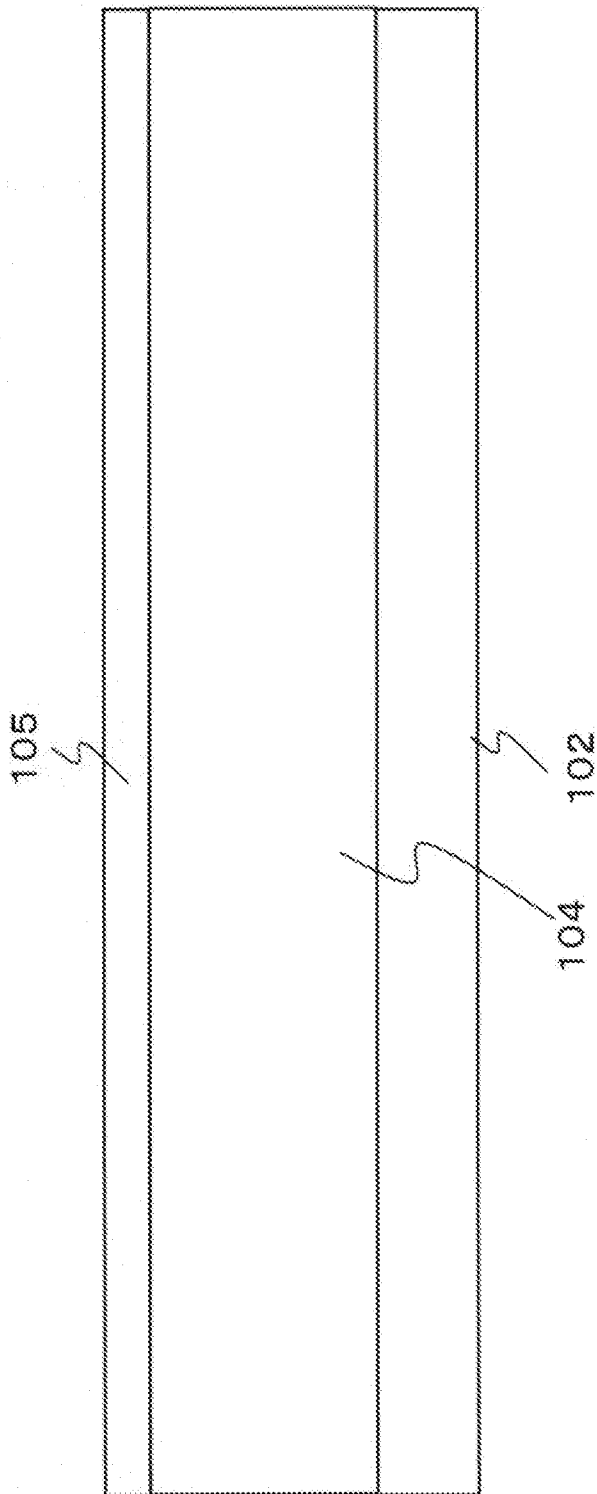
2130 p-Si

BOX層 (SiO<sub>2</sub>)

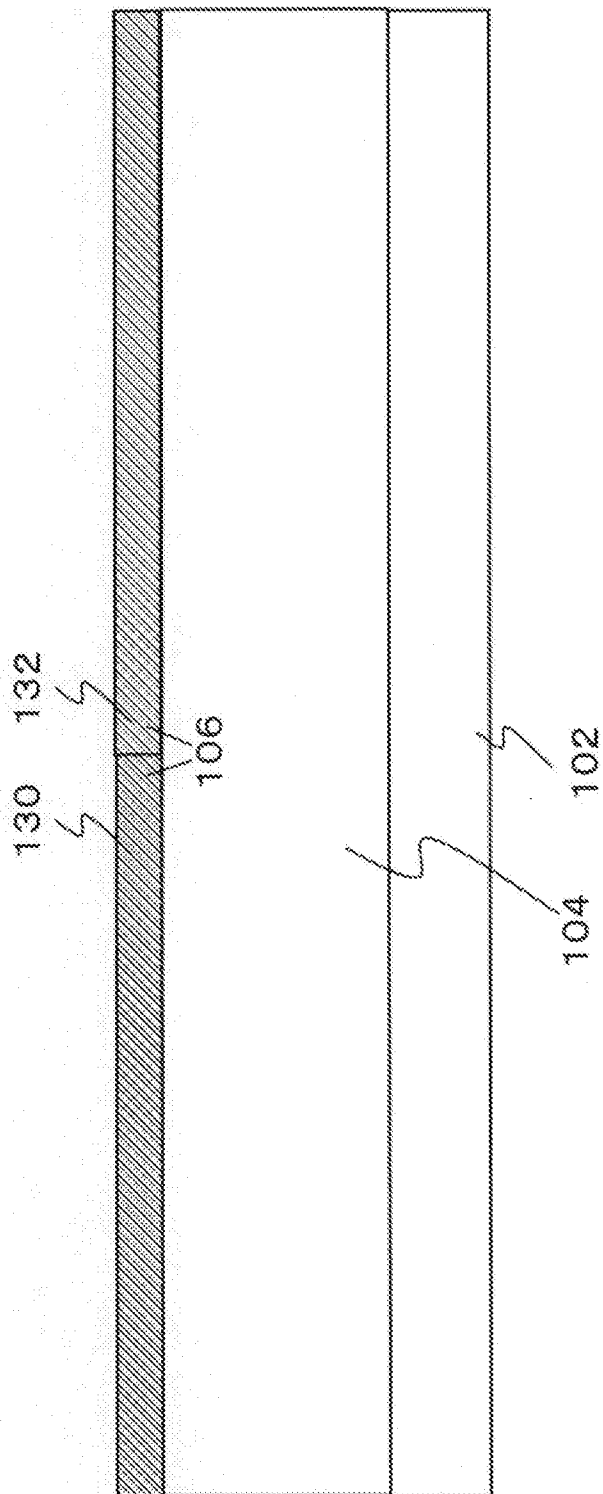
Si基板

2104 2102 2100

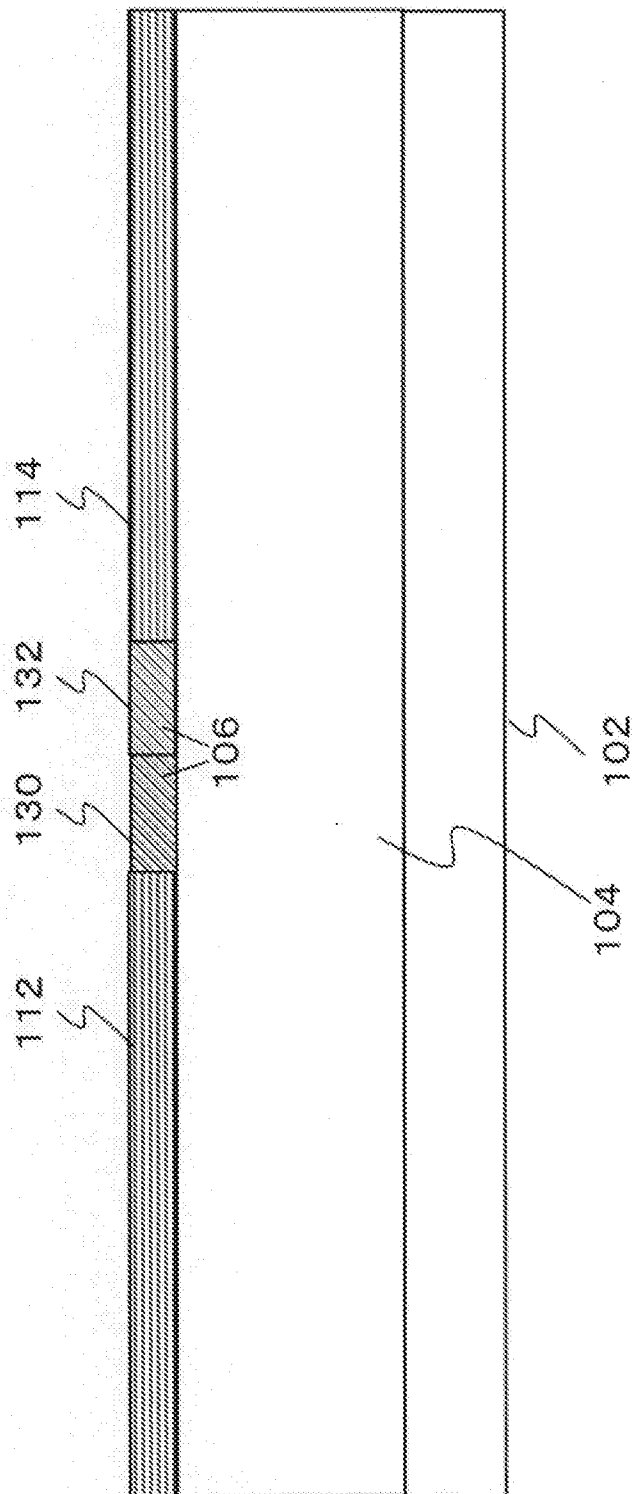
[図24A]



[図24B]

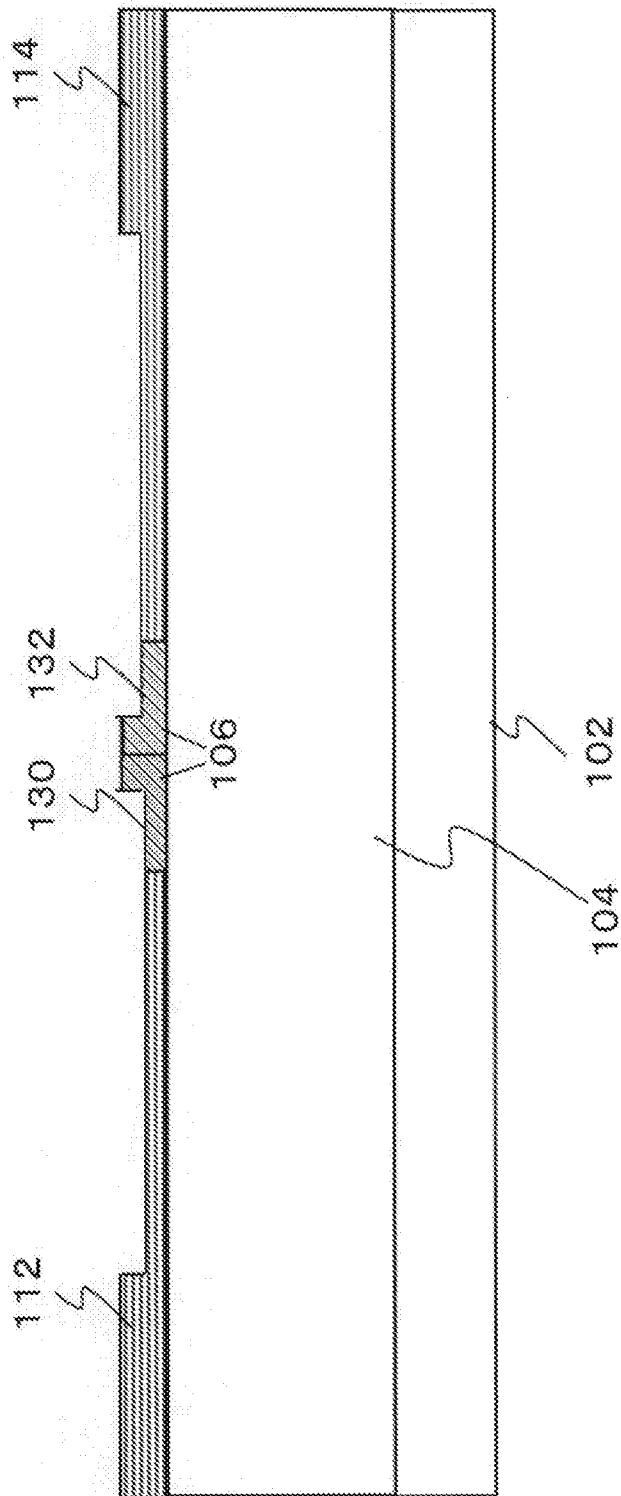


[図24C]

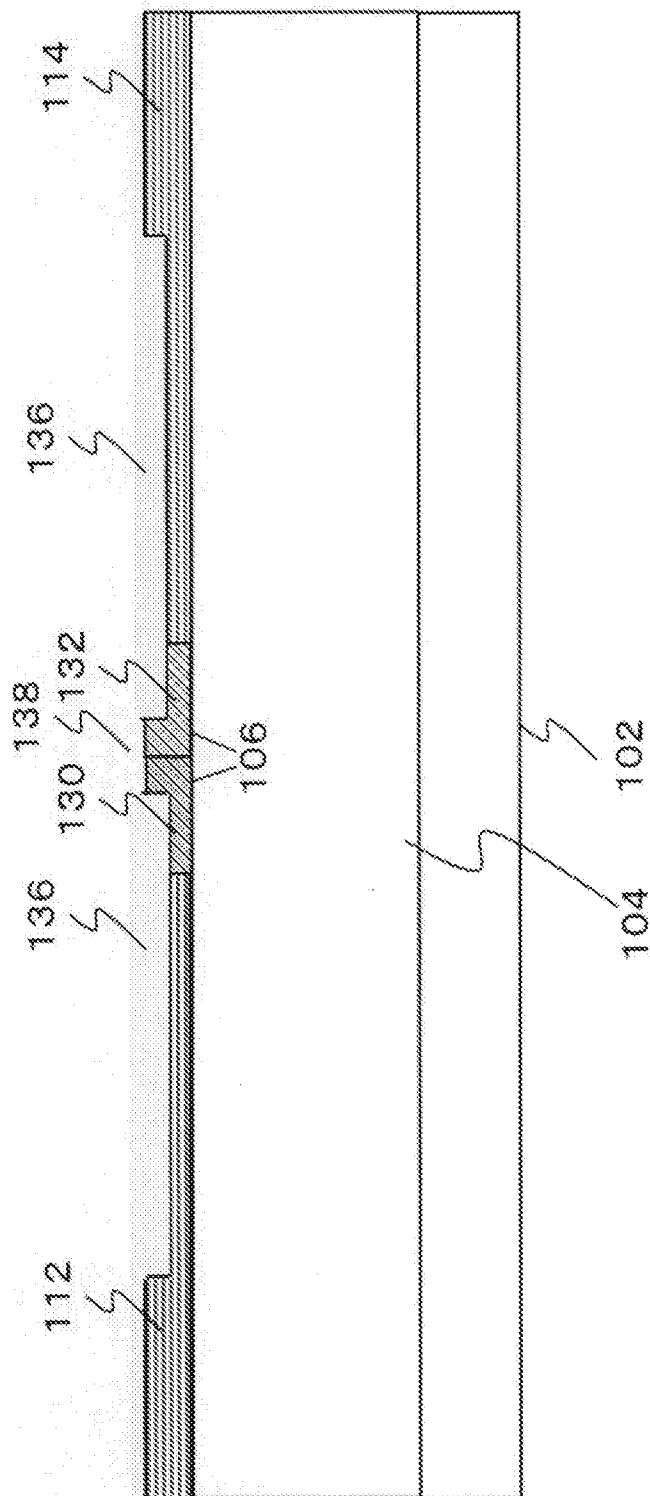




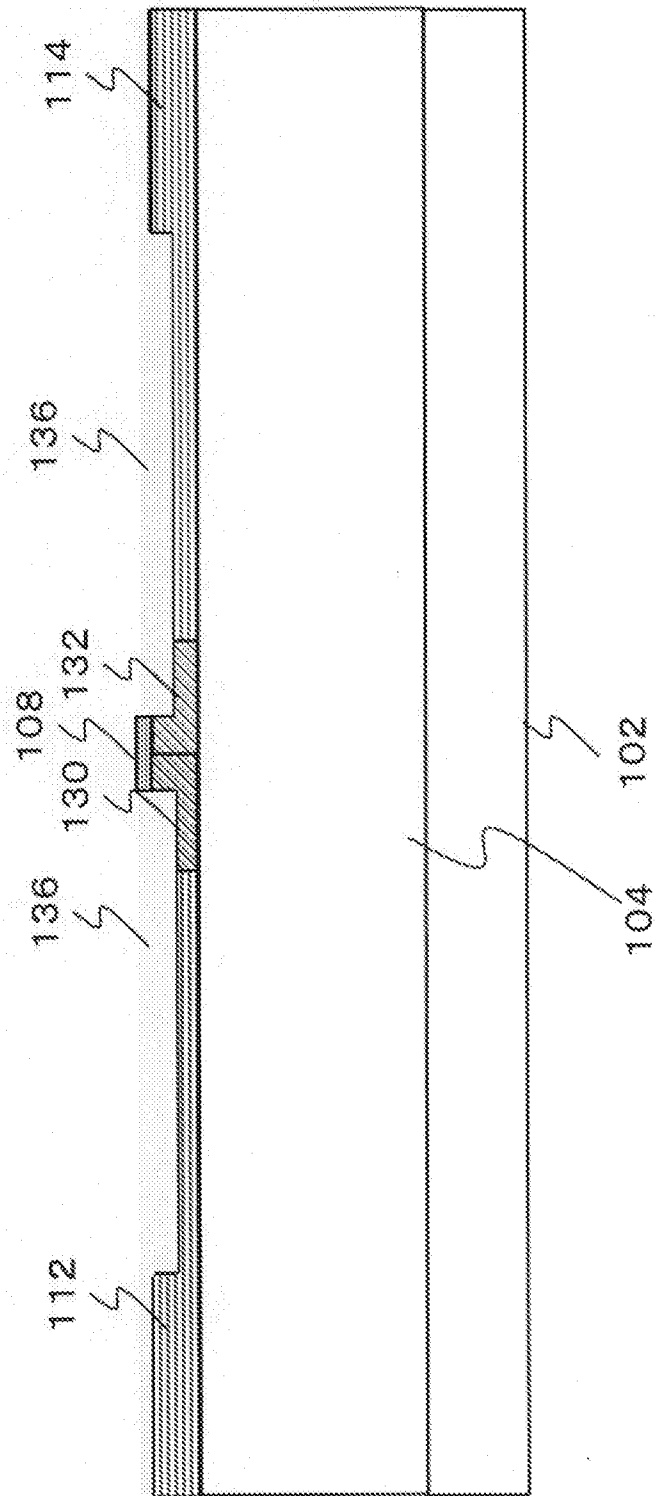
[図24D]



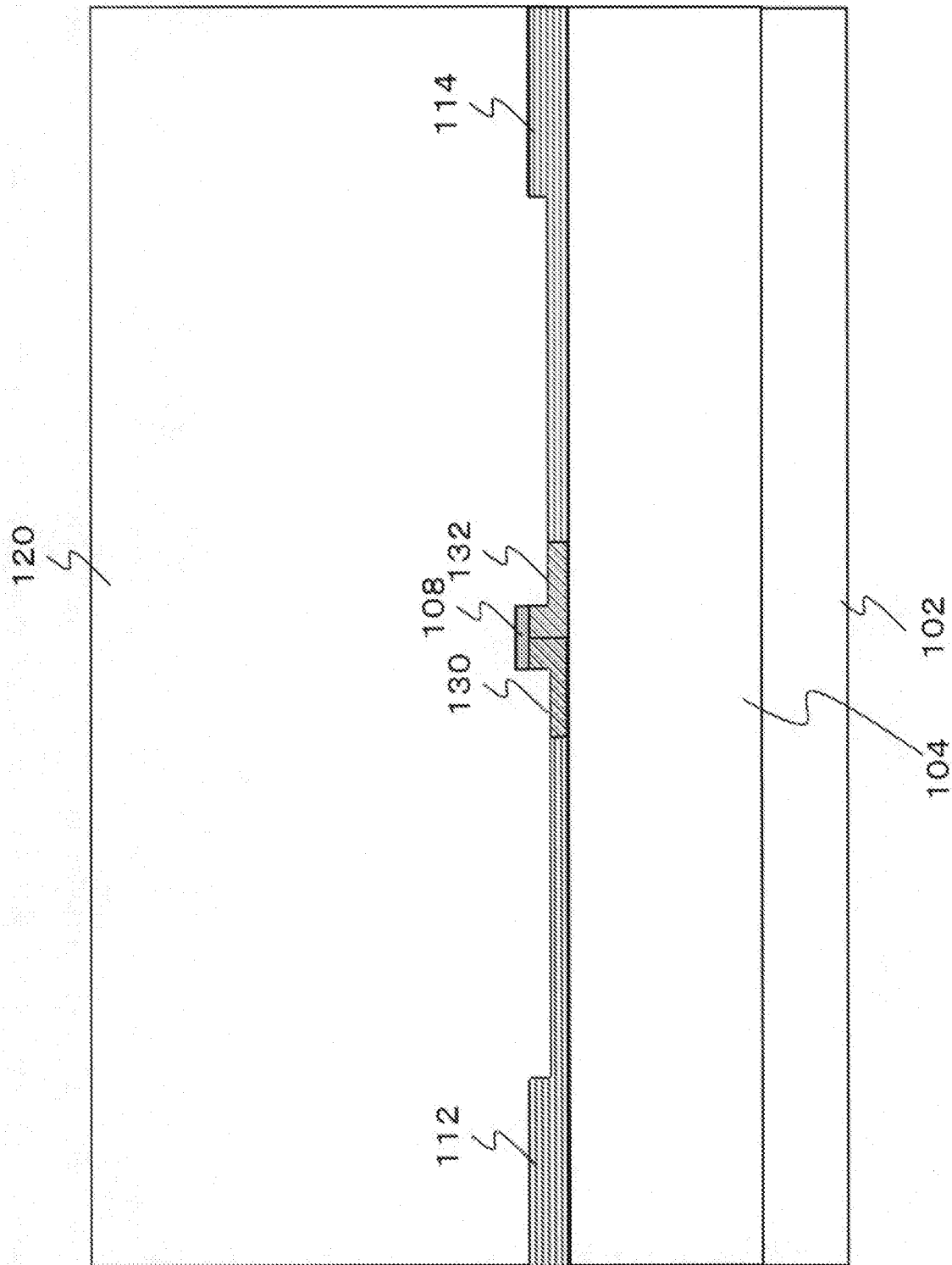
[図24E]



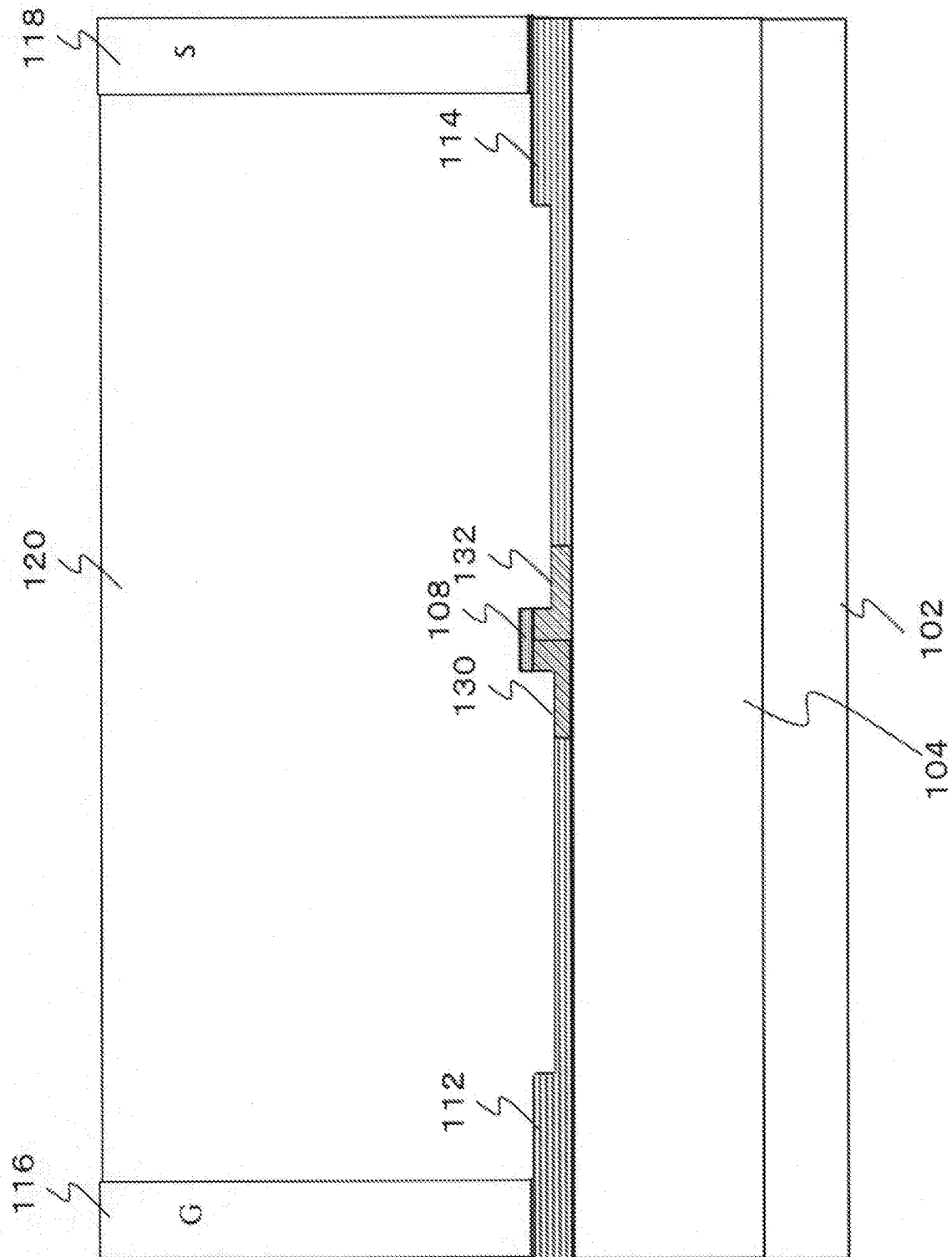
[図24F]



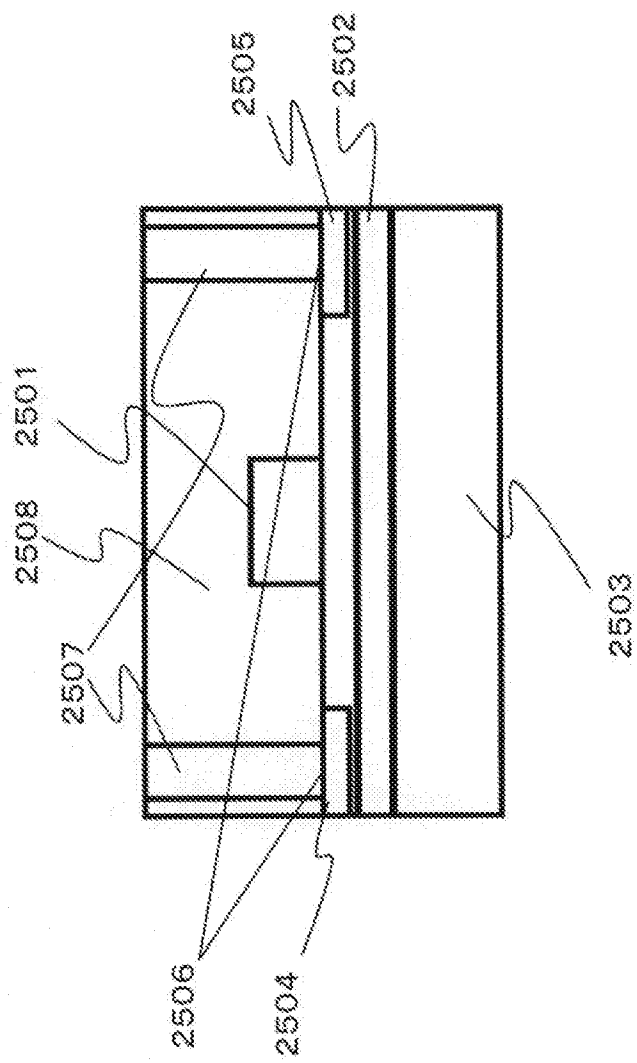
[図24G]



[図24H]



[図25]



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/053001

## A. CLASSIFICATION OF SUBJECT MATTER

G02F1/015(2006.01)i, G02B6/12(2006.01)i, G02B6/122(2006.01)i, G02F1/025(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/00-1/125, G02B6/12-6/14, H01S5/32

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

JSTPlus/JST7580(JDreamIII), IEEE Xplore

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	WO 2014/155450 A1 (NEC Corp.), 02 October 2014 (02.10.2014), paragraphs [0018] to [0023], [0029] to [0034], [0039] to [0059], [0063]; fig. 3, 6 (Family: none)	1-3, 6-10, 12-13 4-5, 11, 14
Y A	JP 2012-521576 A (Universite Paris-Sud), 13 September 2012 (13.09.2012), paragraphs [0024], [0098] to [0101]; fig. 1 & US 2012/0033910 A1 paragraphs [0040] to [0046], [0174] to [0179]; fig. 1 & WO 2010/109134 A1 & EP 2411863 A & FR 2943802 A	1-3, 6-10, 12-13 4-5, 11, 14



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

15 April 2016 (15.04.16)

Date of mailing of the international search report

10 May 2016 (10.05.16)

Name and mailing address of the ISA/

Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/053001

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2011-76053 A (Fujikura Ltd.), 14 April 2011 (14.04.2011), paragraphs [0023] to [0025]; fig. 1 & DE 102011001257 A	10 4-5, 11, 14
A	JP 2013-214044 A (The University of Tokyo), 17 October 2013 (17.10.2013), entire text; all drawings (Family: none)	1-14
A	US 2012/0189239 A1 (Xiaoguang Tu, et al.), 26 July 2012 (26.07.2012), entire text; all drawings (Family: none)	1-14
A	J. Fujikata, et.al., "High Performance PIN Ge Photodetector and Si Optical Modulator with MOS Junction for Photonics-Electronics Convergence System", Design Automation Conference (ASP-DAC), 2013 18th Asia and South Pacific, 2013.01.22, p.655-656	1-14
A	J. Fujikata, et.al., "25 GHz Operation of Silicon Optical Modulator with Projection MOS Structure", Optical Fiber Communication (OFC), collocated National Fiber Optic Engineers Conference, 2010 Conference on (OFC/NFOEC), 2010.03.21, p.1-3	1-14



## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. G02F1/015(2006.01)i, G02B6/12(2006.01)i, G02B6/122(2006.01)i, G02F1/025(2006.01)i

## B. 調査を行った分野

## 調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. G02F1/00-1/125, G02B6/12-6/14, H01S5/32

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

JSTPlus/JST7580 (JDreamIII), IEEE Xplore

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	WO 2014/155450 A1（日本電気株式会社）2014. 10. 02, [0018]-[0023], [0029]-[0034], [0039]-[0059], [0063], 図 3, 6 (ファミリーなし)	1-3, 6-10, 12-13 4-5, 11, 14
Y A	JP 2012-521576 A（ユニヴェルシテ パリースユッド）2012. 09. 13, [0024], [0098]-[0101], 図 1 & US 2012/0033910 A1 [0040]-[0046], [0174]-[0179], Fig. 1 & WO 2010/109134 A1 & EP 2411863 A & FR 2943802 A	1-3, 6-10, 12-13 4-5, 11, 14

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

## 国際調査を完了した日

15. 04. 2016

## 国際調査報告の発送日

10. 05. 2016

## 国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）  
郵便番号100-8915  
東京都千代田区霞が関三丁目4番3号

## 特許庁審査官（権限のある職員）

林 祥恵

電話番号 03-3581-1101 内線 3295

2 L

4085

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2011-76053 A (株式会社フジクラ) 2011.04.14, [0023]-[0025], 図 1	10
A	& DE 102011001257 A	4-5, 11, 14
A	JP 2013-214044 A (国立大学法人 東京大学) 2013.10.17, 全文、全図 (ファミリーなし)	1-14
A	US 2012/0189239 A1 (Xiaoguang Tu, et al.) 2012.07.26, 全文、全図 (ファミリーなし)	1-14
A	J. Fujikata, et.al., "High Performance PIN Ge Photodetector and Si Optical Modulator with MOS Junction for Photonics-Electronics Convergence System", Design Automation Conference (ASP-DAC), 2013 18th Asia and South Pacific, 2013.01.22, p.655-656	1-14
A	J. Fujikata, et.al., "25 GHz Operation of Silicon Optical Modulator with Projection MOS Structure", Optical Fiber Communication (OFC), collocated National Fiber Optic Engineers Conference, 2010 Conference on (OFC/NFOEC), 2010.03.21, p.1-3	1-14