
پروژه ی اول CAD

سید پارسا حسینی نژاد

۱۱۰۱۹۶۶۰۴

Part 1: Accurate multiplier with DSP block

در این قسمت ابتدا با استفاده از IP Core که همان ماژول های از قبل تعریف شده است ، یک ضرب کننده ی 4×4 تعریف می کنیم :

The screenshot shows the 'Re-customize IP' window for the 'Multiplier (12.0)' core. The 'Component Name' is 'mult_gen_0'. The 'Basic' tab is selected, showing the 'Multiplier Type' as 'Parallel Multiplier' and 'Input Options' with 'Data Type' set to 'Unsigned' and 'Width' set to '4' for both inputs A and B. The 'Multiplier Construction' is set to 'Use Mults' and 'Optimization Options' is set to 'Speed Optimized'. The 'IP Symbol' tab on the left shows a block diagram with inputs A[3:0] and B[3:0], and output P[7:0].

Re-customize IP

Multiplier (12.0)

Documentation IP Location Switch to Defaults

Component Name: mult_gen_0

Basic Output and Control

Multiplier Type

☒ Parallel Multiplier ☐ Constant Coefficient Multiplier

Input Options

P = A * B

Data Type: Unsigned Unsigned

Width: 4 4

Range: 1...64 Range: 1...64

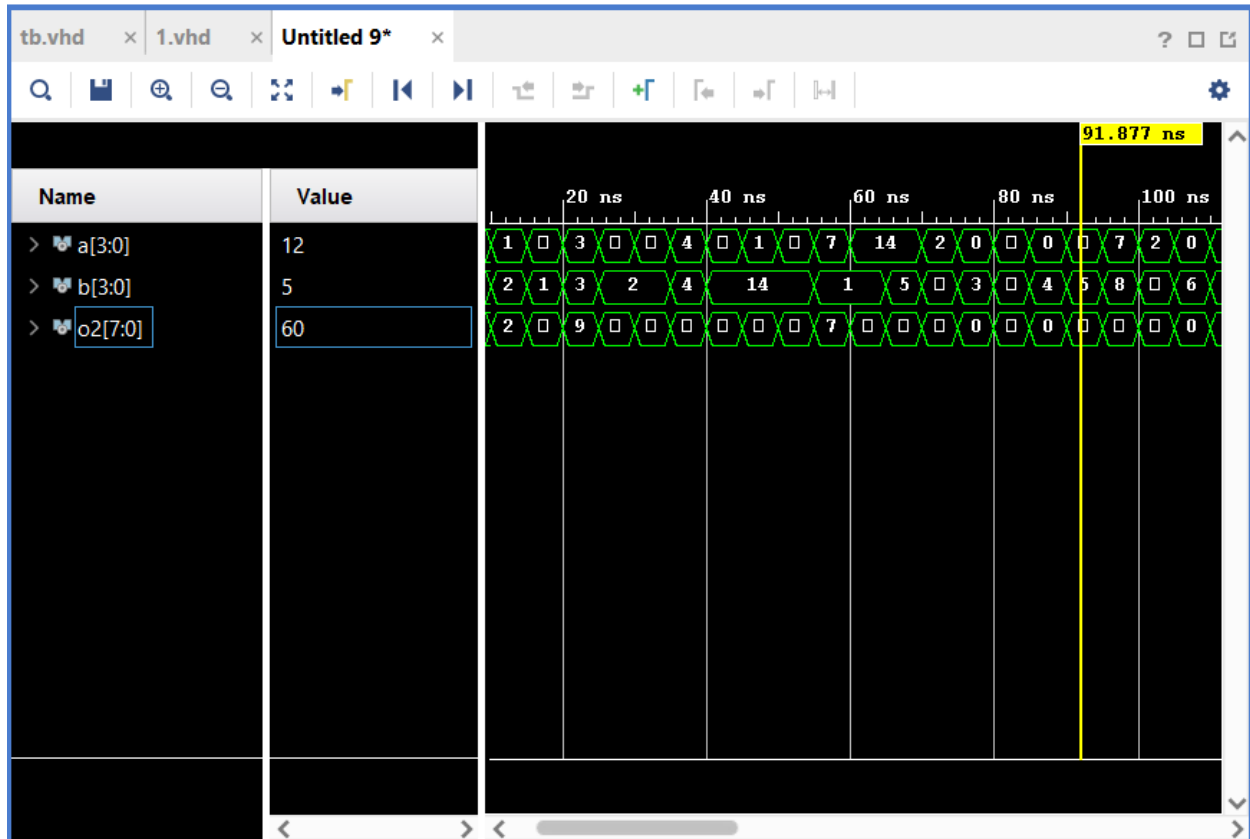
Multiplier Construction: Use Mults

Optimization Options: Speed Optimized

Area: Optimizes the multiplier for DSP48 slice resources by splitting the multiplication between DSP48 slices and slice logic
Speed: Optimizes the multiplier for performance using as many DSP48 slices as necessary

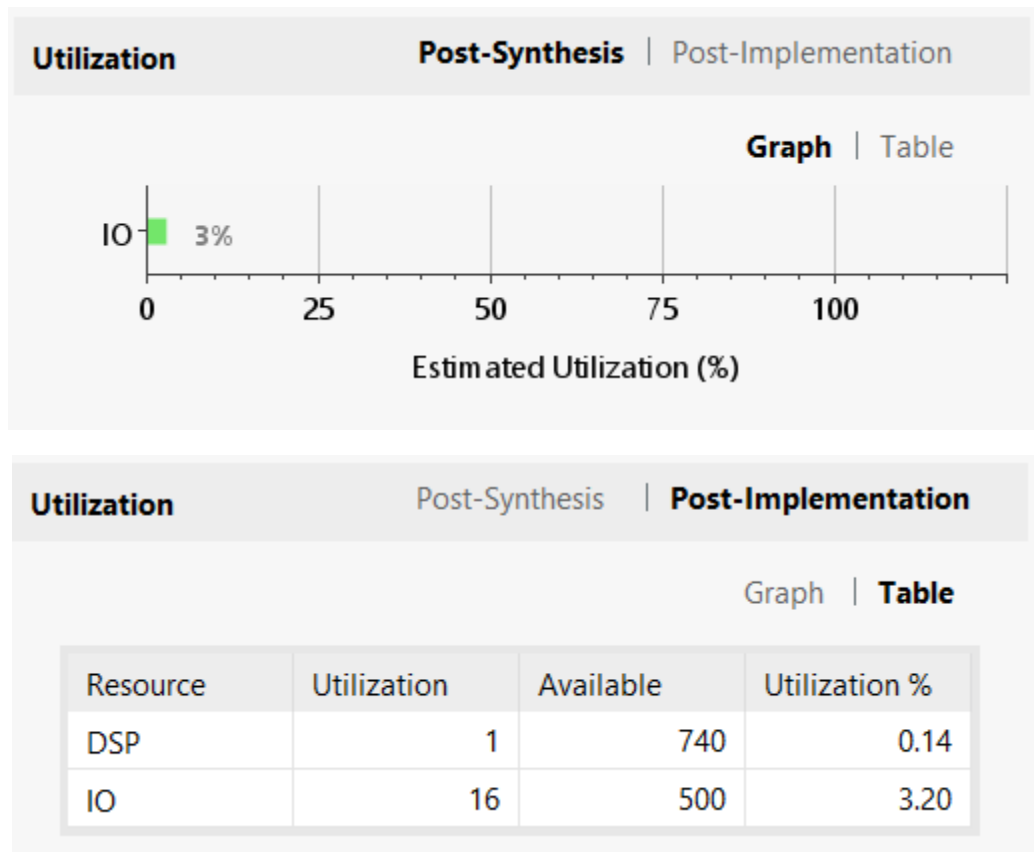
OK Cancel

سپس با استفاده از این ماژول در test bench استفاده می کنیم . برای تولید کردن عدد رندوم نیز از تابع uniform استفاده کرده و با استفاده از حلقه ، ۶۴ بار ضرب را تست می کنیم که نتیجه ی آن در پایین دیده می شود :



1 - Utilization:

در این قسمت از پروژه فقط از DSP block و I/O استفاده شده است :



7. Primitives

+-----+-----+-----+-----+			
Ref Name	Used	Functional Category	
+-----+-----+-----+-----+			
OBUF	8		IO
IBUF	8		IO
+-----+-----+-----+-----+			

2 – Performance:

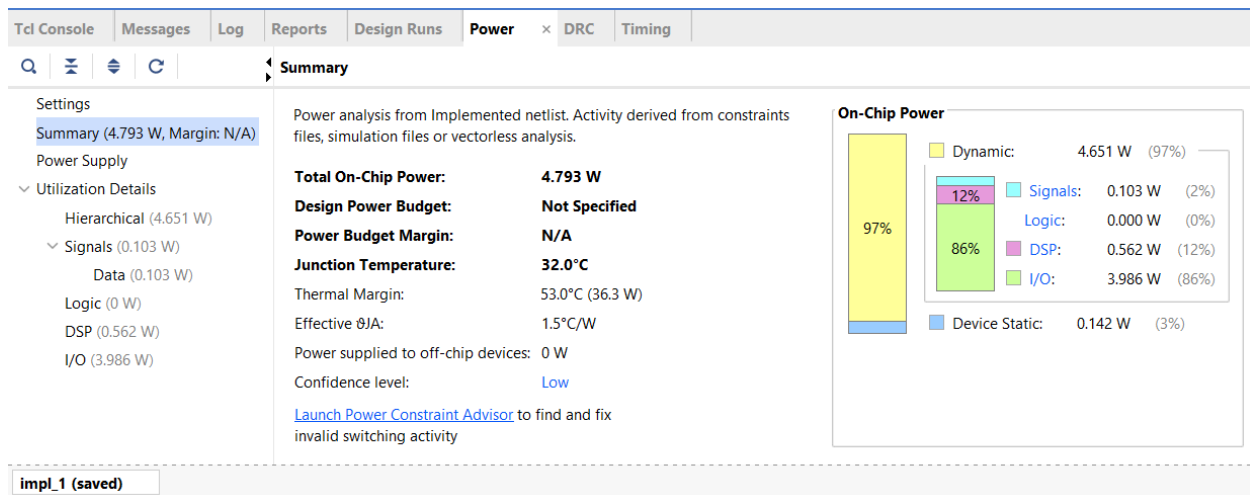
همان طور که در نمودار پایین مشاهده می شود ، بیشترین میزان تاخیر برابر ۹,۸ است پس :

$$\text{Performance} = 1 / 9.8 = 10.2\%$$

Name	Slack ^{^1}	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock
Path 1	∞	3	2	1	a[2]	p[7]	9.924	6.555	3.369	∞	input port clock
Path 2	∞	3	2	1	a[2]	p[6]	9.914	6.576	3.338	∞	input port clock
Path 3	∞	3	2	1	a[2]	p[1]	9.808	6.520	3.288	∞	input port clock
Path 4	∞	3	2	1	a[2]	p[0]	9.781	6.525	3.256	∞	input port clock
Path 5	∞	3	2	1	a[2]	p[5]	9.769	6.569	3.200	∞	input port clock
Path 6	∞	3	2	1	a[2]	p[4]	9.726	6.532	3.194	∞	input port clock
Path 7	∞	3	2	1	a[2]	p[3]	9.726	6.534	3.192	∞	input port clock
Path 8	∞	3	2	1	a[2]	p[2]	9.719	6.515	3.204	∞	input port clock

3 – Power consumption:

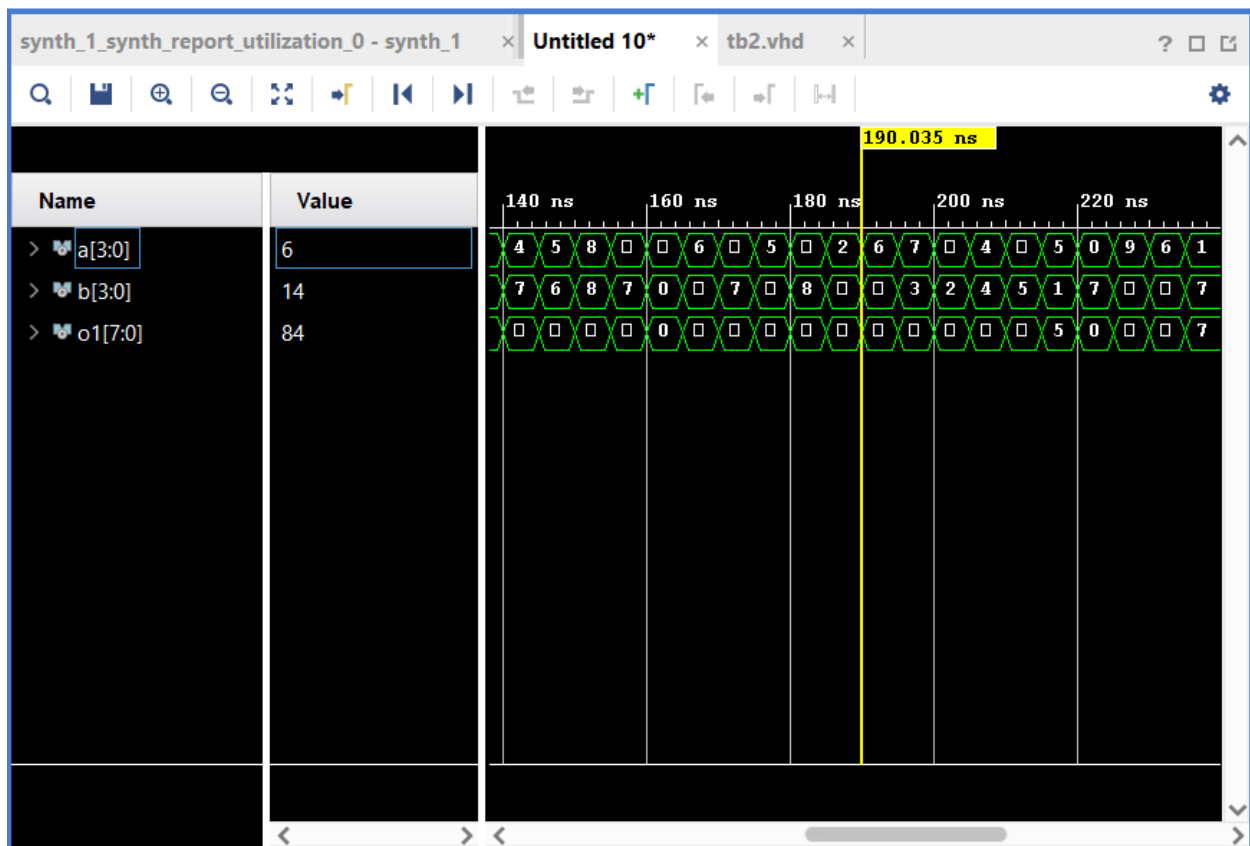
توان کلی مصرف شده طبق report برابر شکل زیر است :



Part 2: Accurate multiplier LUTs

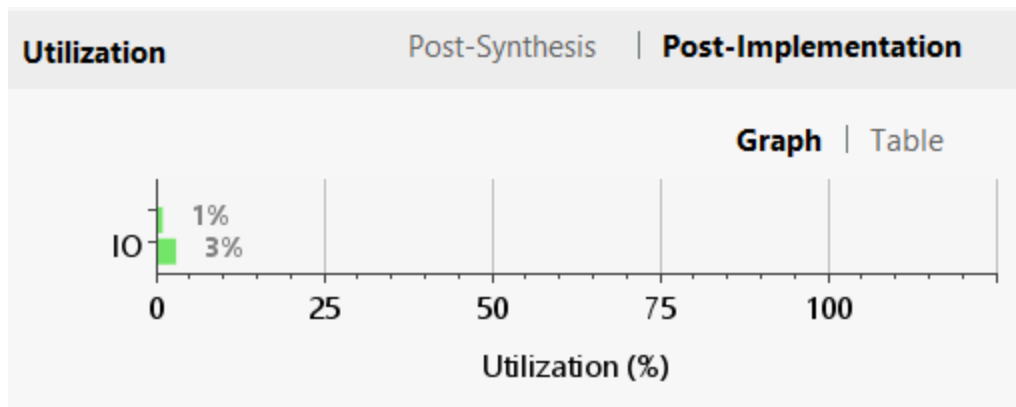
در این قسمت طبق صورت پروژه ابتدا با استفاده از اپراتور * یک architecture تعریف می کنیم .
هنگام استفاده از این اپراتور synthesis process در واقع از LUT استفاده می کند .

سپس با استفاده از این ماژول در test bench استفاده می کنیم . برای تولید کردن عدد رندوم نیز از تابع uniform استفاده کرده و با استفاده از حلقه ، ۶۴ بار ضرب را تست می کنیم که نتیجه ی آن در پایین دیده می شود :



1 - Utilization:

در این قسمت از پروژه ۱۶ LUT برای ضرب استفاده شده است :



Utilization Post-Synthesis | **Post-Implementation**

Graph | **Table**

Resource	Utilization	Available	Utilization %
LUT	16	133800	0.01
IO	16	500	3.20

7. Primitives

Ref Name	Used	Functional Category
LUT6	10	LUT
OBUF	8	IO
IBUF	8	IO
LUT4	4	LUT
LUT2	3	LUT
CARRY4	2	CarryLogic
LUT5	1	LUT
LUT3	1	LUT

2 – Performance:

همان طور که در نمودار پایین مشاهده می شود ، بیشترین میزان تاخیر برابر ۸,۳ است پس :

$$\text{Performance} = 1 / 8.3 = 12.0\%$$

Name	Slack ^{^1}	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock
↳ Path 1	∞	5	4	13	a[1]	outp[7]	8.326	3.963	4.363	∞	input port clock
↳ Path 2	∞	5	4	13	a[1]	outp[6]	8.287	4.156	4.131	∞	input port clock
↳ Path 3	∞	5	4	13	a[1]	outp[5]	8.134	4.024	4.110	∞	input port clock
↳ Path 4	∞	6	4	13	a[1]	outp[4]	7.701	4.161	3.539	∞	input port clock
↳ Path 5	∞	5	3	13	a[1]	outp[3]	7.404	3.865	3.539	∞	input port clock
↳ Path 6	∞	4	2	10	a[0]	outp[2]	6.846	3.979	2.867	∞	input port clock
↳ Path 7	∞	4	2	10	a[0]	outp[1]	6.637	3.687	2.951	∞	input port clock
↳ Path 8	∞	4	2	10	a[0]	outp[0]	6.460	3.711	2.748	∞	input port clock

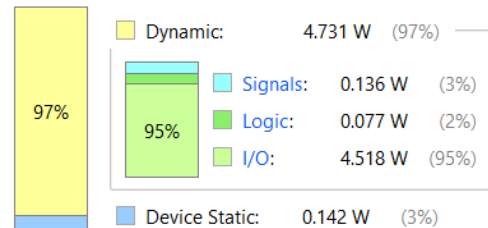
3 – Power consumption:

توان کلی مصرف شده طبق report برابر شکل زیر است :

Power analysis from Implemented netlist. Activity derived from constraints files, simulation files or vectorless analysis.

Total On-Chip Power: 4.873 W
Design Power Budget: Not Specified
Power Budget Margin: N/A
Junction Temperature: 32.1°C
Thermal Margin: 52.9°C (36.2 W)
Effective θ_{JA} : 1.5°C/W
Power supplied to off-chip devices: 0 W
Confidence level: Low
[Launch Power Constraint Advisor](#) to find and fix invalid switching activity

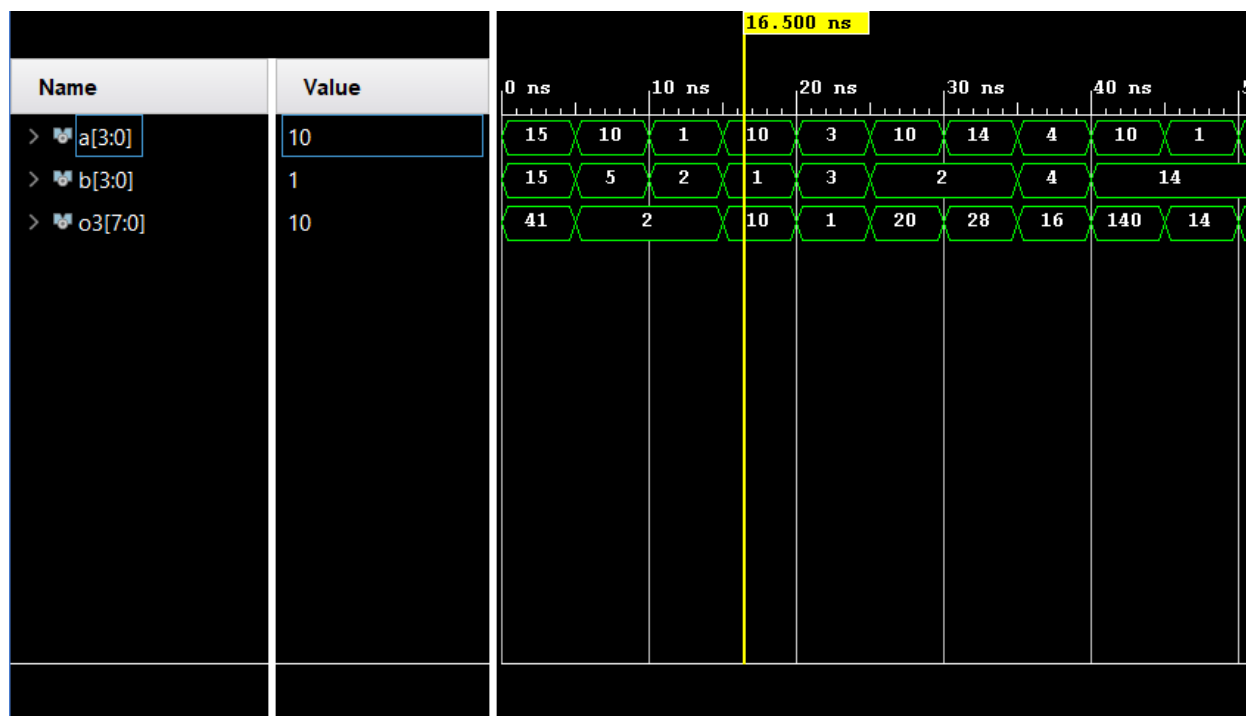
On-Chip Power



Part 3: Approximate multiplier with LUTs

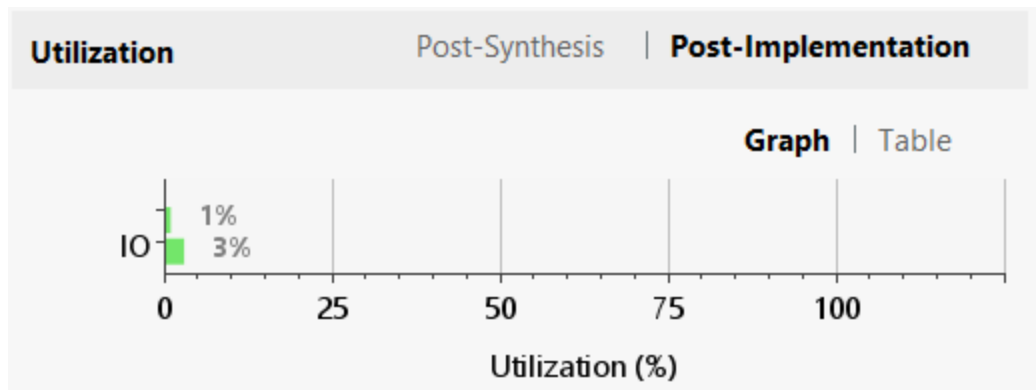
در این قسمت باید مدارهای داده شده در صورت پروژه را با LUT های FPGA پیاده سازی کنیم . پس باید ۵ LUT که هر کدام ۶ ورودی دارند را تعریف کنیم تا ۸ خروجی مورد نظر را بسازیم (هر LUT می تواند ۲ خروجی داشته باشد و برای استفاده از آن باید select مربوط به mux را برابر ۱ بگذاریم) . حال با توجه به ورودی های هر LUT خروجی آن را با استفاده از generic map مقداردهی می کنیم . در LUT3 هم یک سیم جدید به اسم P3In تعریف می کنیم که یکی از ورودی های xor است.

سپس با استفاده از این ماژول در test bench استفاده می کنیم . برای تولید کردن عدد رندوم نیز از تابع uniform استفاده کرده و با استفاده از حلقه ، ۶۴ بار ضرب را تست می کنیم که نتیجه ی آن در پایین دیده می شود :



1 - Utilization:

در این قسمت از پروژه فقط از DSP block و I/O استفاده شده است :



Utilization Post-Synthesis | **Post-Implementation**

Graph | **Table**

Resource	Utilization	Available	Utilization %
LUT	7	133800	0.01
IO	16	500	3.20

7. Primitives

+-----+-----+-----+-----+			
	Ref Name		Used Functional Category
+-----+-----+-----+-----+			
	OBUF		8 IO
	IBUF		8 IO
	LUT6		7 LUT
	LUT5		7 LUT
+-----+-----+-----+-----+			

2 – Performance:

همان طور که در نمودار پایین مشاهده می شود ، بیشترین میزان تاخیر برابر ۹,۸ است پس :

$$\text{Performance} = 1 / 7.52 = 13.2\%$$

Name	Slack ^{^1}	Levels	Routes	High Fanout	From	To	Total Delay	Logic Delay	Net Delay	Requirement	Source Clock
↳ Path 1	∞	4	3	6	a[3]	o[6]	7.528	3.730	3.798	∞	input port clock
↳ Path 2	∞	4	3	6	a[3]	o[7]	7.318	3.525	3.793	∞	input port clock
↳ Path 3	∞	4	3	4	b[0]	o[3]	6.809	3.507	3.303	∞	input port clock
↳ Path 4	∞	3	2	6	a[3]	o[5]	6.637	3.617	3.020	∞	input port clock
↳ Path 5	∞	3	2	4	b[0]	o[0]	6.592	3.569	3.023	∞	input port clock
↳ Path 6	∞	3	2	4	b[0]	o[2]	6.456	3.382	3.074	∞	input port clock
↳ Path 7	∞	3	2	4	b[0]	o[1]	6.339	3.387	2.952	∞	input port clock
↳ Path 8	∞	3	2	6	a[3]	o[4]	6.103	3.398	2.705	∞	input port clock

3 – Power consumption:

توان کلی مصرف شده طبق report برابر شکل زیر است :

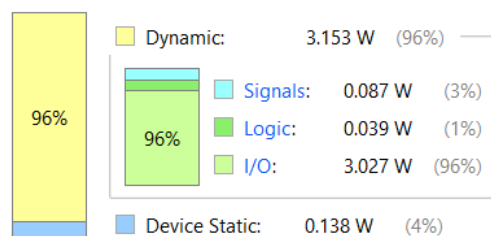
Summary

Power analysis from Implemented netlist. Activity derived from constraints files, simulation files or vectorless analysis.

Total On-Chip Power: 3.291 W
Design Power Budget: Not Specified
Power Budget Margin: N/A
Junction Temperature: 29.8°C
Thermal Margin: 55.2°C (37.8 W)
Effective θ_{JA} : 1.5°C/W
Power supplied to off-chip devices: 0 W
Confidence level: Low

[Launch Power Constraint Advisor](#) to find and fix invalid switching activity

On-Chip Power



مقایسه :

همان طور که انتظار می رفت ، performance مربوط به approximate multiplier از بقیه ی ضرب کننده ها بهتر است. همچنین performance مربوط به ضرب کننده با LUT هم از ضرب کننده با DSP block بهتر است و تاخیر کمتری دارد.