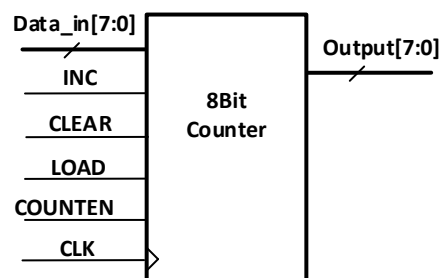


(۱) هر یک از بلوکهای سخت افزاری زیر را به زبان Verilog توصیف کرده و در نرم افزار Modelsim شبیه سازی کنید.

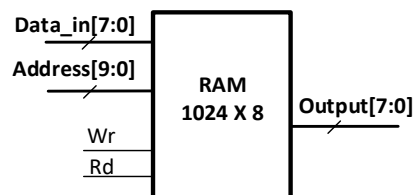
الف) شمارنده هشت بیتی با قابلیت های پاک کردن، load موازی ، شمارش به بالا و پایین (مطابق بلوک دیاگرام و

جدول زیر)

CLEAR	LOAD	COUNTEN	INC/DEC	OPERATION
1	X	X	X	Clear Output
0	1	X	X	Parallel Load
0	0	0	X	Store
0	0	1	0	Count Up
0	0	1	1	Count Down



ب) حافظه RAM تک پورت با حجم 1024 X 8 دارای ورودی های Wr , Rd آسنکرون



(۲) جداول درستی یک انکدر 8→3 و یک انکدر اولویت دار 8→3 به ترتیب نمایش داده شده است. با استفاده از

Verilog این بلوکها را در سطح رفتاری توصیف و شبیه سازی کنید.

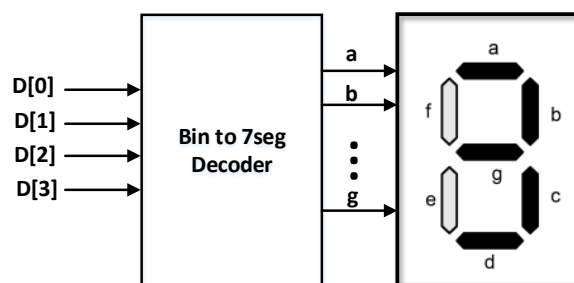
dataIn	codeOut
8'b00000001	000
8'b0000001X	001
8'b000001XX	010
8'b00001XXX	011
8'b0001XXXX	100
8'b001XXXXX	101
8'b01XXXXXX	110
8'b1XXXXXXX	111
else	3'bxxx

انکدر اولویت دار 8→3

dataIn	codeOut
8'b00000001	000
8'b00000010	001
8'b00000100	010
8'b00001000	011
8'b00010000	100
8'b00100000	101
8'b01000000	110
8'b10000000	111
else	3'bxxx

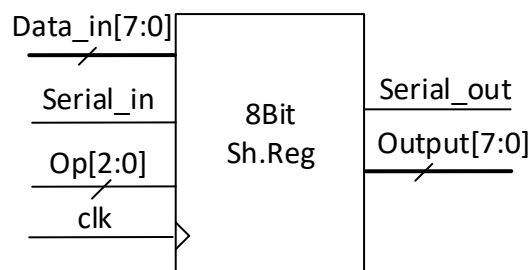
انکدر 8→3

۳) شکل زیر یک دیکدر باینری به سون سگمنت را نمایش می دهد که یک عدد باینری چهار بیتی ورودی را به معادل سون سگمنت آن تبدیل می کند. ابتدا جدول تبدیل را استخراج کرده سپس با استفاده از بلوک case آنرا به زبان Verilog توصیف کنید.



۴) یک شیفت رجیستر ۸ بیتی ترتیبی با قابلیت های زیر طراحی کرده و به زبان Verilog توصیف و شبیه سازی کنید.

OP2	OP1	OP0	Function
0	0	0	Set to FF
0	0	1	Shift Left
0	1	0	Rotate Left
0	1	1	Shift Right Logical
1	0	0	Shift Right Arithmetic
1	0	1	Rotate Right
1	1	0	Parallel Load
1	1	1	Clear



۵) شکل زیر، مدار مسير داده و ASM chart یک ضرب کننده هشت بیتی را نمایش می دهد. این مدار دو عدد 8 بیتی A و B را از ورودی می گیرد و با 1 شدن بیت S عملیات ضرب را به روش جمع های متوالی انجام می دهد. این مدار را در سطح رفتاری به زبان Verilog توصیف و شبیه سازی کنید.

