

CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Modulul 4

Proiectarea circuitelor combinaționale

Cuprins

- Introducere
- Logica **statică** și dinamică
- Alegerea PUN (pMOS) și PDN (nMOS)
- Exemplu – NAND cu 2 intrări
- Proprietățile statice ale porților complementare CMOS
- Propagarea întârzierii în porțile complementare CMOS
- Probleme în porțile complementare CMOS
- Tehnici de proiectare pentru circuite cu fan-in mare

Definiții

Circuit combinațional (circuit non-regenerativ) este circuitul a cărui ieșire la orice moment de timp depinde doar de semnalele aplicate pe intrare

Circuitul secvențial (circuit regenerativ) – dacă ieșirea depinde de datele de intrare curente precum și de starea anterioară a intrării

Proiectarea logicii statice

Proiectare statică

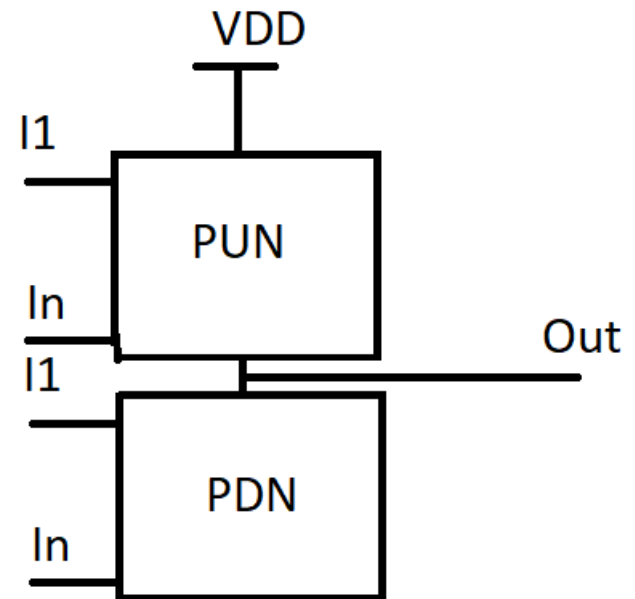
La orice moment de timp fiecare ieșire a unei porți este conectată la V_{DD} sau GND via căii cu cea mai mică rezistență

Logica complementară

Folosește intens logica statică și conține PUN și PDN.

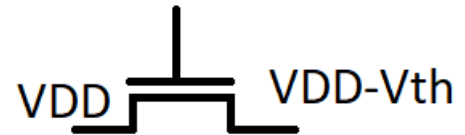
Este parte din proiectarea statică

Orice proiectare care conține pMOS în serie (PUN) va conține și nMOS în paralel (PDN) și viceversa



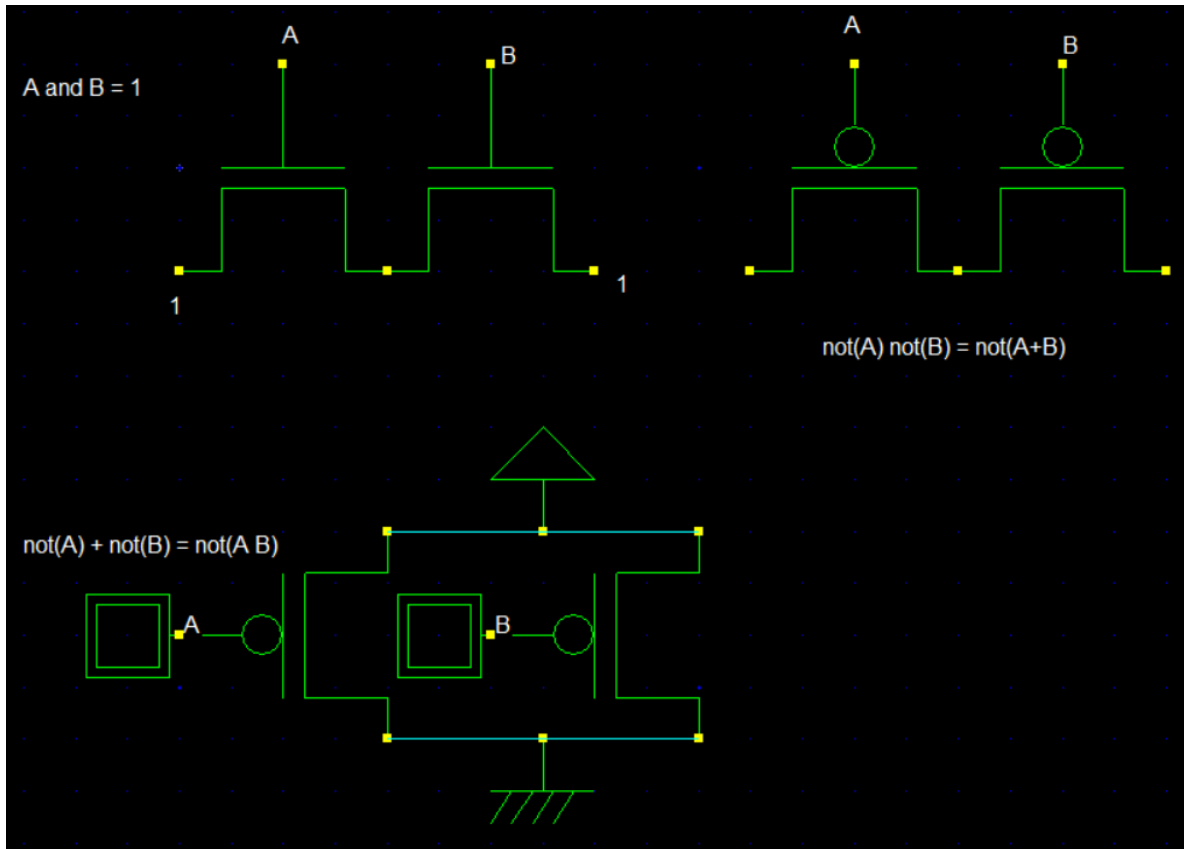
PUN ȘI PDN

- Într-o rețea PUN preferăm folosirea tranzistoarelor de tip pMOS
- Într-o rețea PDN preferăm folosirea tranzistoarelor de tip nMOS
- Este posibil și invers dar în acest caz descărcarea la GND a capacitorului nu va mai fi completă iar încărcarea capacitorului nu va mai fi completă
- nMOS conduce prost pe 1 iar pMOS conduce prost pe 0



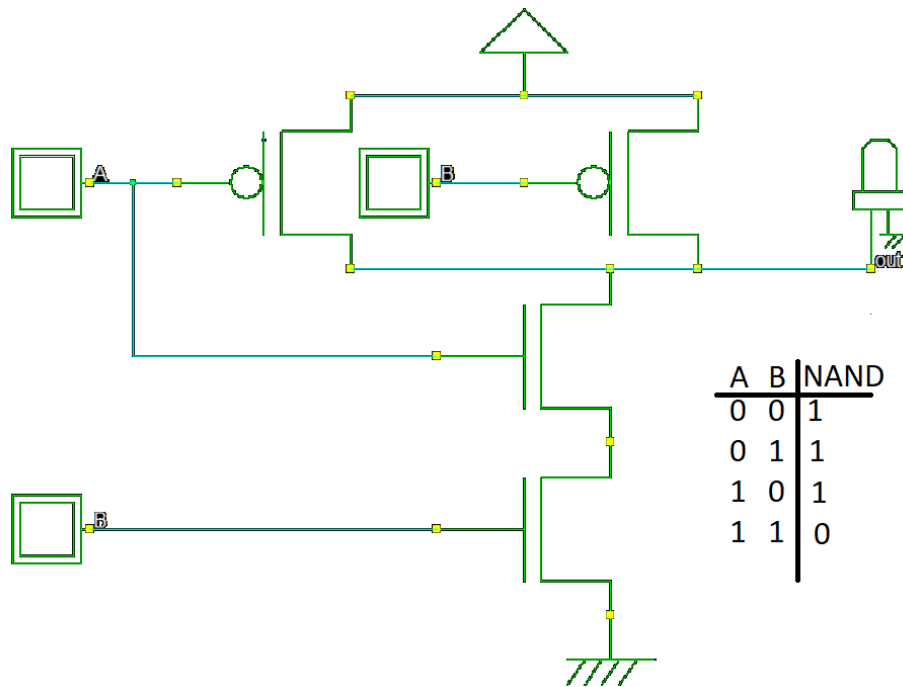
Example

AND 2, NOR 2, NAND 2 utilizând logica statică



NAND 2 în CMOS

Vom folosi tehnica de CMOS complementar



Exemplu

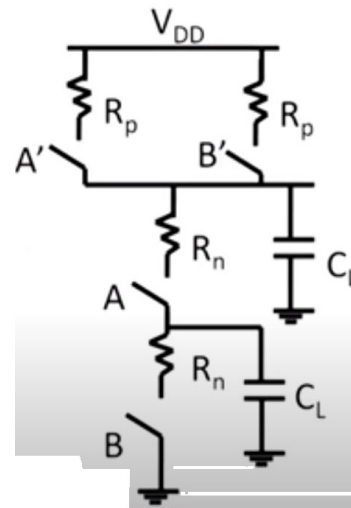
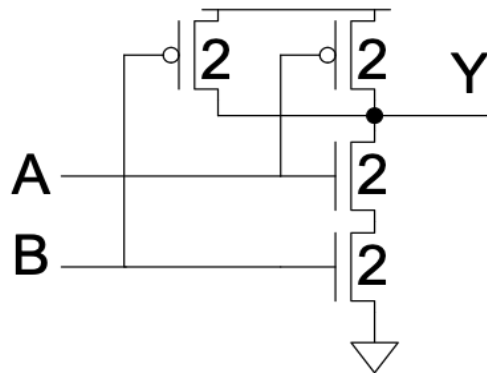
Să se implementeze funcția $F = \overline{D + B(A + C)}$ folosind CMOS complementar

Concluzii

1. *Întârzierea este dependentă de intrări*
2. *Noise margin este dependetă de intrări*
3. *Dacă PUN este strong atunci noise margin este mare*

Timpul de întârziere

- Facem modelul de switching pentru poarta din figură.
- Fiecare tranzistor se va înlocui cu o rezistență echivalentă + un switch. Presupunem că capacitățile C_L sunt egale.

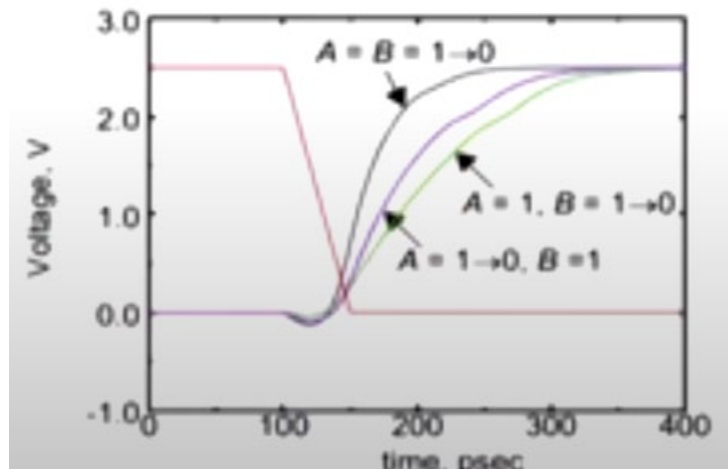


$$\tau = RC = 0.69 * (R_p \text{ or } R_n) * C_L$$

Timpul de întârziere

Când A și B comută din 1 în 0 atunci $R_p = \frac{R_p}{2}$

Scopul este ca $tp_{LH} = tp_{HL}$ acesta presupune ca rezistența în PUN să fie egală cu rezistența în PDN. Aceasta presupune ca parametrul W al tranzistoarelor din PDN să fie **dublu** față de parametrul W din PUN => va crește aria folosită

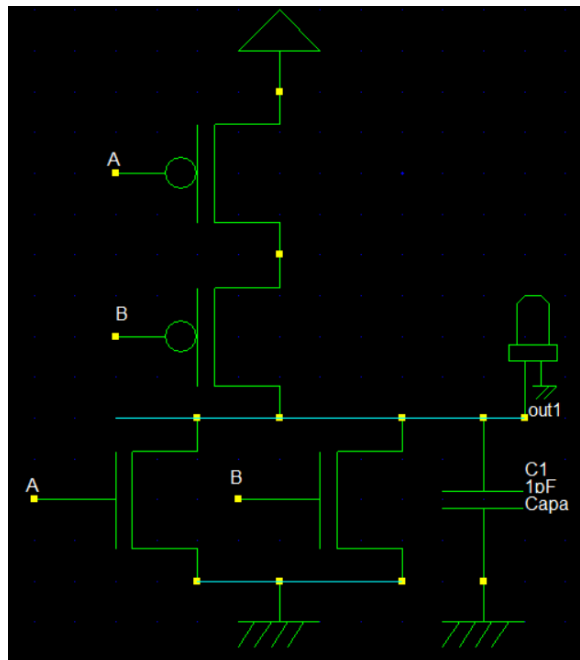


Source: J. M. Rabaey, A. Chandrakasan and B. Nikolic, "Digital Integrated Circuit," PHI Learning Pvt. Ltd., 2011

NOR

În cazul lui NOR pentru a obține $tp_{LH} = tp_{HL}$ va trebui ca parametrul W al tranzistoarelor din PUN să fie dublu, deci vom avea $2W$

În cazul lui NAND este exact pe invers

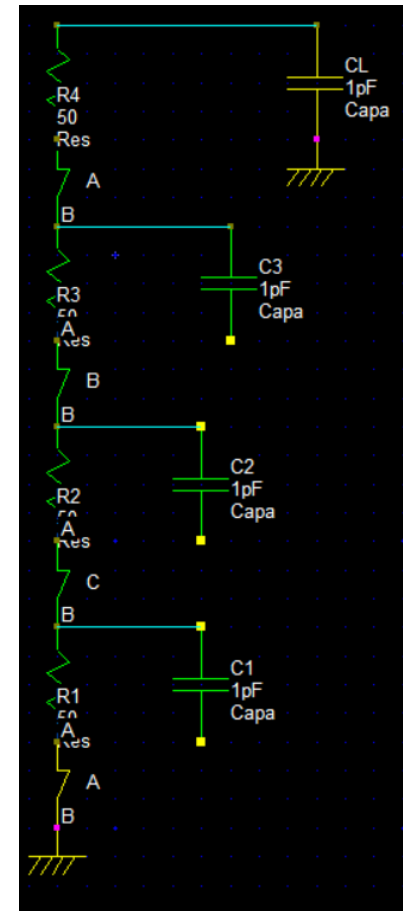


NAND cu 4 intrări

$$\begin{aligned} t_{p_{HL}} &= 0.69[R_1 * C_1 + (R_1 + R_2) * C_2 \\ &+ (R_1 + R_2 + R_3) * C_3 \\ &+ (R_1 + R_2 + R_3 + R_4) * C_L] \end{aligned}$$

Dacă presupunem că toate rezistențele sunt egale atunci

$$\begin{aligned} t_{p_{HL}} &= 0.69 * R_N[C_1 + 2 * C_2 + 3 * C_3 + 4 * C_L] \end{aligned}$$



Probleme ale porților CMOS Complementare

- Numărul necesar de tranzistoare necesar pentru a implementa porți cu fan-in-ul N este $2N$
- Numărul mare de tranzistoare va crește capacitanța totală a porții
- Întârzierea va deteriora porțile care depind de fan-in
- Conexiunea serie a tranzistoarelor în rețeaua PUN sau PDN introduc o întârziere suplimentară
- Întârzierea devine o funcție quadratică de fan-in

Tehnici de proiectare a porților cu fan-in mare

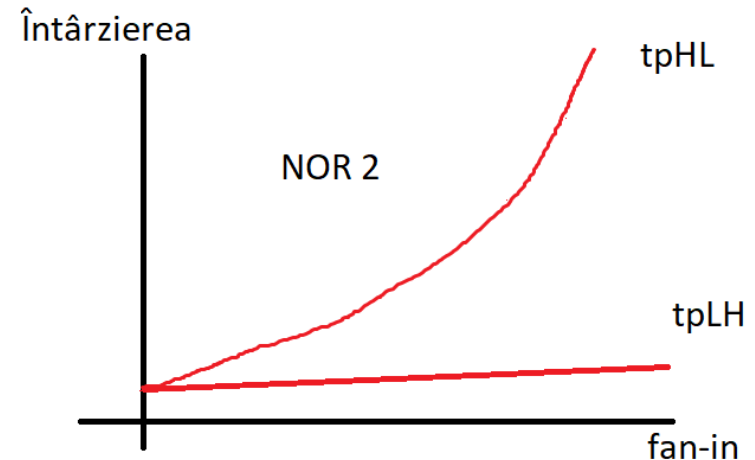
- Pentru a reduce întârzierea și rezistența dispozitivului trebuie să mărim dimensiunea sa
- Creșterea în mărime conduce la creșterea capacităților parazite care adaugă efecte în porțile precedente
- Dimensionarea este aplicabilă cu succes când încărcarea este dominantă de fan-out (creșterea fan-out-ului conduce la creșterea capacității)
- Creșterea lui W va conduce la creșterea capacității din fața lui (efectul de autoîncărcare)
- Dimensionarea tranzistorului progresiv – nu foarte simplu într-un layout (vezi discuția de la NAND cu 4 intrări partea de PDN)

Tehnici de proiectare a porților cu fan-in mare

- Reordonarea intrărilor
- Toate semnalele într-un bloc care are o logică complexă pot să nu apară la același moment de timp datorită întârzierilor sau precedenței porților logice
- Semnalul – ultimul dintre toate semnalele de intrare – care are o valoare stabilă se numește **semnal critic**.
- Calea cea mai rapidă care poate fi calculată a unui circuit este numită **cale critică**.
- Punerea tranzistorului de pe calea critică cât mai aproape de ieșire oferă o viteză mărită de operare.

Tehnici de proiectare a porților cu fan-in mare

- Reordonarea intrărilor
- Creșterea fan-in-ului conduce la creșterea lui CL dar odată se micșorează R.
- Se poate considera cumva că ele se compensează
- Deci t_{pHL} de care este răspunzător PUN rămâne relativ constant
- În cazul lui t_{pHL} toți tranzistorii PDN trebuie să fie ON =» încărcarea lui CL crește, rezistența căii crește =» t_{pHL} crește



Tehnici de proiectare a porților cu fan-in mare

- Restructurare logică
- Manipularea ecuației logice pentru a reduce fan-in-ul \Rightarrow reducerea întârzierii porții

