

CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Modulul 4

Proiectarea circuitelor combinaționale

Scurtă recapitulare CC I

- Orice bloc logic combinațional poate fi construit utilizând blocuri complementare =»

=» PUN – formată uzual cu tranzistoare pMOS – asigură o comutare completă către V_{DD}

PDN – formată uzual cu tranzistoare nMOS – asigură o comutare completă către GND sau V_{SS}

=»

1. O comutare rail-to-rail (o proprietate foarte importantă pentru CMOS)
2. La orice moment de timp nodul de ieșire este întotdeauna conectat la V_{DD} sau GND

=»

noise margin relativ mare

Scurtă recapitulare CC I

- Au fost prezentate diverse tehnici pentru mărirea vitezei sau reducerea întârzierii
 1. reducerea fan-in-ului
 2. În cazul lui NAND2 creșterea fan-in conducea la o creștere exponențială (cuadratică) a lui tp_{HL} cât timp tp_{LH} rămânea relativ constant
- Făcând intrările cât mai simetrice posibil se va reduce numărul de glitch-uri \Rightarrow reducerea disipării puterii.
- Dacă dorim să facem mai rapid un circuit trebuie crescut raportul $\frac{W}{L}$ al tranzistorului celui mai depărtat de ieșire. Creșterea acestui raport conduce la o creștere mare a lui tp_{HL} \Rightarrow menținerea semnalului critic cât mai aproape de ieșire \Rightarrow obținerea celei mai mici întârzieri posibile

Cuprins

- Puterea consumată în porțile logice CMOS
- Tranziții dinamice sau glitch-uri
- Tehnici de proiectare pentru reducerea activității de comutare
- Logica rațională
- Pseudo inversorul nMOS
- Cum putem construi o încărcare mai bună ?
- Considerații de proiectare

Puterea consumată în porțile CMOS logice

Disiparea puterii dinamice este $P = \alpha_{0 \rightarrow 1} C_L V_{DD}^2 f$ unde

$\alpha_{0 \rightarrow 1}$ este activitatea de comutare care are 2 componente

1. Componenta statică – funcție de topologia rețelei
2. Componenta dinamică – funcție de comportarea în timp a circuitului (glitches)

$$\alpha_{0 \rightarrow 1} = p_0 * p_1 = p_0(1 - p_0)$$

Dacă considerăm un circuit cu N intrări atunci

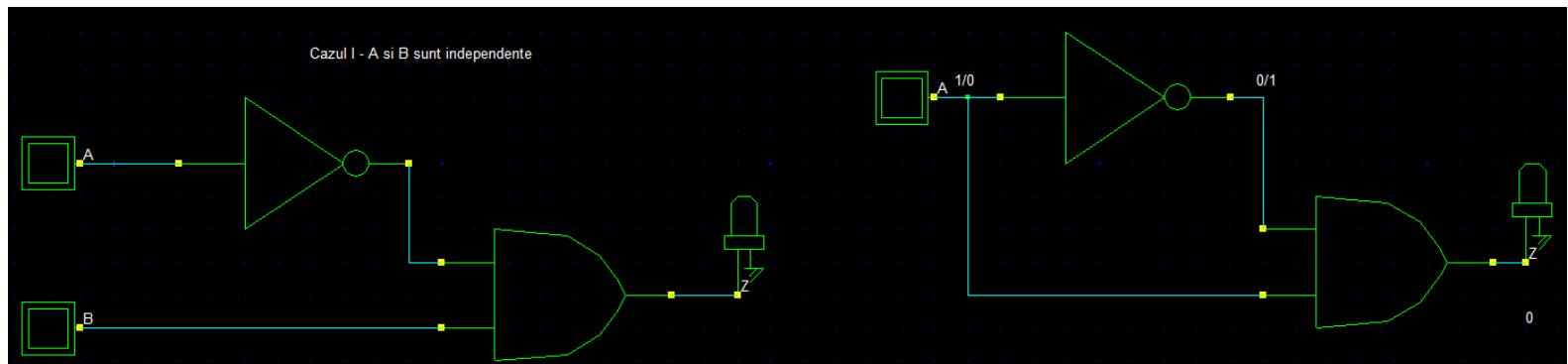
$$\alpha_{0 \rightarrow 1} = \frac{N_0}{2^N} * \frac{N_1}{2^N} = \frac{N_0(2^N - N_0)}{2^{2N}}$$

Probabilitatea condiționată

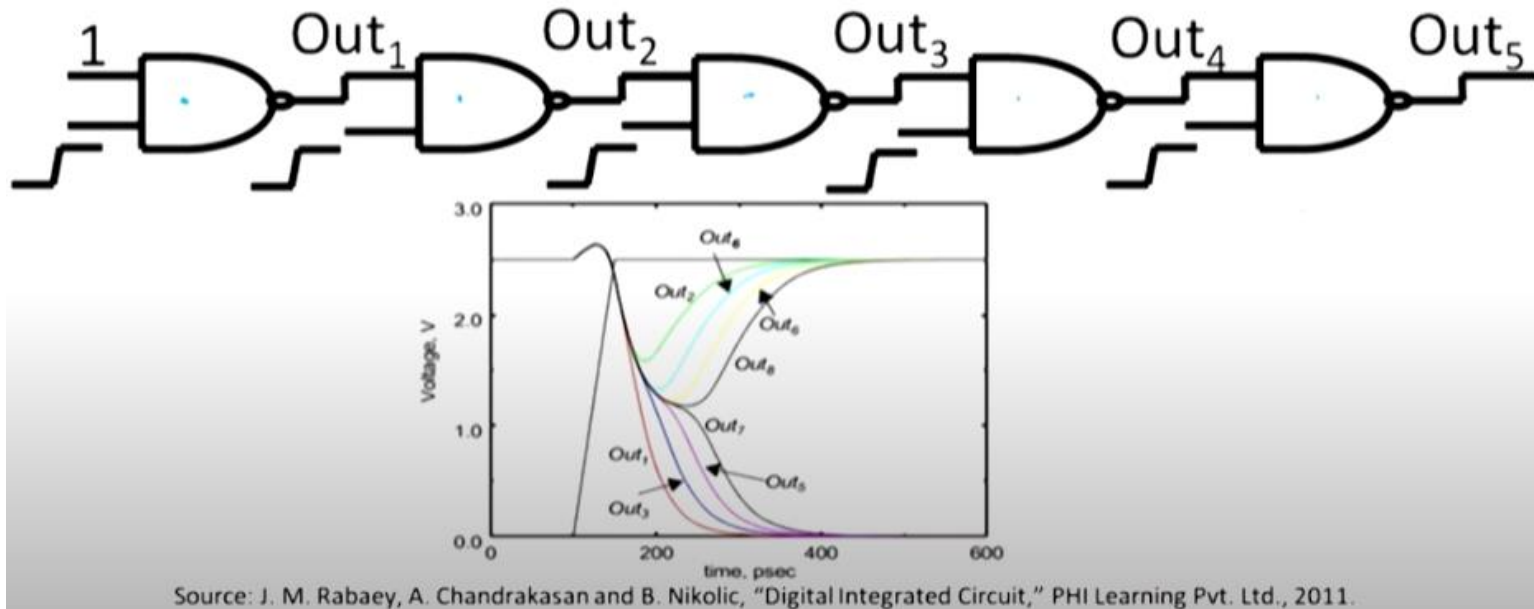
Cazul 1 – A și B sunt independente. $p_{0 \rightarrow 1} = \frac{3}{16}$

Cazul 2 – A și B nu sunt independente \Rightarrow probabilitate condițională

$$p_z = p(C = 1 | B = 1) * p(B = 1)$$



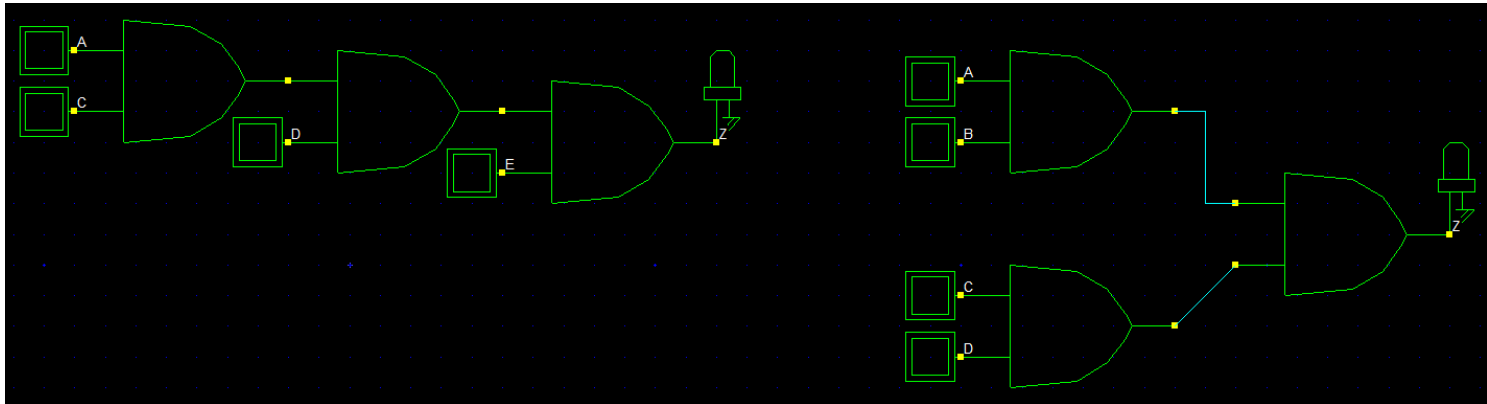
Glitch-uri sau tranziții dinamice



Toate **ieșirile pare** întâi vor avea o cădere către minim ca apoi să aibă o creștere către 1. Toate **ieșirile impare** vor merge către 0.

Tehnici de proiectare pentru reducerea lui α

1. Restructurarea logicii

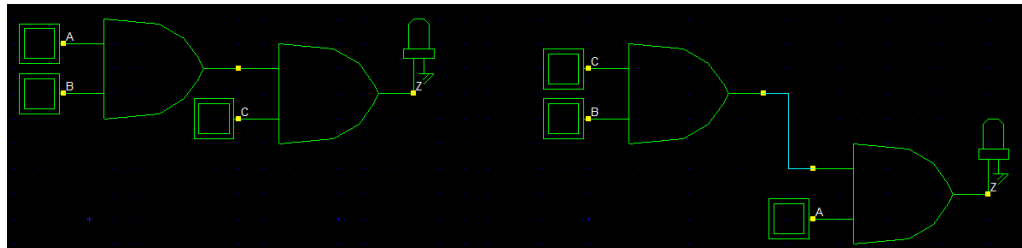


2. Reordonarea intrărilor – A are o probabilitate de 0.5 de a fi 1, B are o probabilitate 0.2 iar C are o probabilitate de 0.1

$$\alpha_{0 \rightarrow 1} = 0.09$$

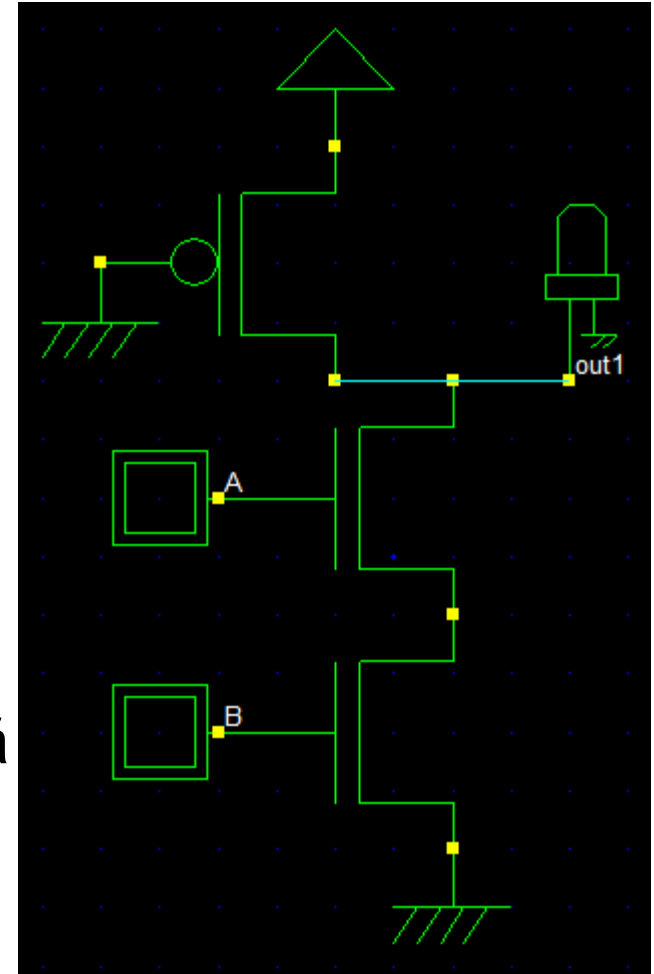
$$\alpha_{0 \rightarrow 1} = 0.0196$$

Circuite combinaționale II



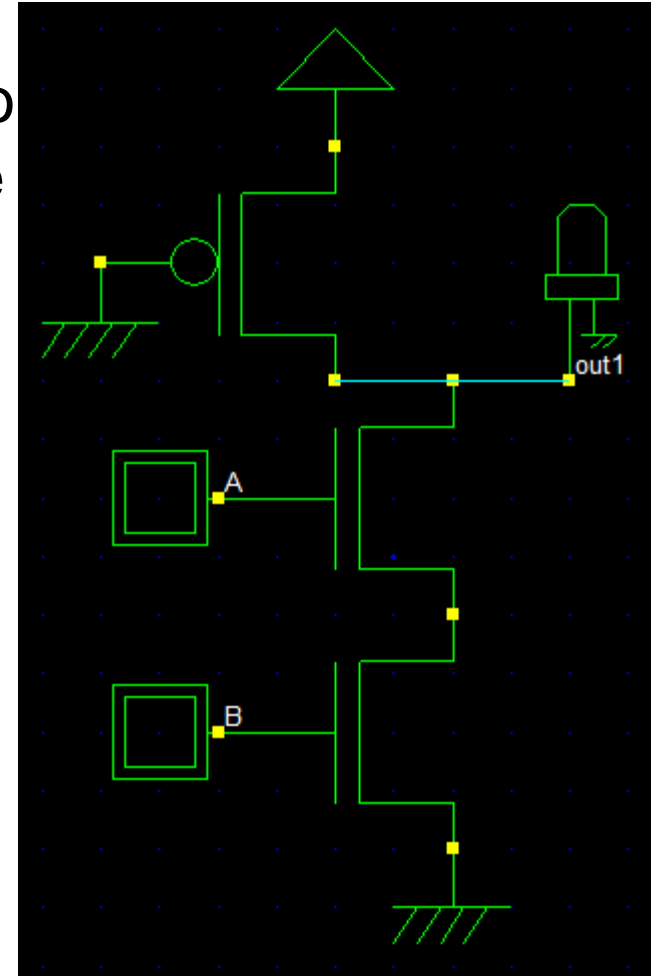
Raportul logic

- Se cunoște de până acum că raportul $\frac{W}{L}$ este responsabil de timpii tp_{LH} și tp_{HL}
- Am discutat deja că dacă avem $2W$ pentru nMOS față de pMOS atunci $tp_{LH} = tp_{HL}$
- Raportul logic presupune ca $\frac{W}{L}$ să nu influențeze funcționalitatea circuitului

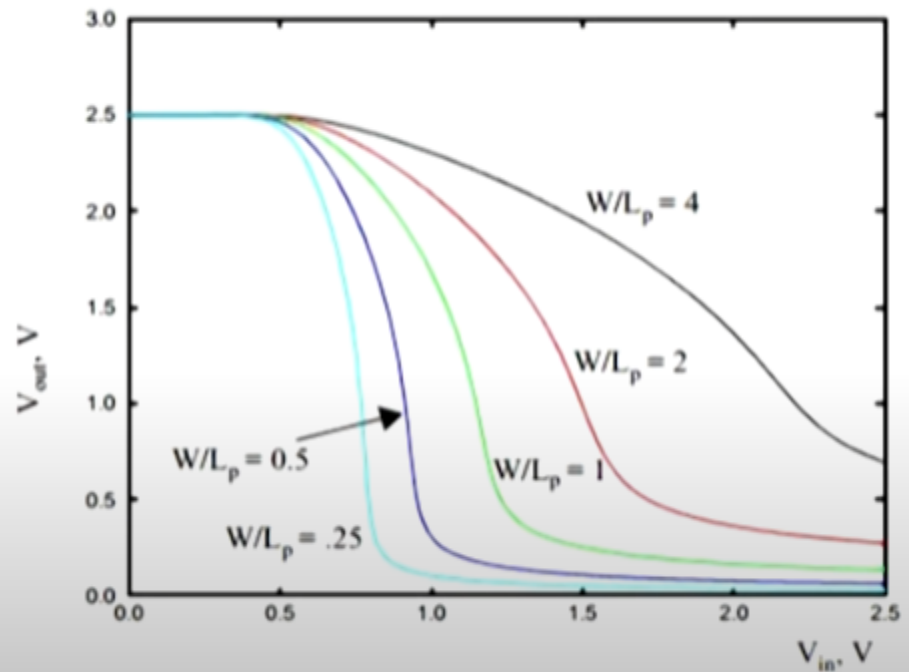
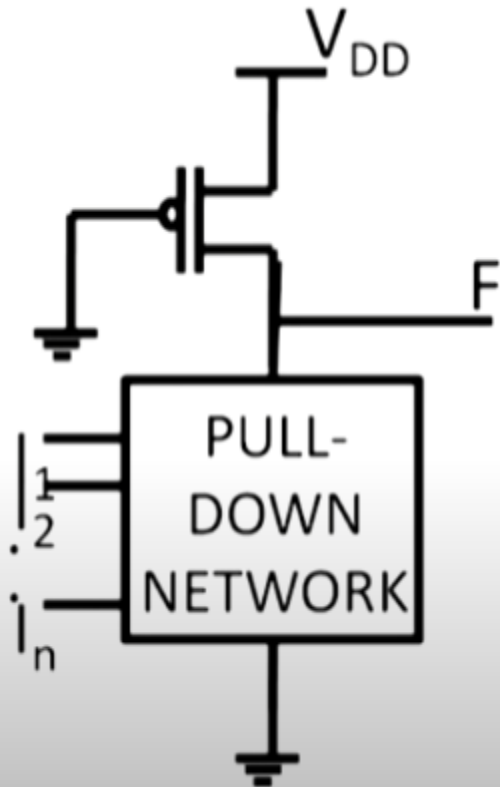


Raportul logic

- V_{OH} este V_{DD} dar V_{OL} nu este zero deci vom avea disipare de putere statică
- Se reduce noise-margin
- Tensiunea de ieșire depinde de dimensiunile tranzistoarelor.



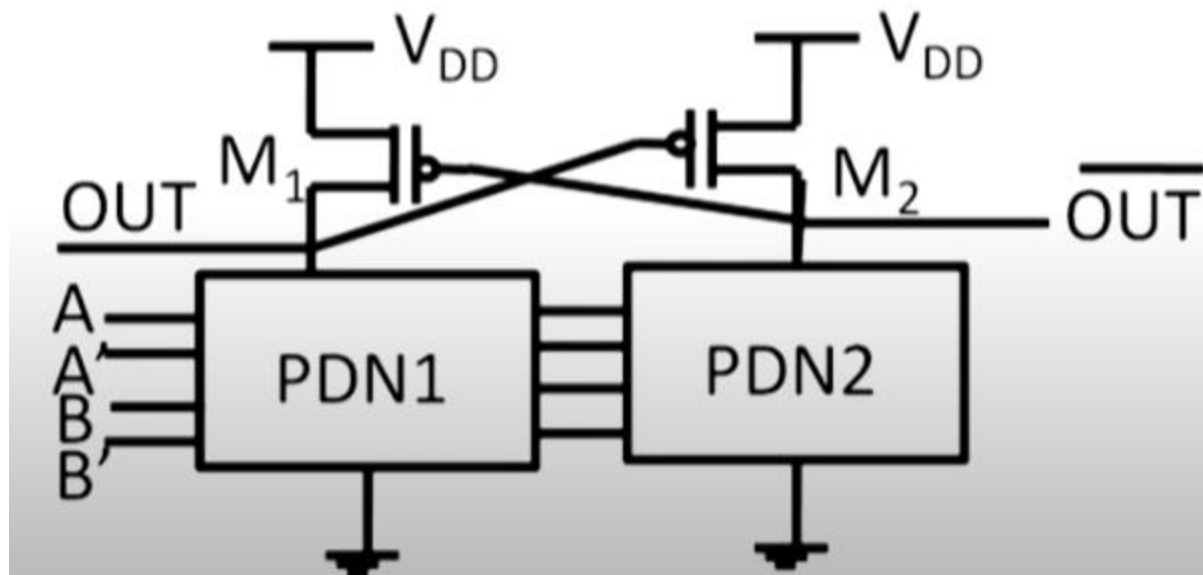
Pseudo inverter CMOS



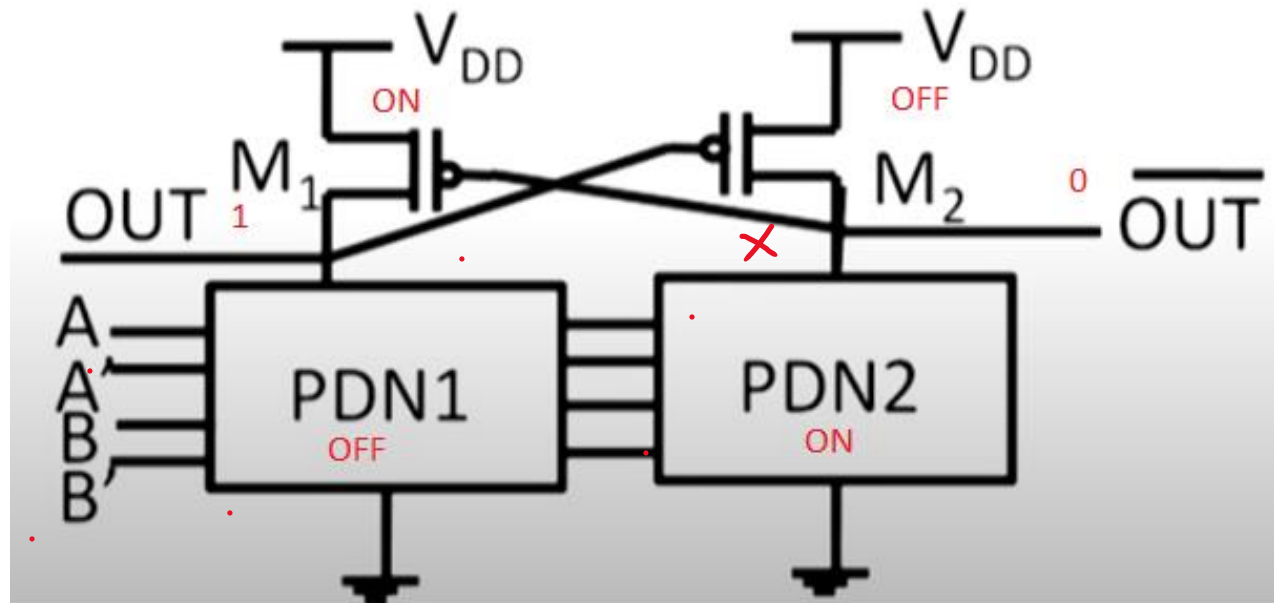
Source: J. M. Rabaey, A. Chandrakasan and B. Nikolic, "Digital Integrated Circuit," PHI Learning Pvt. Ltd., 2011.

Un load mai bun

- Necesar pentru a elimina complet disiparea puterii statice – comutare rail-to-rail
- DCVSL (Differential Cascode Voltage Switch Logic)



Un load mai bun



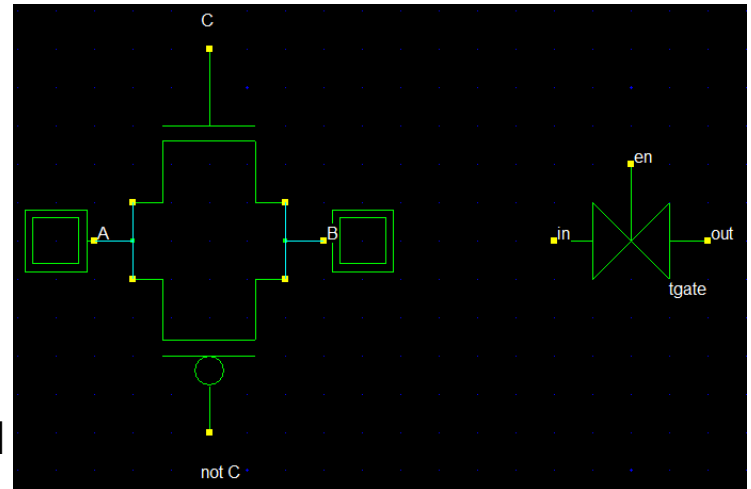
Avem ieșirea și ieșirea negată, deci nu mai este necesar să mai adăugăm un extra inversor

tp_{LH} depinde de $\frac{W}{L}$ ale lui M_1 și M_2

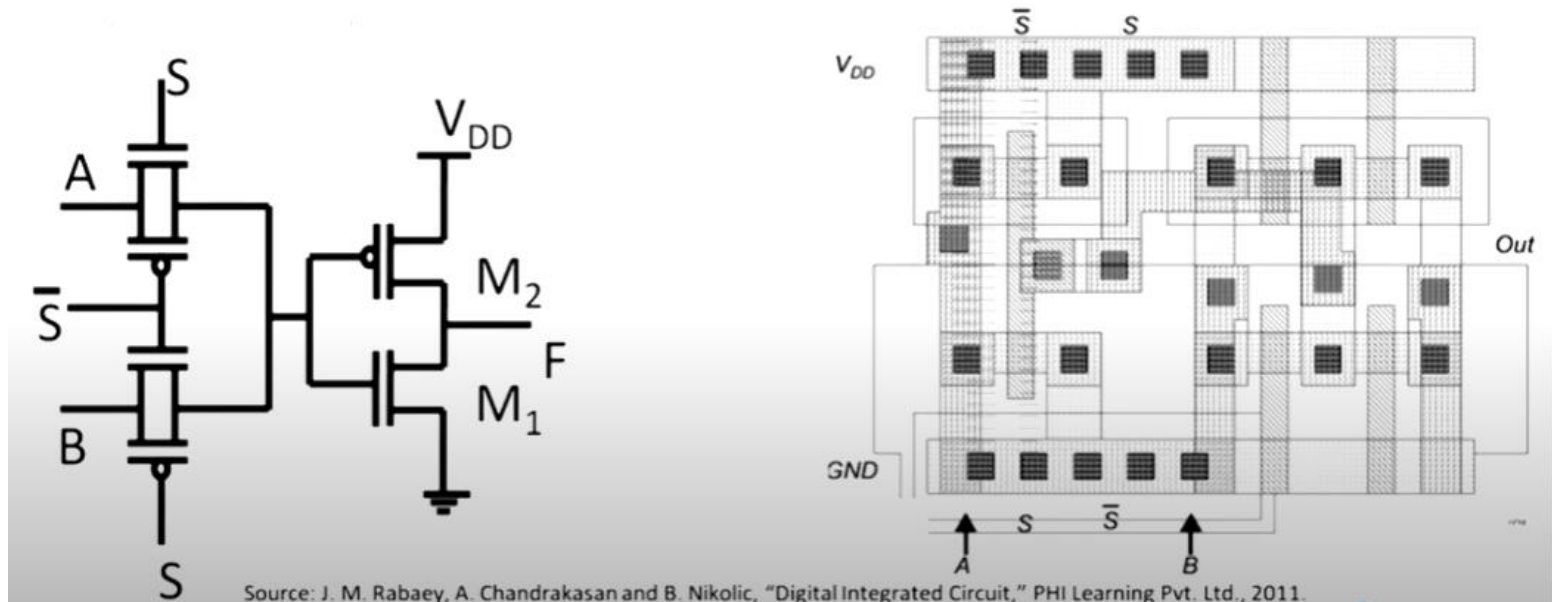
tp_{HL} depinde de $\frac{W}{L}$ pentru tranzistoarele nMOS

TGL

- TGL – Transmission Gate Logic
- Conduce bine atât pe 0 cât și pe 1
- nMOS și pMOS sunt conectate în paralel
- Presupunem $A = 1$ iar $C = 1$. $\bar{C} = 0 \Rightarrow B = 1$
- TGL ne ajută să transmitem un semnal fără a avea o degradare a semnalului.
- Este folosită în implementarea eficientă a porților complexe
- Este foarte important ca C și \bar{C} să apară exact la același moment de timp. Ele sunt semnale complementare nu avem voie să avem suprapunere



Multiplexor utilizând TGL



Numărul minim de tranzistori pentru un MUX 2:1 este 6

TGL nu este un comutator ideal – există o serie de rezistențe asociate cu el