

CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Modulul 7

Strategii legate de ceas

Toate pozele au ca și sursă: J.M. Rabaey, A. Chandrakasan and B. Nikolic “Digital Integrated Circuit”
PHI Learning Pvt. Ltd., 2011

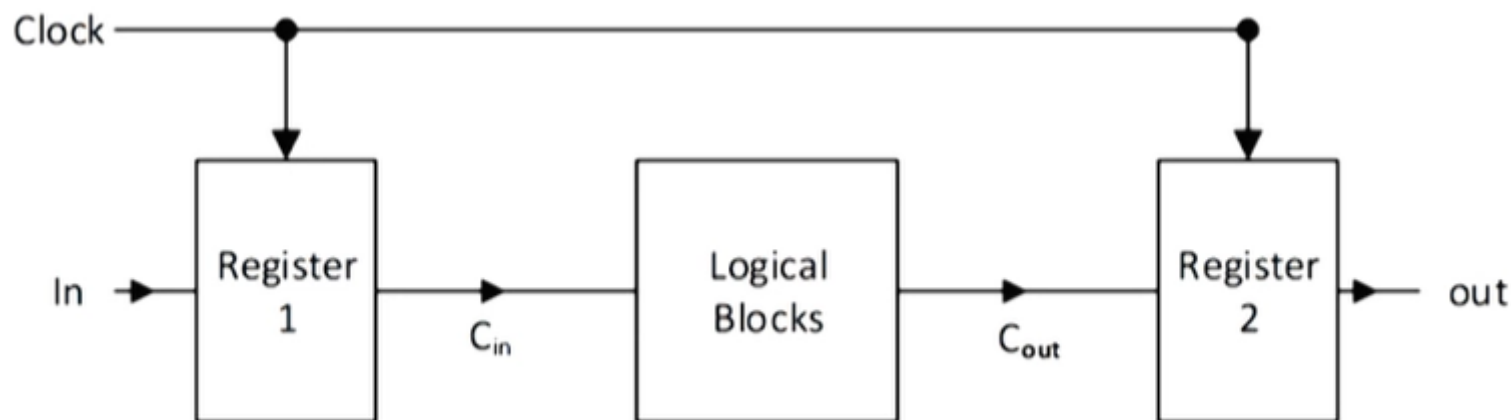
Cuprins

- Introducere
- Tehnici de proiectare a circuitelor sincrone
- Clock skew
- Clock jitter
- Impactul generat de clock skew și clock jitter
- Tehnici de proiectare pentru reducerea lui clock skew și clock jitter
- Distribuția ceasului
- Avantajele proiectării sincrone

Introducere

- Pe fiecare front pozitiv de ceas realizăm un sample pentru date
=> datele trebuie să fie disponibile înainte de apariția ceasului
(timpul de set-up dar și timpul de hold).
- Comutarea sistematică asigură funcționarea corectă a circuitului
- **Abordarea sincronă** – toate elementele circuitului sunt simultan update-tate pe baza unui ceas global
- **Abordarea asincronă** – Folosim protocoale care măresc complexitatea. Nu este necesar un ceas global distribuit.

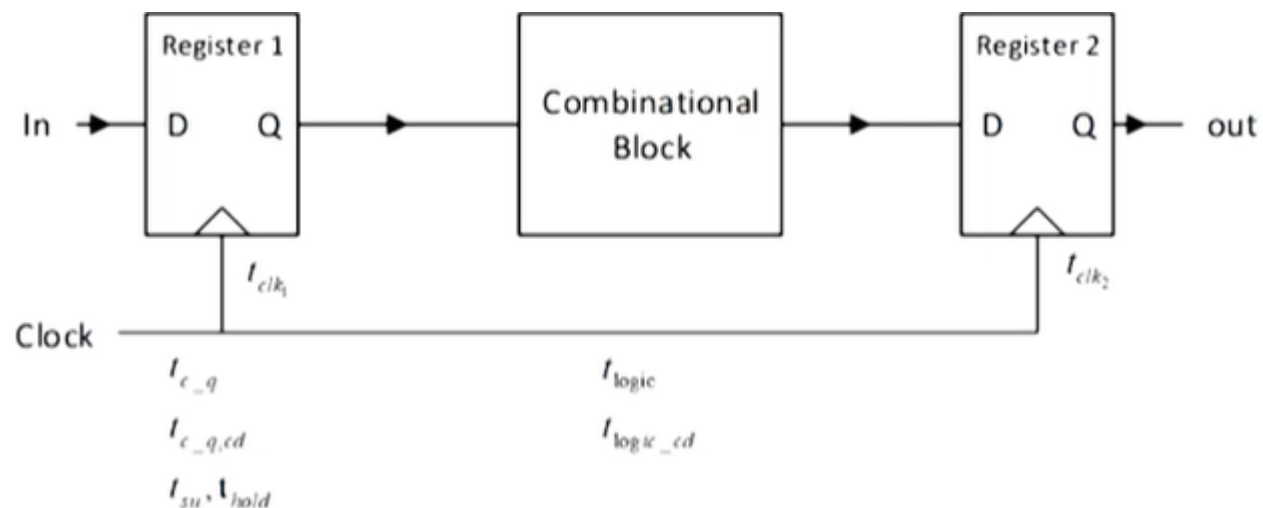
Tehnica de proiectare sincronă



- Un semnal sincron este un semnal care are exact aceeași frecvență ca și ceasul local și menține un offset de fază fix.
- Datele sunt sincronizate pe ceas !!!!
- Pe ceas putem face sample de date direct fără nici o incertitudine
- Cel mai utilizat mod de interconectare - BA

Timpii de sincronizare

- $t_{cq,cd}$ - timp de contaminare sau întârzierea minimă a registrului
- t_{cq} - întârzierea maximă a registrului
- t_{su} - setup time
- t_{hold} - hold time
- $t_{logic,cd}$ - întârzierea de contaminare a blocului combinațional
- t_{logic} - întârzierea maximă a blocului combinațional
- t_{clk1}, t_{clk2} - pozițiile fronturilor crescătoare ale ceasurilor CLK_1 și CLK_2 .



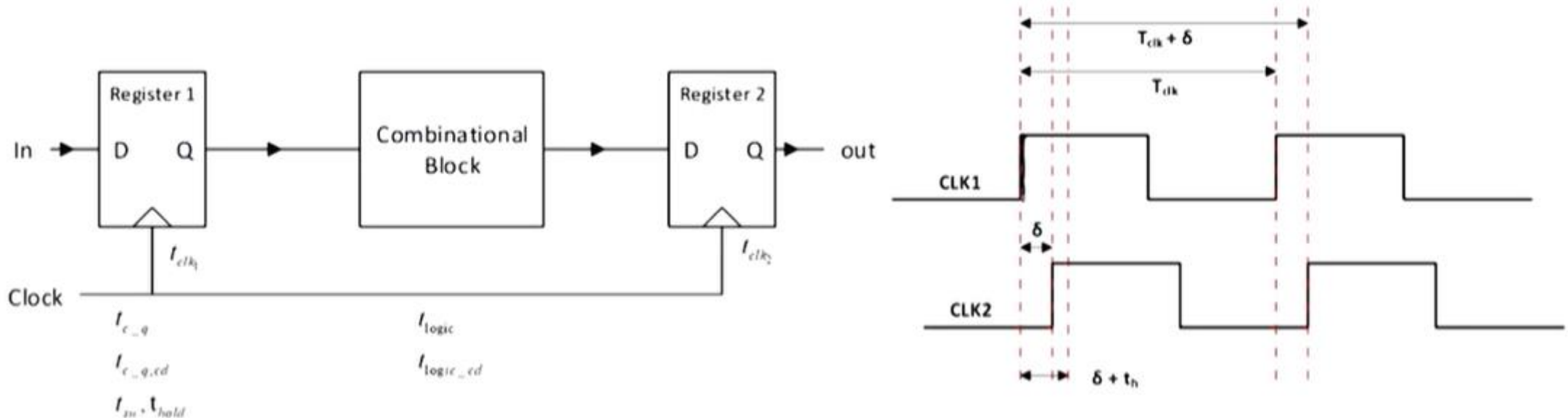
În cazul ideal $t_{CLK1} = t_{CLK2}$

$$T > t_{cq} + t_{logic} + t_{su}$$
$$t_{hold} < t_{cq,cd} + t_{logic,cd}$$

Circuit mesochronoms

- În cazul a două ceasuri CLK_1 și CLK_2 care au aceeași frecvență dar faze diferite va exista o pierdere de date și ca urmare în cazul mecanismului de interconectare mesochronoms datele transmise prin intermediul acestui mecanism vor avea o diferență constantă de fază
- Dacă nu se cunoaște faza ceasului CLK_B va fi foarte dificil să determinăm data blocului B.
- Prin intermediul unității de control vom adăuga sau scădea o întârziere în circuit
- Astfel putem sincroniza cele două ceasuri iar data de ieșire a blocului B va fi sincronizată cu ceasul CLK_B
- În acest caz nu vom avea o întârziere fixă.

Clock Skew



Frontul pozitiv de ceas este întârziat cu δ la cel de al doilea registru.

CLK1 apare înaintea lui CLK2 atunci avem pozitive clock skew, altfel avem negative clock skew

Clock skew este constant de la un ciclu la alt ciclu de ceas

$$T + \delta > t_{cq} + t_{logic} + t_{su}$$

$$t_{hold} + \delta < t_{cq,cd} + t_{logic,cd}$$

Clock jitter

- Clock jitter – se referă la o variație temporară a perioadei ceasului într-un punct dat
- Jitter ciclu-ciclu se referă la variația deviației ceasului a unei singure perioade de ceas
- Într-o locație i avem: $T_{jitter,i}(n) = T_{i,n+1} - T_{i,n} - T_{CLK}$

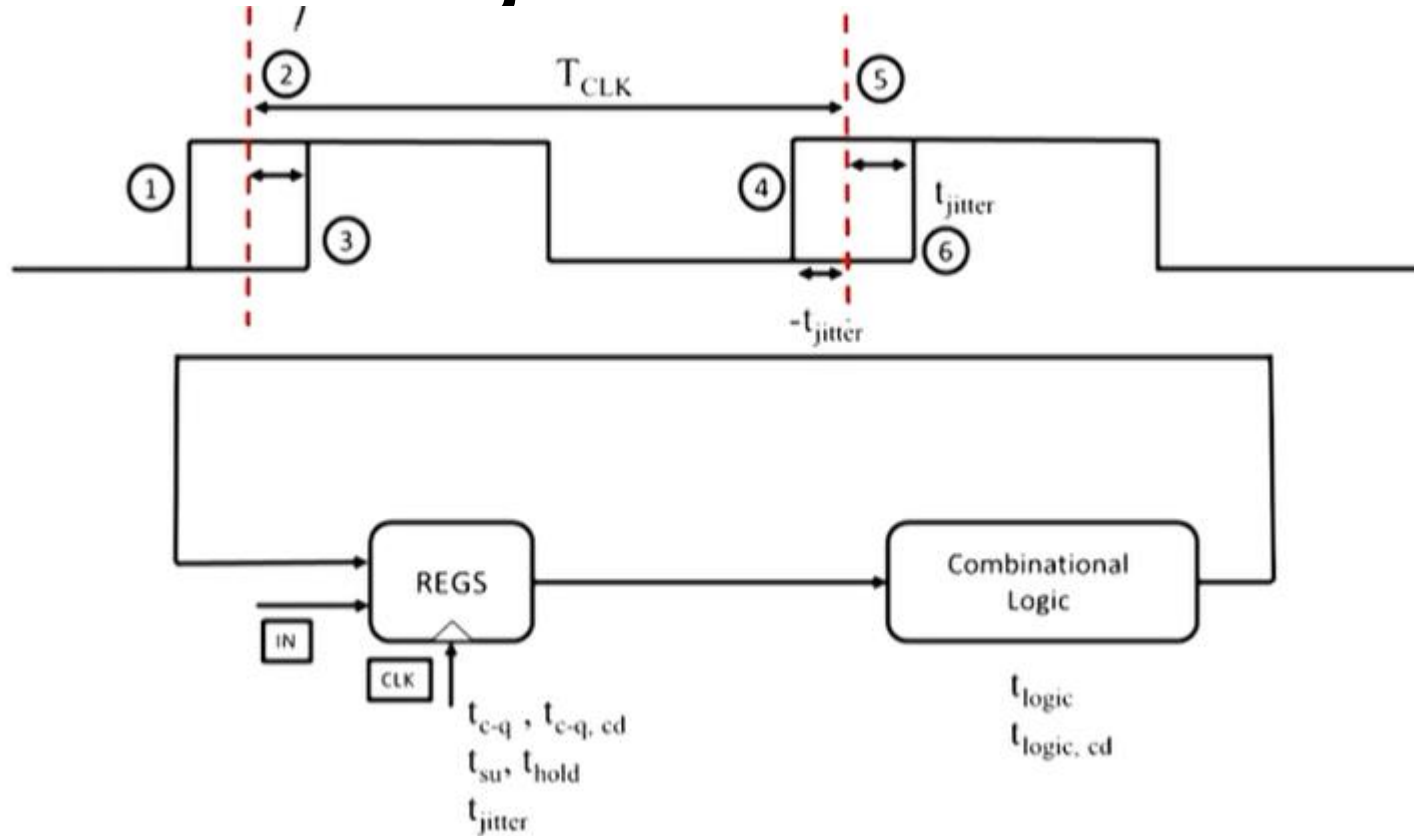
unde:

$T_{i,n}$ este perioada ceasului pentru perioada n

$T_{i,n+1}$ este perioada ceasului pentru perioada $n+1$

T_{CLK} este perioada nominală a ceasului

Clock jitter



- Jitter impactează în mod direct performanța sistemului secvențial

Timpul total disponibil pentru realizarea unei operații este redus de $2 * t_{jitter}$ în cel mai rău caz

$$T_{CLK} - 2t_{jitter} \geq t_{cq} + t_{logic} + t_{su}$$

Impactul lui clock skew and clock jitter

$$T_{CLK} + \delta - t_{jitter1} - t_{jitter2} \geq t_{cq} + t_{logic} + t_{su}$$

$$T \geq t_{cq} + t_{logic} + t_{su} - \delta + t_{jitter1} + t_{jitter2}$$

