

CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Abrevieri folosite

- CMOS = Complementary Metal Oxide Semiconductor
- MOSFET = Metal Oxides Semiconductor Field Effect Tranzistor
- MOSFET = blocul de bază folosit în construcția dispozitivelor CMOS
- Comportamentul dispozitivelor CMOS în construcția de ALU
 - Sumator folosind CMOS
 - Multiplexor folosind CMOS
 - Memorii, etc.

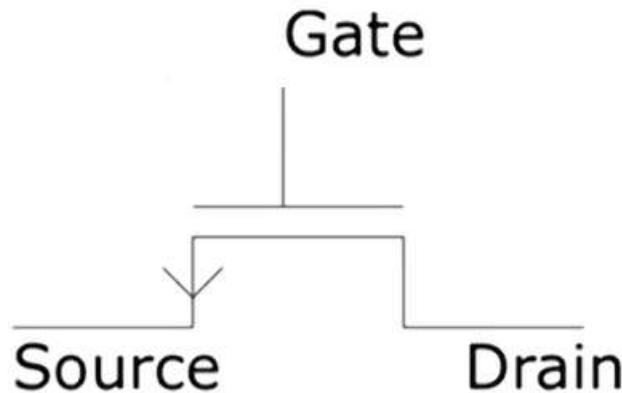
Modulul 1

Noțiuni de bază pentru tranzistorul MOS

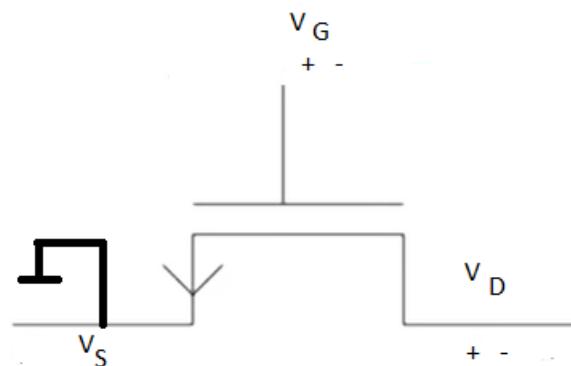
Ce vom studia în modulul 1 ?

- MOSFET ca și switch
- Structura MOSFET-ului
- Tipuri de MOSFET
- Tensiunea de prag a unui MOSFET (threshold voltage)
- Caracteristicile curent – tensiune ($I - V$)
- Caracteristicile de transfer și panta sub-threshold
- Ecuațiile de bază

MOSFET ca și switch



- MOSFET-ul poate fi considerat ca un switch care operează cu un anumit **biasing**
- Aplicând o anumită tensiune pe **Gate** pot manipula fluxul de curent de la S la D
- Fluxul de electroni este dirijat de intensitatea câmpului electric prezent în dispozitiv
- Biasing = câte tensiune se aplică pe G, S și D.
Aplicarea tensiunilor dorite pe cele 3 terminale ale MOSFET-ului astfel încât Dispozitivul comută din starea ON în OFF și viceversa



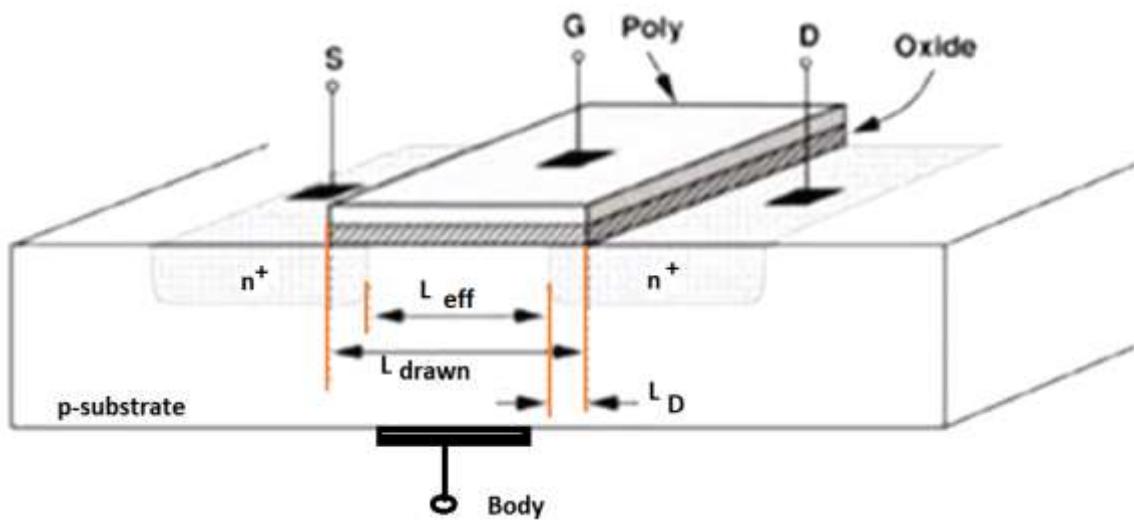
$$V_{DS} = V_D - V_S$$

$$V_{GS} = V_G - V_S = V_G - 0 = V_G$$

MOSFET ca și switch

- Pentru ce valoare a tensiunii **Gate**, dispozitivul va comuta în starea ON (threshold voltage) ?
- Odată ce dispozitivul comută în starea ON => vom avea flux de curent de la S la D.
- Conform legii lui Ohm apare o rezistență (R_{ON}) ce poate fi determinată și ea poate varia.
- Deci, pot aplica un anumit bias pentru modificarea lui R_{ON} => **pot modifica fluxul de curent din dispozitiv.**
- Întârzierea $\tau = RC$. Dacă rezistența și capacitanța dispozitivului sunt mari => întârzierea este și ea mare

Structura MOSFET-ului



Stratul Poly = poly siliciu sau metal. Metal deoarece acest material are o capacitate bună de a transporta curent – Rezistivitate foarte mică și conductivitate mare => disipare mică de putere

n^+ = o regiune mare de electroni dopați n^+

Stratul Oxide = t_{ox} – » S_iO_2 = dioxid de siliciu

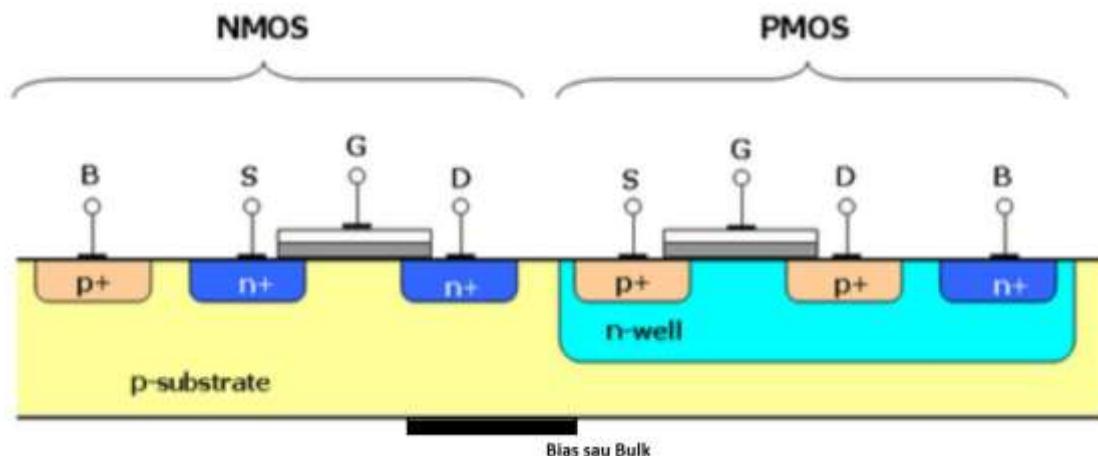
L_{drawn} = lungimea portii

Pătratele negre sunt contacte (din metal). Stratul de top întotdeauna din metal.

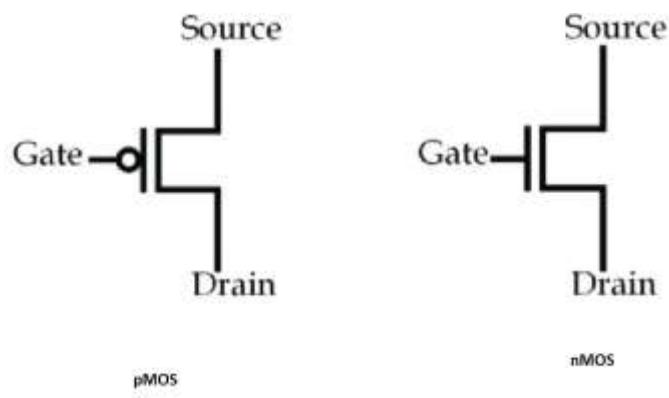
Side Diffusion Length = deplasarea în timp a regiunilor de tip n

$L_{eff} = L_{drawn} - 2L_D$ unde L_D este L_{DS} și L_{DD}

Procesul n well

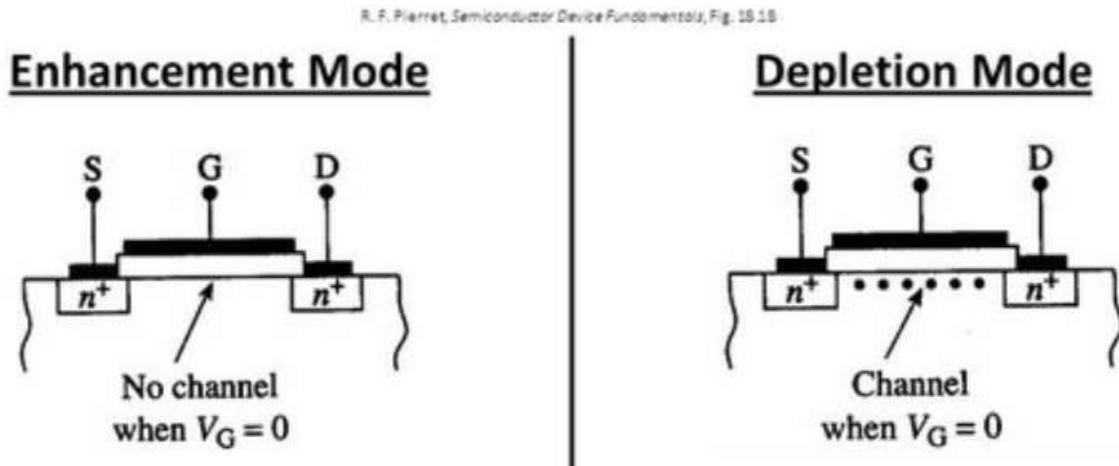


Sursa: Google Images



- Substratul **Bias** trebuie conectat cu partea cea mai negativă a sistemului (nMOS) și la cea mai pozitivă (pMOS)
- nMOS și pMOS sunt de regulă în același wafer în care un dispozitiv poate fi plasat în substratul local denumit well.
- $V_{SB} = V_S - V_B$

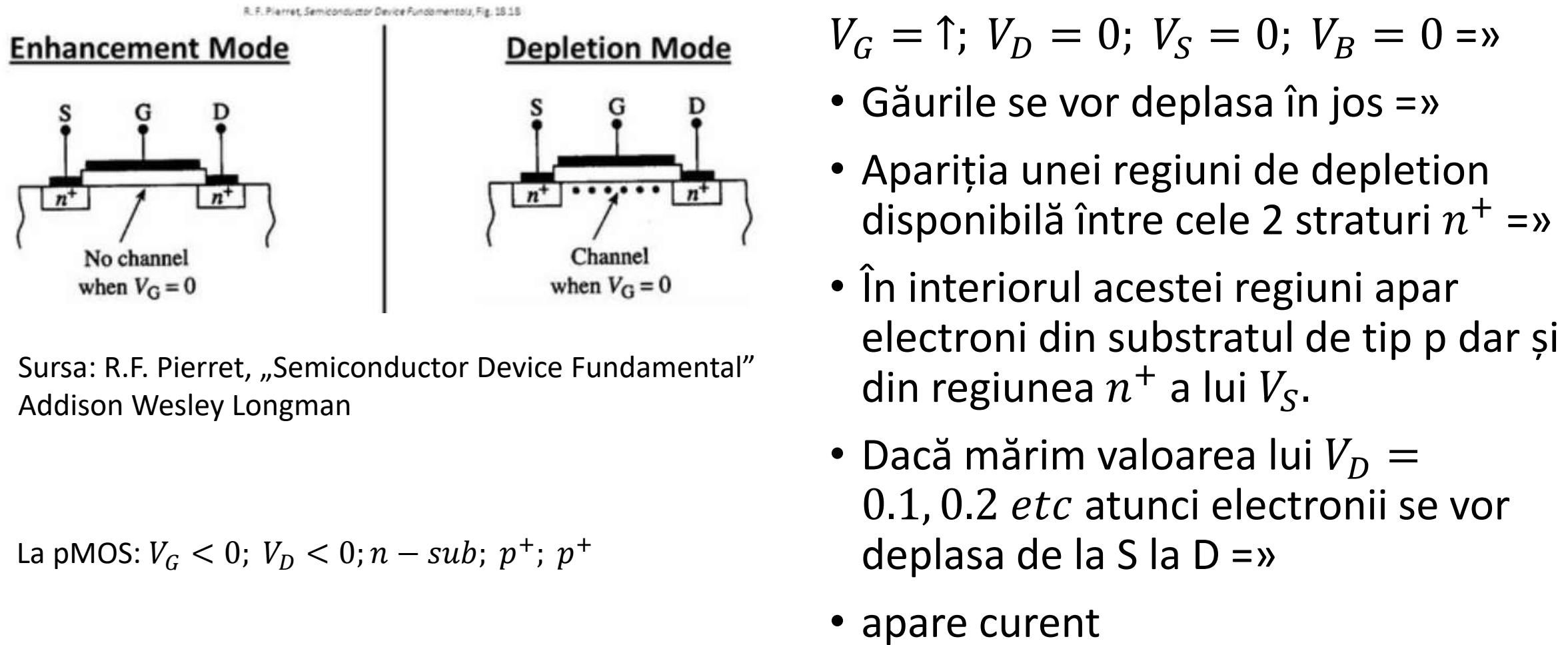
Cum funcționează un MOSFET ?



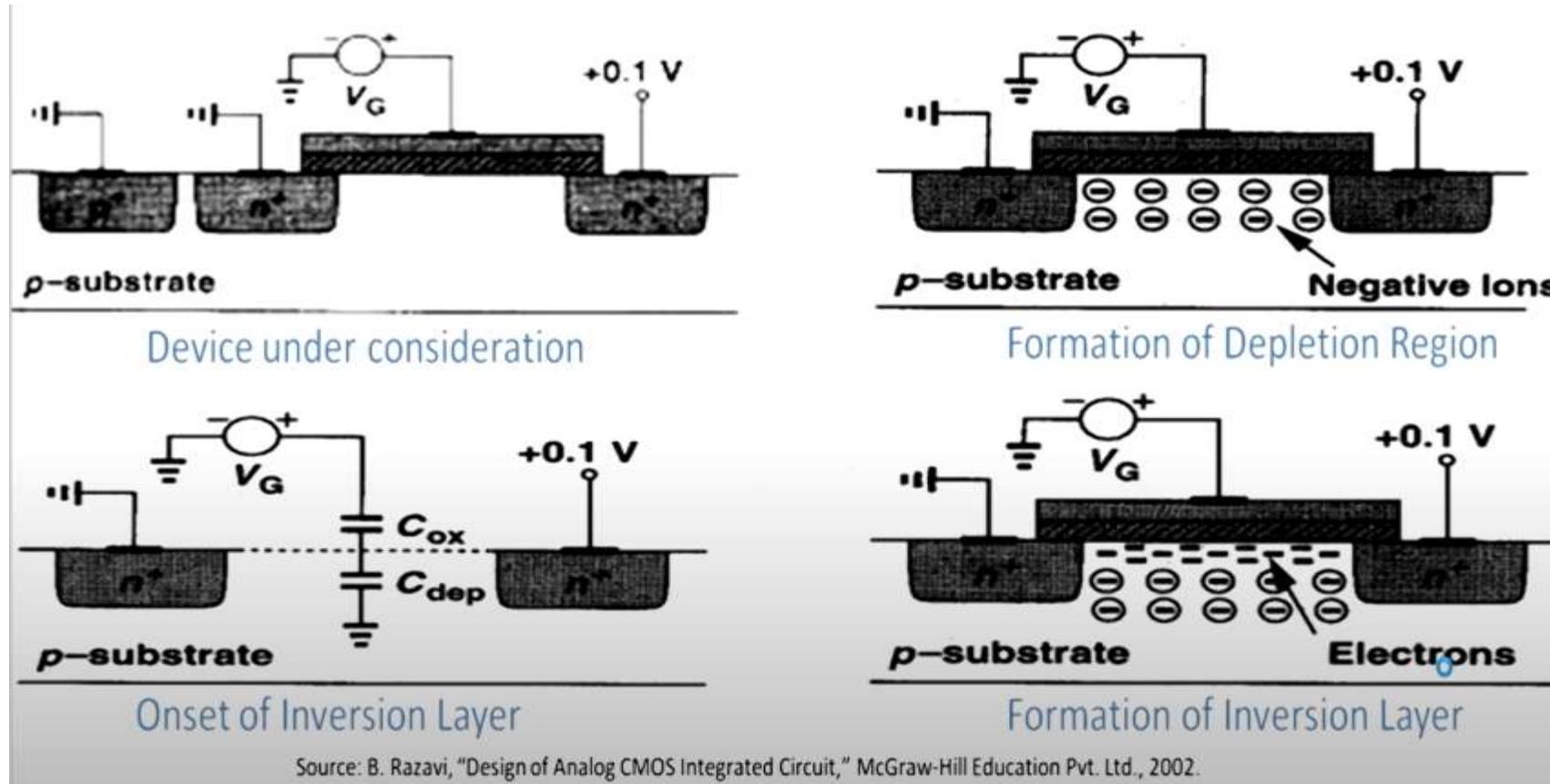
Sursa: Google Images

- Dacă nu aplicăm nici un bias vom avea o regiune de depletion egală și foarte subțire.
 - Dimensiunea regiunilor este aceeași iar concentrația dopajelor este fixă =>
 - o regiune mare pentru găuri este disponibilă =>
 - nu există electroni în această regiune =>
 - nu există o cale directă între S și D pentru a se muta electronii de la S la D =>
- $V_G = 0; V_D = 0; V_S = 0; V_B = 0 \Rightarrow$
- nu există deplasare de electroni =>
 - mod de operare **CUT OFF**

Cum funcționează un MOSFET ?



Moduri existente



Dacă se scade t_{ox} atunci G va veni foarte aproape de canal =>
crește câmpul electric =>
crește valoarea lui C_{ox} =>
număr mare de sarcini electrice
în canal

t_{ox} joacă un rol vital în determinarea punctului în care dispozitivul nostru va trece din starea ON în starea OFF (în comutarea dispozitivului)

$$V_{TH} = \Phi_{MS} + 2\Phi_F + \frac{Q_{dep}}{C_{ox}}$$

Threshold voltage = V_G la care canalul este format sau la care canalul este inversat

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}; \text{ unde } \epsilon_{ox} = 3.9 \epsilon_0 = 3.9 \times 8.854 \times 10^{-12} \text{ F/m}$$

CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Modulul 1 - continuare

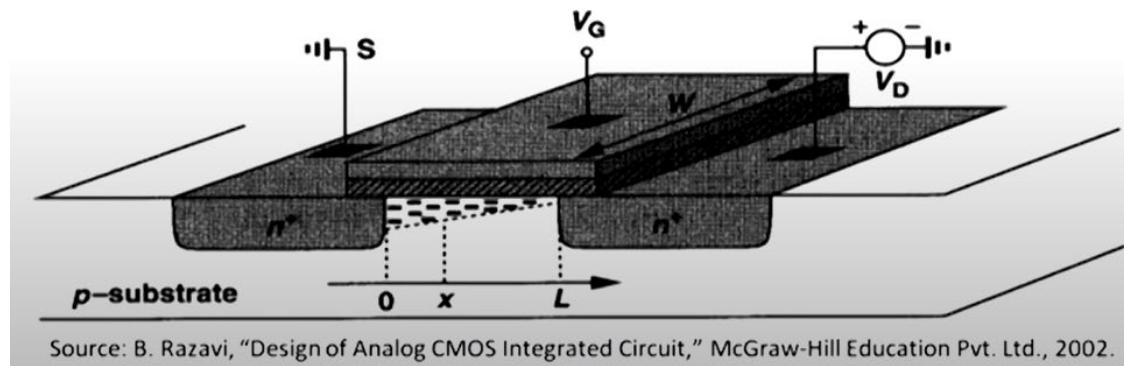
Noțiuni de bază pentru tranzistorul MOS

Cum determinăm caracteristica curent vs tensiune ($I - V$)

- În cazul în care aplicăm o tensiune pe G sau pe D cum putem prezice fluxul de curent prin dispozitiv ?
- $I = Q \times v$ unde
 - Q este densitatea sarcinii
 - v este viteza purtătorilor de sarcină
- Presupunem un nMOSFET la care S și D sunt legate la GND \Rightarrow nu cîmp electric de la S la D. Dar avem totuși o tensiune – VG \Rightarrow avem cîmp electric transversal.
- Presupunem existența canalului invers atunci când $V_{GS} = V_{TH}$ \Rightarrow densitatea sarcinii inverseate este $V_{GS} - V_{TH} = \Rightarrow Q = W \times C_{0x} \times (V_{GS} - V_{TH}) \Leftrightarrow Q = W \times \frac{\varepsilon_{ox}}{t_{ox}} \times (V_{GS} - V_{TH})$

Cum determinăm caracteristica curent vs tensiune ($I - V$)

- Considerăm acum că aplică o tensiune pe D, S este legat la GND iar $V_{GS} = V_{TH}$



În acest caz regiunea n^+ din dreapta va fi replatată de o diodă.

În acest caz se va forma o regiune mare de depletion în jurul D și din acest motiv regiunea de depletion este în canal.

Acest fenomen este cunoscut ca **pinch off**.

O diferență de tensiune apare în canal și atunci în oricare punct x avem $Q(x) = W \times C_{ox} (V_{GS} - V_{TH} - V(x))$ unde $V(x)$ este valoarea aproximativă a tensiunii într-un punct particular Y al canalului

$$I_D = -W \times C_{ox} \times (V_{GS} - V_{TH} - V(x)) \times v \text{ unde } v = \mu \times E = \mu \left(-\frac{dV(x)}{dx} \right) \text{ și } \mu \text{ este mobilitatea electronilor} \Rightarrow$$

Cum determinăm caracteristica curent vs tensiune (I – V)

- $I_D = W \times C_{ox} \times (V_{GS} - V_{TH} - V(x)) \times \mu_n \left(\frac{dV(x)}{dx} \right)$

dar

S este legată la GND = » $V(0) = 0$

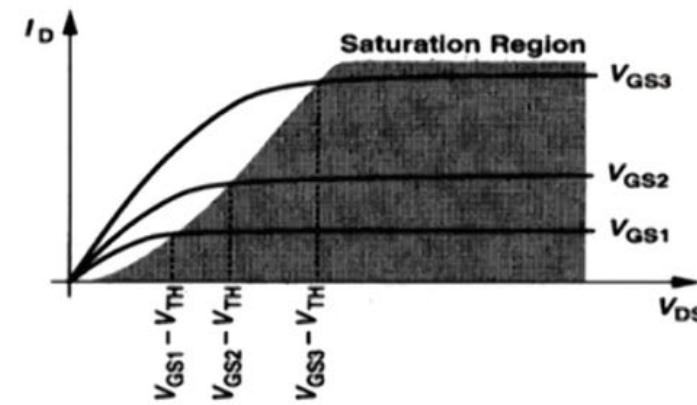
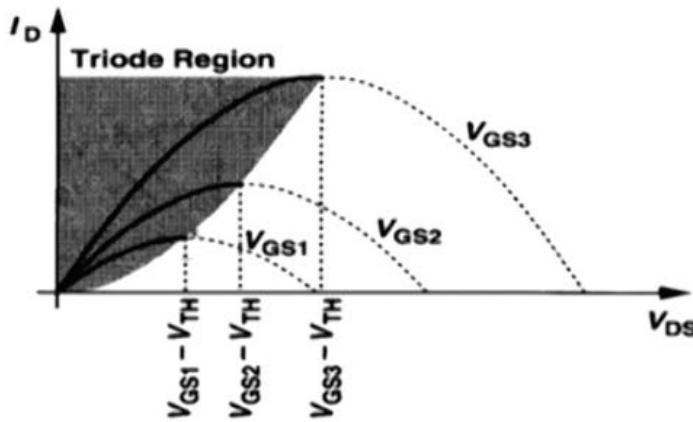
$V(L) = V_{DS}$ deoarece reprezintă cantitatea de tensiune prin drenă

$$\int_{x=0}^{L} I_D dx = \int_{V=0}^{V_{DS}} W \times C_{ox} \times (V_{GS} - V_{TH} - V(x)) \times \mu_n dV$$

și cum curentul este constant prin canal

$$I_D = \mu_n \times \frac{W}{L} \times C_{ox} \times \left[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2} \right]$$

Cum determinăm caracteristica curent vs tensiune ($I - V$)



Vom diferenția ultima ecuație obținută pentru a putea determina vârfurile - $\frac{\partial I_D}{\partial V_{DS}}$

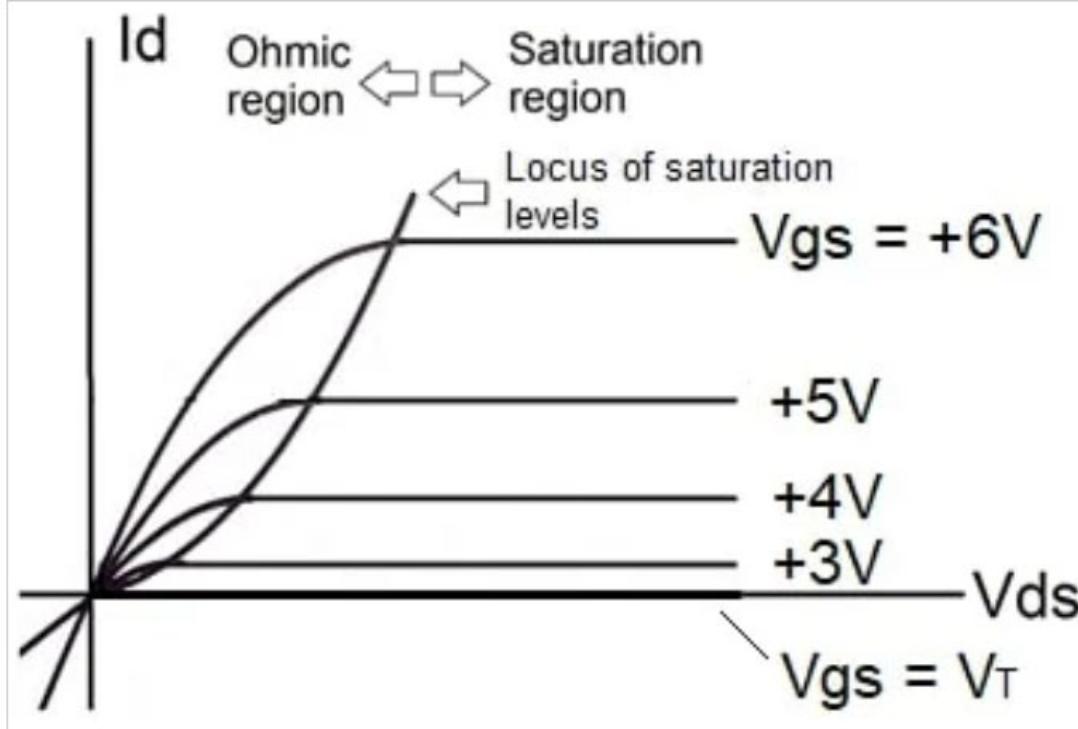
Vom determina apariția vârfului la $V_{DS} = V_{GS} - V_{TH}$

Vârful este punctul la care I_D sau V_{DS} pierde controlul asupra fluxului purtătorilor de sarcină

Tot în ultima ecuație vom înlocui V_{DS} cu $V_{GS} - V_{TH} \Rightarrow$

$$I_{Dmax} = \mu_n \times C_{ox} \times \frac{W}{2L} (V_{GS} - V_{TH})^2$$

Cum determinăm caracteristica curent vs tensiune ($I - V$)



Pe regiunea ohmică sau liniară, $V_{GS3} > V_{GS2} > V_{GS1}$

Avem pante abrupte => o schimbare mică în V_{DS} va conduce la o schimbare mică a lui I_D => $R_{ON3} < R_{ON2} \dots$
=> modificarea lui V_{GS} va conduce la modificarea lui R_{ON}

$$R_{ON} = \frac{1}{\mu_n \times C_{ox} \times \frac{W}{L} \times (V_{GS} - V_{TH})} \sim \frac{1}{(V_{GS} - V_{TH})}$$

Regiunea de operare **sub-threshold** – dispozitivul va funcționa chiar dacă $V_{GS} < V_{TH}$.

Dispozitivul va funcționa chiar dacă $V_{GS} = 0.49$ iar $V_{TH} = 0.5$

Sursa: <https://eepower.com/technical-articles/what-are-enhancement-mode-mosfets/#>

Funcționarea ca un switch presupune modificarea tensiunii deasupra sau sub V_{TH}

Cum determinăm caracteristica curent vs tensiune (I – V)

- În regiunea saturată – are loc când $V_{GS} - V_{TH} < V_{DS}$

$$I_{Dmax} = \mu_n \times C_{ox} \times \frac{W}{2L} (V_{GS} - V_{TH})^2$$

- În regiunea liniară

$$I_D = \mu_n \times \frac{W}{L} \times C_{ox} \times \left[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2} \right]$$

- Dacă $V_{DS} \ll 2 \times (V_{GS} - V_{TH})$ - regiunea deep triode

$$R_{ON} = \frac{1}{\mu_n \times C_{ox} \times \frac{W}{L} \times (V_{GS} - V_{TH})}$$

Cum determinăm caracteristica curent vs tensiune ($I - V$)

- Tranzistorul MOS poate fi utilizat ca un switch controlat de tensiune (**Voltage Controlled Switch**) dar și ca un rezistor variabil (**Voltage Variable Rezistor**)
- nMOS și pMOS pot fi fabricate pe același wafer și acestea sunt blocurile de bază pentru orice circuit digital sau analog
- Tranzistorul acționează ca un rezistor în regiunea liniară și ca o sursă de curent în regiunea saturată
- Înclinarea pantei sub-threshold decide viteza de tranziție între stările ON și OFF ale tranzistorului

CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Modulul 1 - continuare

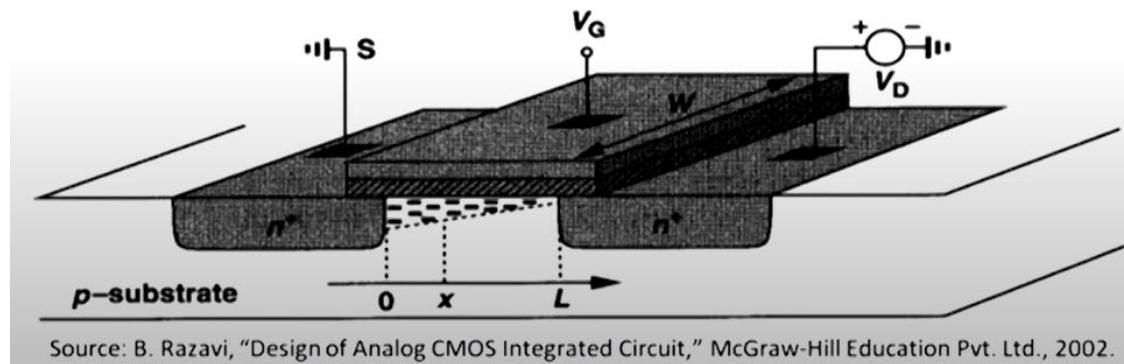
Noțiuni de bază pentru tranzistorul MOS

Cum determinăm caracteristica curent vs tensiune (I – V)

- În cazul în care aplicăm o tensiune pe G sau pe D cum putem prezice fluxul de curent prin dispozitiv ?
- $I = Q \times v$ unde
 - Q este densitatea sarcinii
 - v este viteza purtătorilor de sarcină
- Presupunem un nMOSFET la care S și D sunt legate la GND => nu cîmp electric de la S la D. Dar avem totuși o tensiune – VG => avem cîmp electric transversal.
- Presupunem existența canalului invers atunci când $V_{GS} = V_{TH}$ => densitatea sarcinii inversează este $V_{GS} - V_{TH}$ => $Q = W \times C_{0x} \times (V_{GS} - V_{TH})$ <=> $Q = W \times \frac{\varepsilon_{ox}}{t_{ox}} \times (V_{GS} - V_{TH})$

Cum determinăm caracteristica curent vs tensiune ($I - V$)

- Considerăm acum că aplică o tensiune pe D, S este legat la GND iar $V_{GS} = V_{TH}$



În acest caz regiunea n^+ din dreapta va fi replatată de o diodă.

În acest caz se va forma o regiune mare de depletion în jurul D și din acest motiv regiunea de depletion este în canal.

Acest fenomen este cunoscut ca **pinch off**.

O diferență de tensiune apare în canal și atunci în oricare punct x avem $Q(x) = W \times C_{ox} (V_{GS} - V_{TH} - V(x))$ unde $V(x)$ este valoarea aproximativă a tensiunii într-un punct particular Y al canalului

$$I_D = -W \times C_{ox} \times (V_{GS} - V_{TH} - V(x)) \times v \text{ unde } v = \mu \times E = \mu \left(-\frac{dV(x)}{dx} \right) \text{ și } \mu \text{ este mobilitatea electronilor} \Rightarrow$$

Cum determinăm caracteristica curent vs tensiune (I – V)

- $I_D = W \times C_{ox} \times (V_{GS} - V_{TH} - V(x)) \times \mu_n \left(\frac{dV(x)}{dx} \right)$

dar

S este legată la GND = » $V(0) = 0$

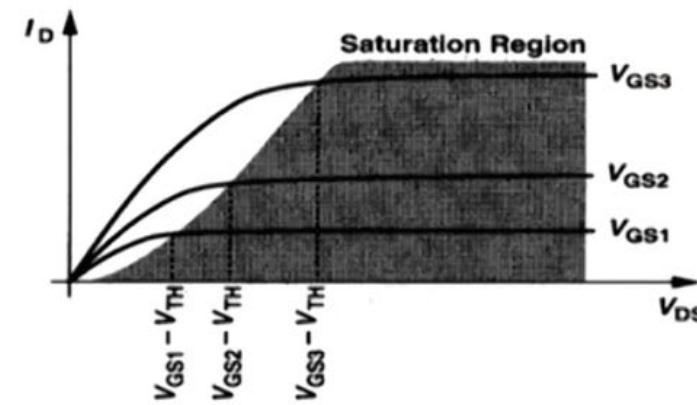
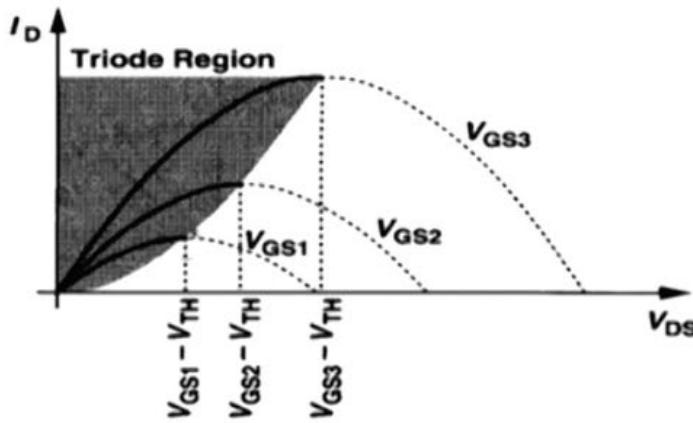
$V(L) = V_{DS}$ deoarece reprezintă cantitatea de tensiune prin drenă

$$\int_{x=0}^L I_D dx = \int_{V=0}^{V_{DS}} W \times C_{ox} \times (V_{GS} - V_{TH} - V(x)) \times \mu_n dV$$

și cum curentul este constant prin canal

$$I_D = \mu_n \times \frac{W}{L} \times C_{ox} \times \left[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2} \right]$$

Cum determinăm caracteristica curent vs tensiune ($I - V$)



Vom diferenția ultima ecuație obținută pentru a putea determina vârfurile - $\frac{\partial I_D}{\partial V_{DS}}$

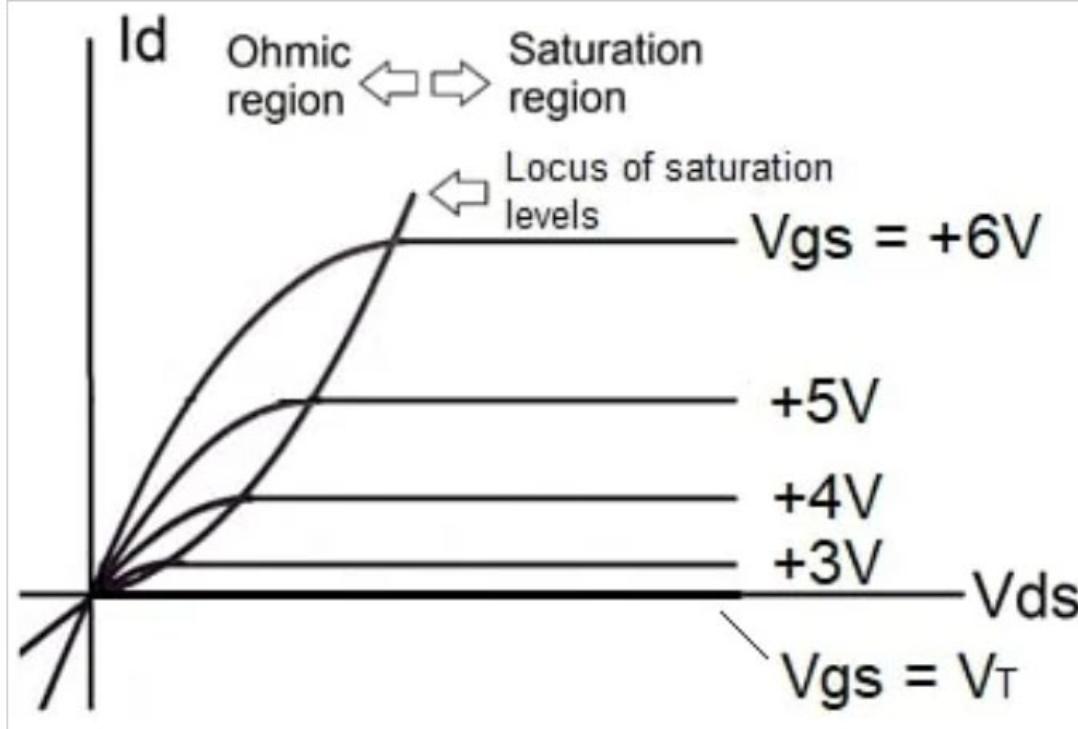
Vom determina apariția vârfului la $V_{DS} = V_{GS} - V_{TH}$

Vârful este punctul la care I_D sau V_{DS} pierde controlul asupra fluxului purtătorilor de sarcină

Tot în ultima ecuație vom înlocui V_{DS} cu $V_{GS} - V_{TH} \Rightarrow$

$$I_{Dmax} = \mu_n \times C_{ox} \times \frac{W}{2L} (V_{GS} - V_{TH})^2$$

Cum determinăm caracteristica curent vs tensiune ($I - V$)



Pe regiunea ohmică sau liniară, $V_{GS3} > V_{GS2} > V_{GS1}$

Avem pante abrupte => o schimbare mică în V_{DS} va conduce la o schimbare mică a lui I_D => $R_{ON3} < R_{ON2} \dots$
=> modificarea lui V_{GS} va conduce la modificarea lui R_{ON}

$$R_{ON} = \frac{1}{\mu_n \times C_{ox} \times \frac{W}{L} \times (V_{GS} - V_{TH})} \sim \frac{1}{(V_{GS} - V_{TH})}$$

Regiunea de operare **sub-threshold** – dispozitivul va funcționa chiar dacă $V_{GS} < V_{TH}$.

Dispozitivul va funcționa chiar dacă $V_{GS} = 0.49$ iar $V_{TH} = 0.5$

Sursa: <https://eepower.com/technical-articles/what-are-enhancement-mode-mosfets/#>

Funcționarea ca un switch presupune modificarea tensiunii deasupra sau sub V_{TH}

Cum determinăm caracteristica curent vs tensiune (I – V)

- În regiunea saturată – are loc când $V_{GS} - V_{TH} < V_{DS}$

$$I_{Dmax} = \mu_n \times C_{ox} \times \frac{W}{2L} (V_{GS} - V_{TH})^2$$

- În regiunea liniară

$$I_D = \mu_n \times \frac{W}{L} \times C_{ox} \times \left[(V_{GS} - V_{TH})V_{DS} - \frac{V_{DS}^2}{2} \right]$$

- Dacă $V_{DS} \ll 2 \times (V_{GS} - V_{TH})$ - regiunea deep triode

$$R_{ON} = \frac{1}{\mu_n \times C_{ox} \times \frac{W}{L} \times (V_{GS} - V_{TH})}$$

Cum determinăm caracteristica curent vs tensiune ($I - V$)

- Tranzistorul MOS poate fi utilizat ca un switch controlat de tensiune (**Voltage Controlled Switch**) dar și ca un rezistor variabil (**Voltage Variable Rezistor**)
- nMOS și pMOS pot fi fabricate pe același wafer și acestea sunt blocurile de bază pentru orice circuit digital sau analog
- Tranzistorul acționează ca un rezistor în regiunea liniară și ca o sursă de curent în regiunea saturată
- Înclinarea pantei sub-threshold decide viteza de tranziție între stările ON și OFF ale tranzistorului

CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Modulul 2

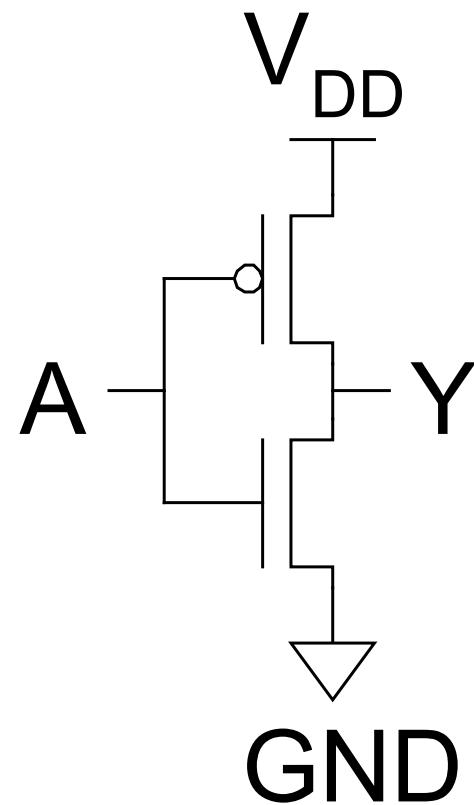
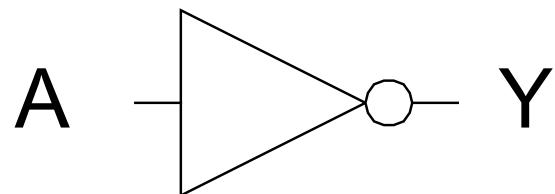
Inversorul CMOS

Inversorul CMOS

- Ideea de bază a unui inversor CMOS
- Modelul de tip switch al unui inversor
- Comportament static
- Caracteristicile de transfer ale tensiunii - V_{Tc} - în cazul în care variez tensiunea de intrare (V_{in}) de la 0V la 5V cum se va comporta tensiunea de ieșire (V_{out})
- Comutarea – switching threshold – acea tensiune la care tranziția din 0 în 1 sau din 1 în 0 are loc
- Zgomot – orice semnal introdus în pricet circuit are un zgomot, de aceea în prima fază dorim să rejectăm acest zgomot
- Calculul câștigului = $\frac{\partial V_{out}}{\partial V_{in}}$

Inversorul CMOS

A	Y
0	
1	

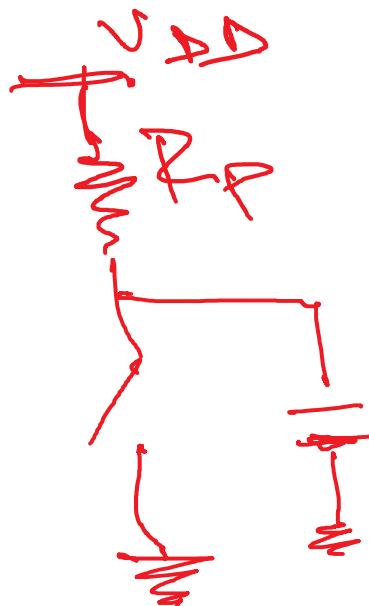
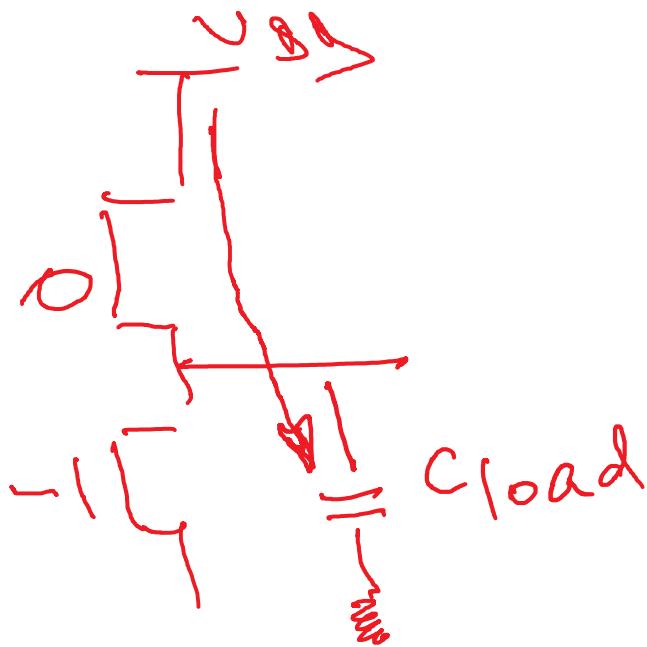


$V_G \approx V_{TH}$

$V_G > V_{TH}$

pMOS = ON
nMOS = OFF.

Passive load saturation.

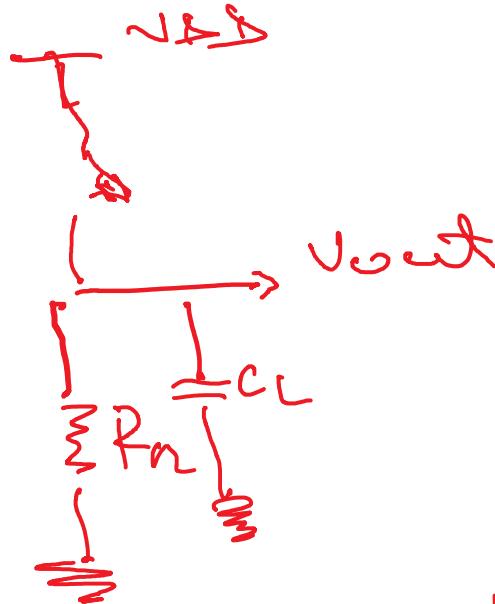


$V \rightarrow 0$ PMOS = OFF ($J_G = 1/T^2$)
NMOS = ON

NMOS functioning in
modul saturat

PMOS functioning in
cut off.

Inversorul ca un comutator – switch model

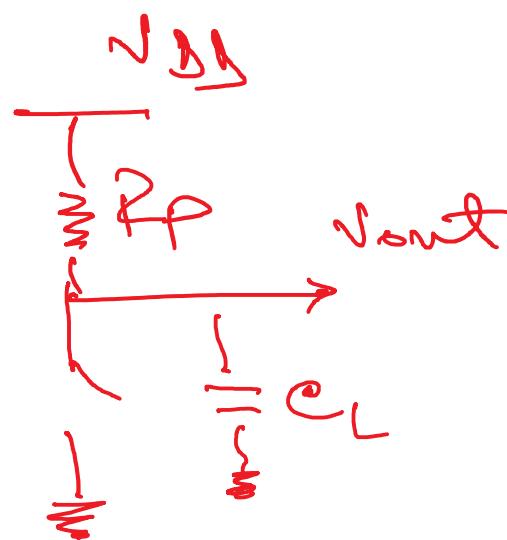


$$\text{I}_{in} = \text{V}_{DD}$$

$\text{nMOS} = \text{ON}$

$\text{pMOS} = \text{OFF}$

$$Z = R \cdot C$$



$$\text{I}_{in} = 0$$

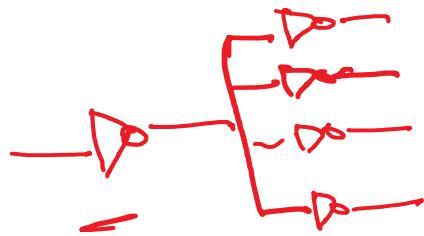
$\text{nMOS} = \text{OFF}$

$\text{pMOS} = \text{ON}$

Operarea în modul static

Mod static def. \exists switchuri din 0 sau din 1
 \exists m 0

- 1). Nu se consumă putere
 \exists căi directă între V_{DD} și GND
- 2). Z înburătașătorul fanout

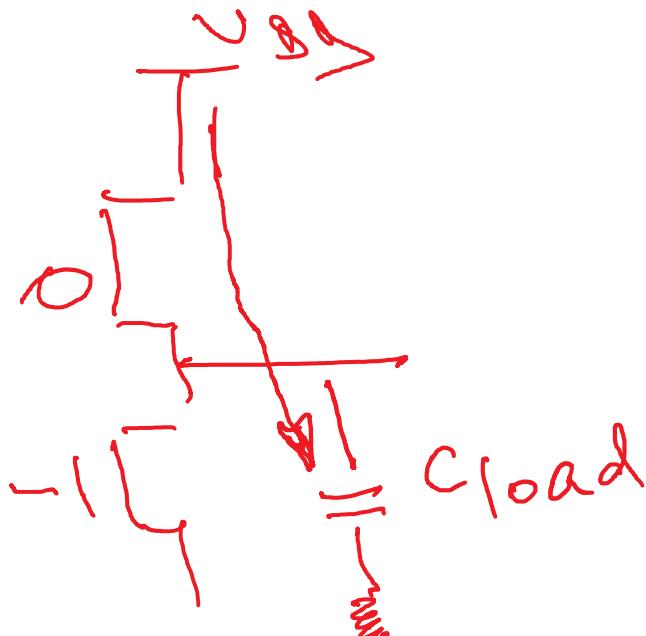


$$f = 4 \text{ steady state.}$$

- 3). Impedanță mică la ieșire
favorizează atenuarea zgârioului



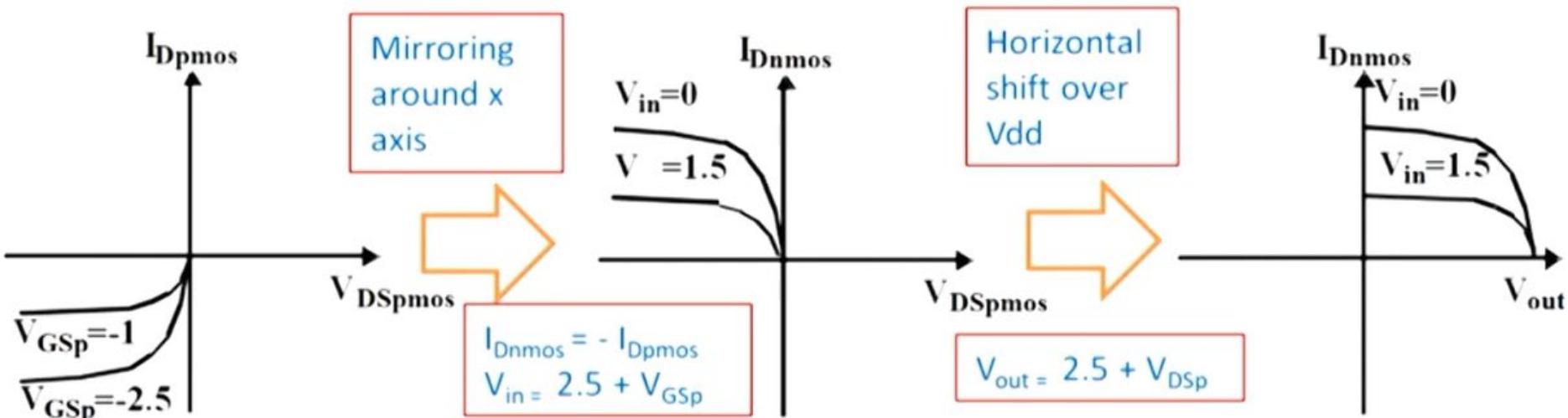
Operarea în modul static



- M1 se mai numește și dispozitiv pull down – PDD – 1 în 0
- M2 se mai numește și dispozitiv pull up (PUD) – 0 în 1
- Tot ce este deasupra lui V_{out} este PUD
- Tot ce este sub V_{out} este PDD

Cracteristicile de transfer pentru tensiune - V_{TC}

$$V_{DD} = 2.5$$



Source: prof. Sudeb Dasgupta course

$I_{DSp} = -I_{DSn} \rightarrow (+$ pentru că avem electroni și $-$ pentru că avem găuri)

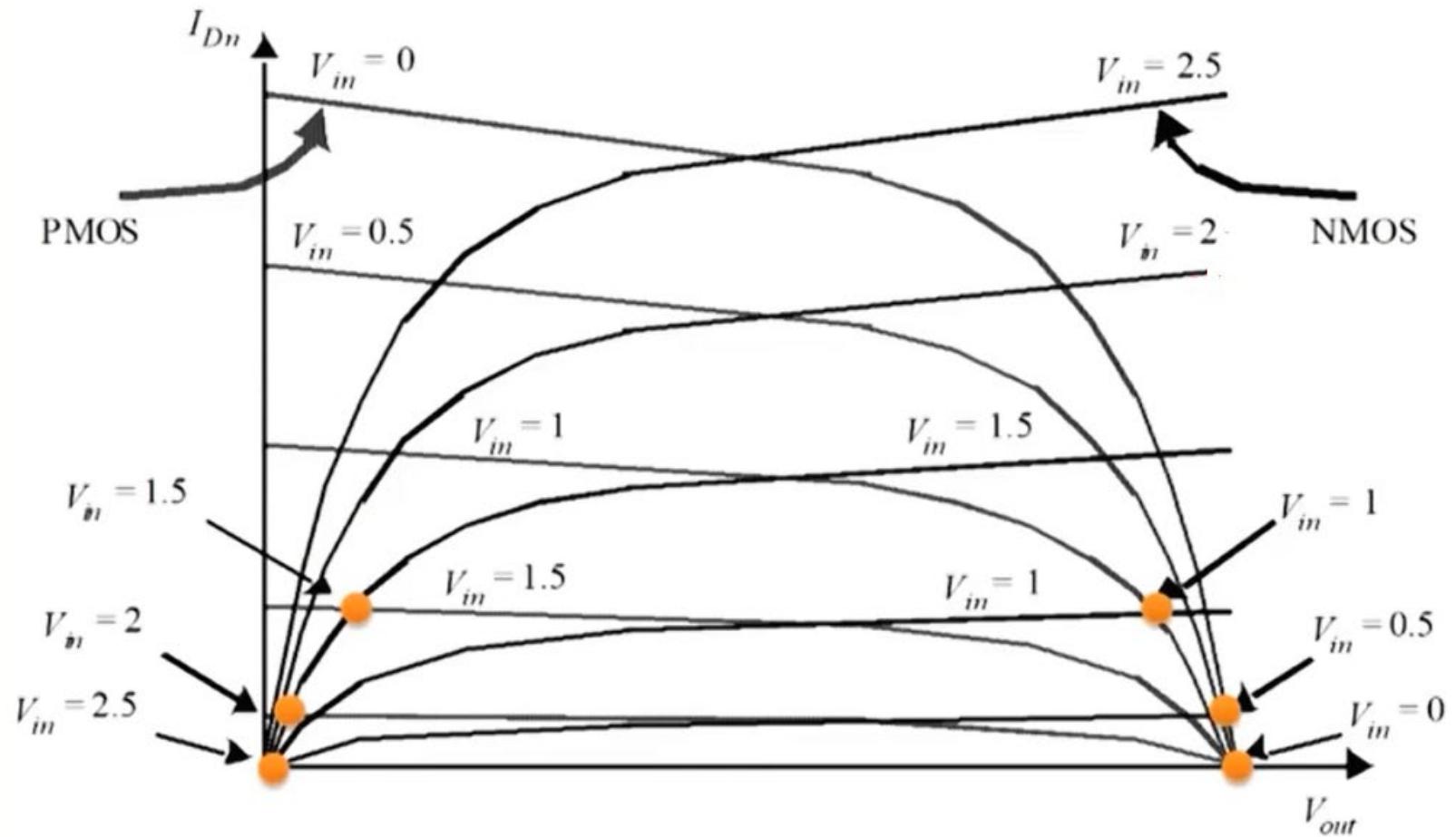
$$V_{GSn} = V_{in}$$

$$V_{GSp} = V_{in} - V_{DD}$$

$$V_{DSn} = V_{out}$$

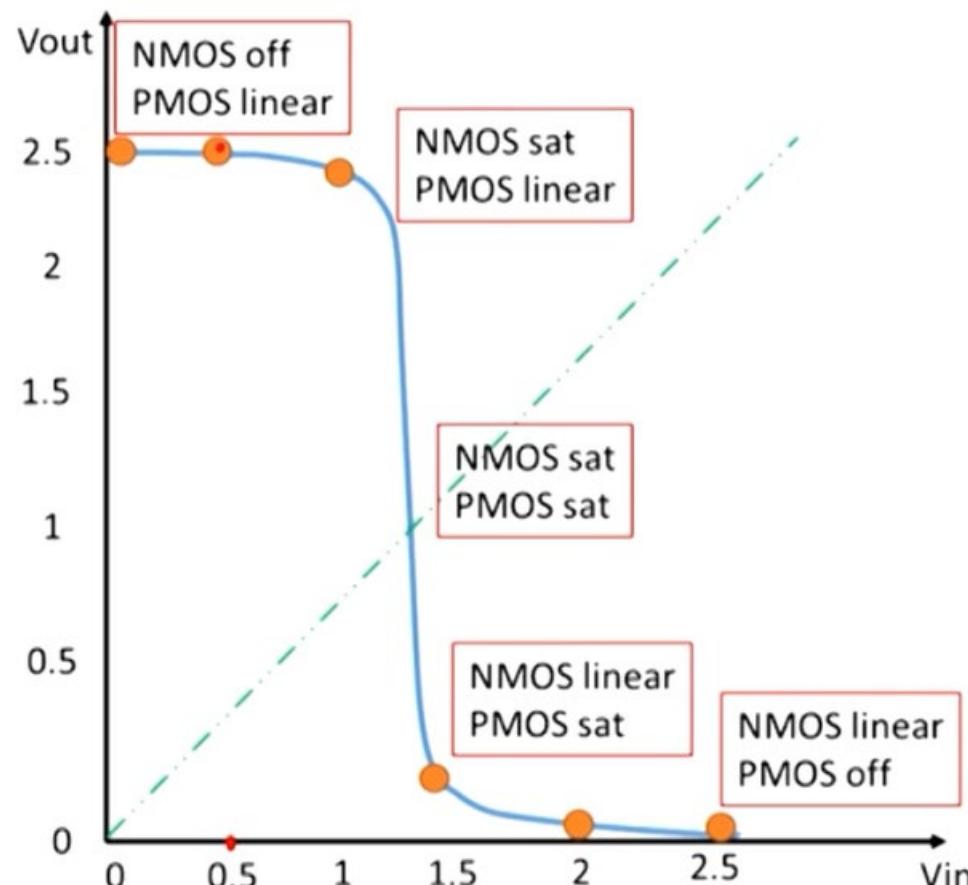
$$V_{DSp} = V_{out} - V_{DD}$$

Cracteristicile de transfer pentru tensiune - V_{TC}



Source: Digital Integrated Circuits (2nd Edition)- Jan M. Rabaey

Cracteristicile de transfer pentru tensiune - V_{TC}



Source: prof. Sudeb Dasgupta course

Pragul de comutare

- Din figura anterioară avem că tranzistorul nMOS este în modul saturat ca și tranzistorul pMOS deci $I_{DSn} = -I_{DSP}$ adică $I_{DSn} + I_{DSP} = 0$ ceea ce conduce la următoarea exprimare

$$k_n V_{DSATn} \left(V_M - V_{Tn} - \frac{V_{DSATn}}{2} \right) + k_p V_{DSATp} \left(V_M - V_{DD} - V_{Tp} - \frac{V_{DSATp}}{2} \right) = 0$$

unde

$$k_n = \mu_n C_{ox} \frac{W}{L}$$

de unde rezultă V_M

$$V_M = \frac{\left(V_{Tn} + \frac{V_{DSATn}}{2} \right) + r \left(V_{DD} + V_{Tp} + \frac{V_{DSATp}}{2} \right)}{1+r} \text{ unde } r = \frac{k_p V_{DSATp}}{k_n V_{DSATn}}$$

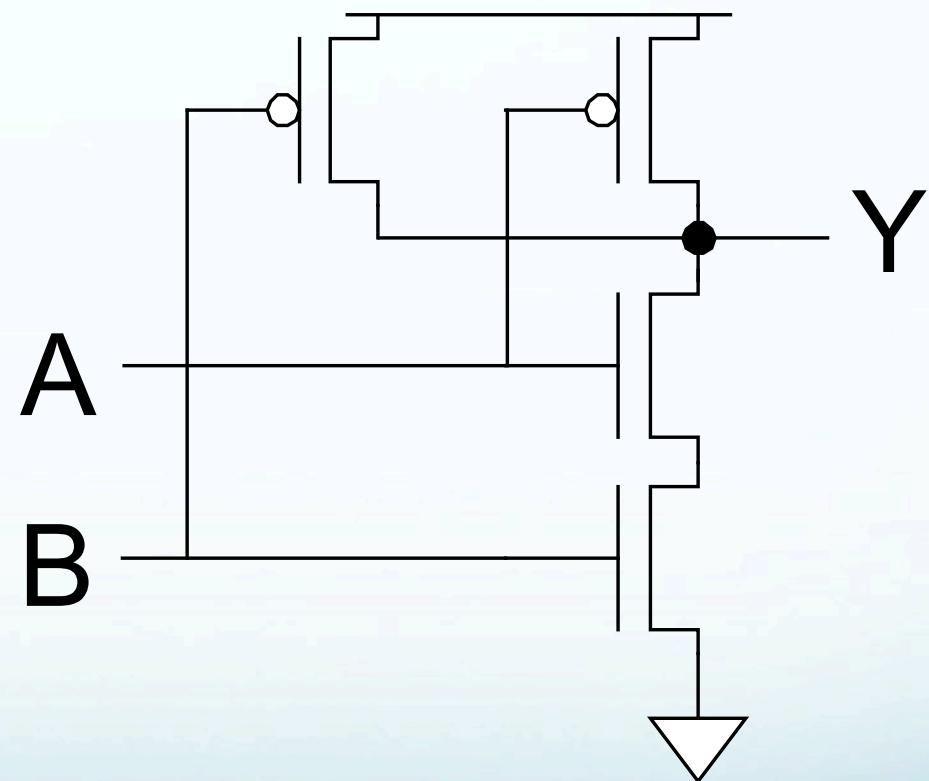
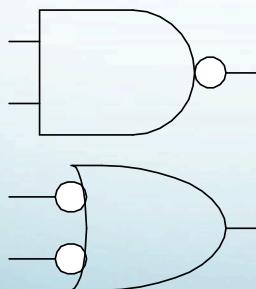
Presupunând că $V_{DSATp} = V_{DSATn}$ atunci r se va deveni $r = \frac{\mu_p W_p}{\mu_n W_n}$

Pragul de comutare

- Dacă presupun că $r = 1$ iar $V_{tn} = V_{tp}$ și $V_{DSATn} = -V_{DSATp}$ atunci $V_m = \frac{V_{DD}}{2}$
- Totodată $\frac{\mu_p W_p}{\mu_n W_n} = 1 \Rightarrow \frac{\mu_p}{\mu_n} = \frac{W_n}{W_p}$
- Având în vedere faptul că mobilitatea electronilor este de 3 ori mai mare decât mobilitatea găurilor, deci raportul de $\frac{1}{3}$ va trebui menținut și în partea dreaptă a egalității ceea ce conduce la faptul că W_p este mai mare decât W_n de cel puțin 3 ori.

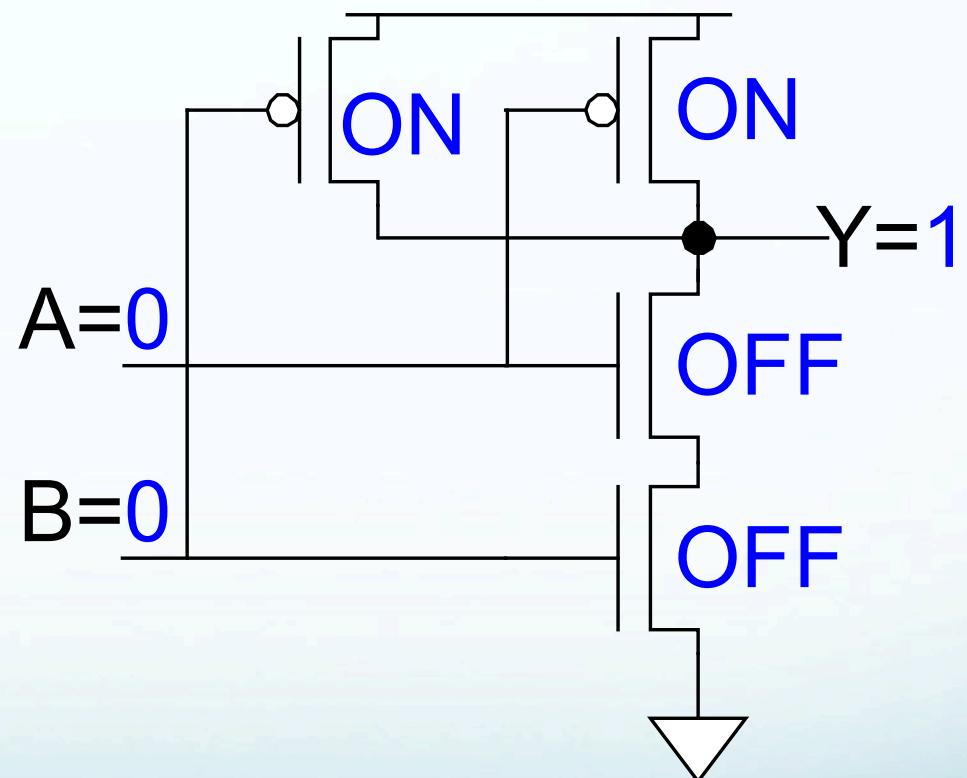
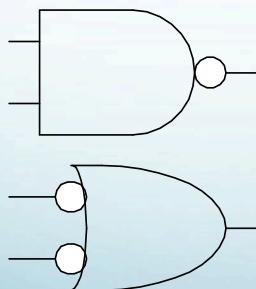
Poarta CMOS NAND

A	B	Y
0	0	
0	1	
1	0	
1	1	



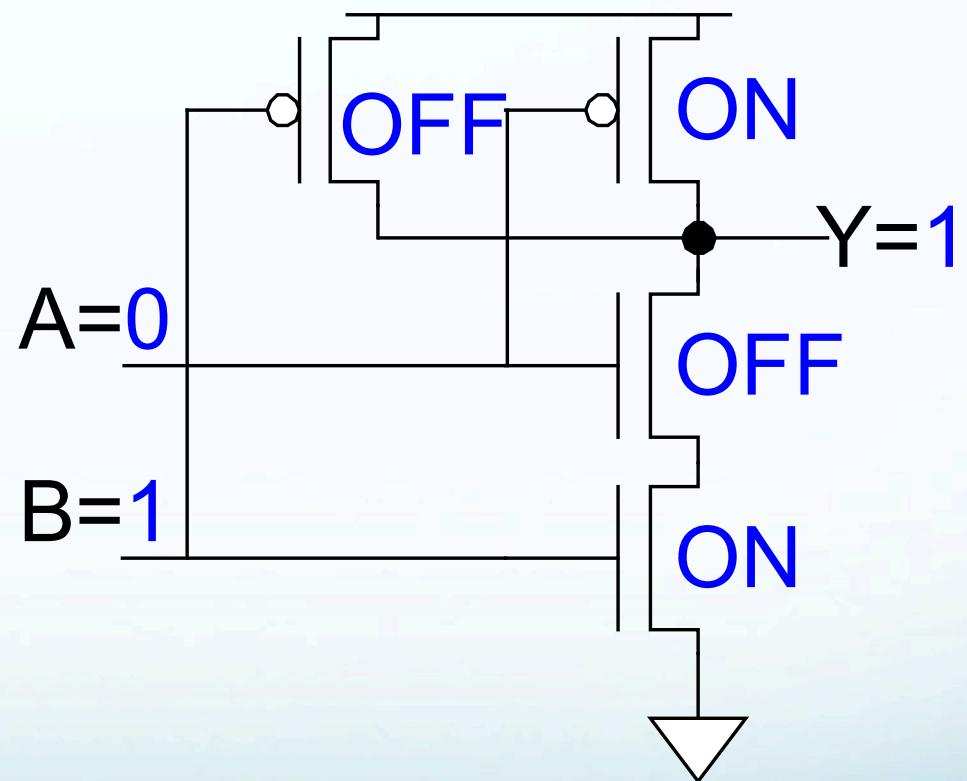
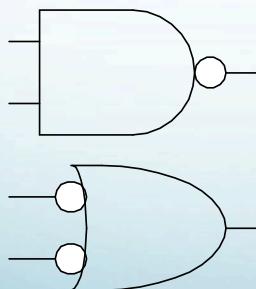
Poarta CMOS NAND

A	B	Y
0	0	1
0	1	
1	0	
1	1	



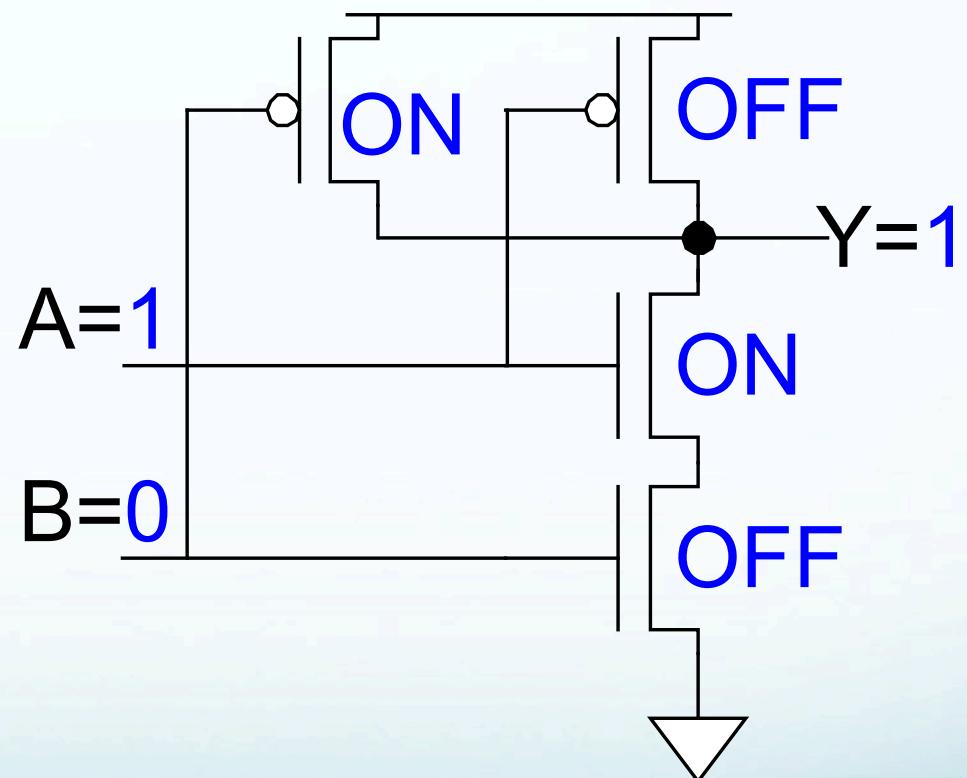
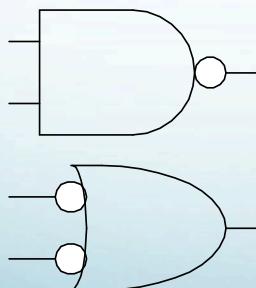
Poarta CMOS NAND

A	B	Y
0	0	1
0	1	1
1	0	
1	1	



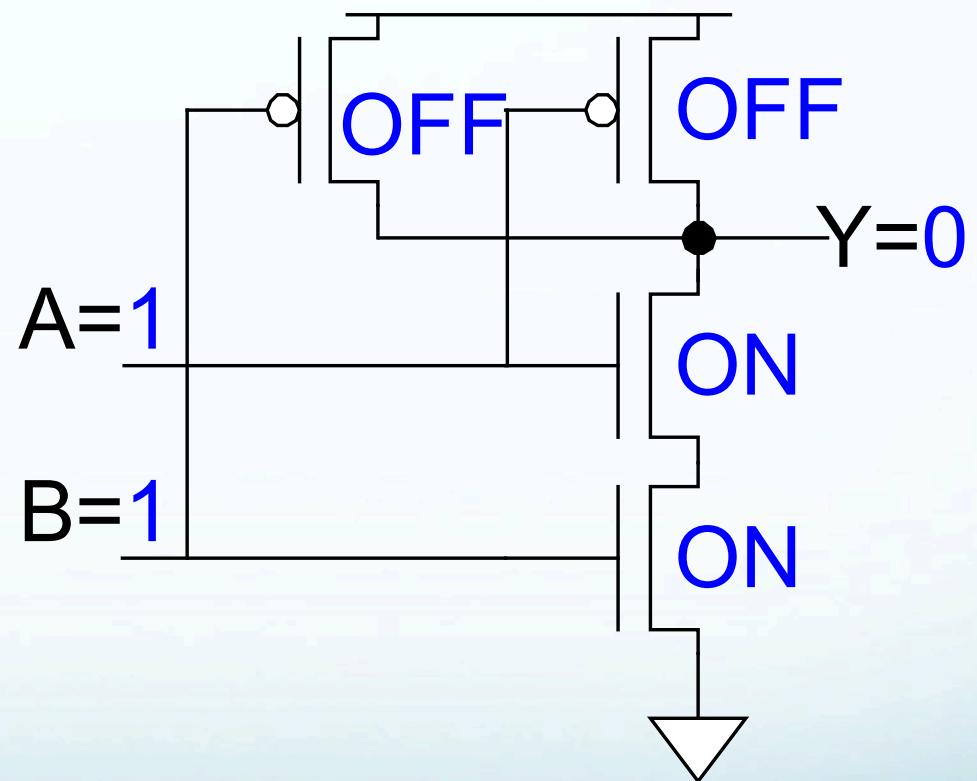
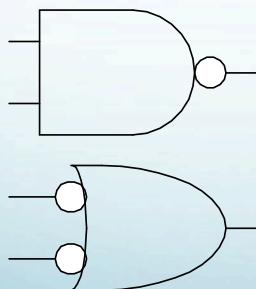
Poarta CMOS NAND

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	



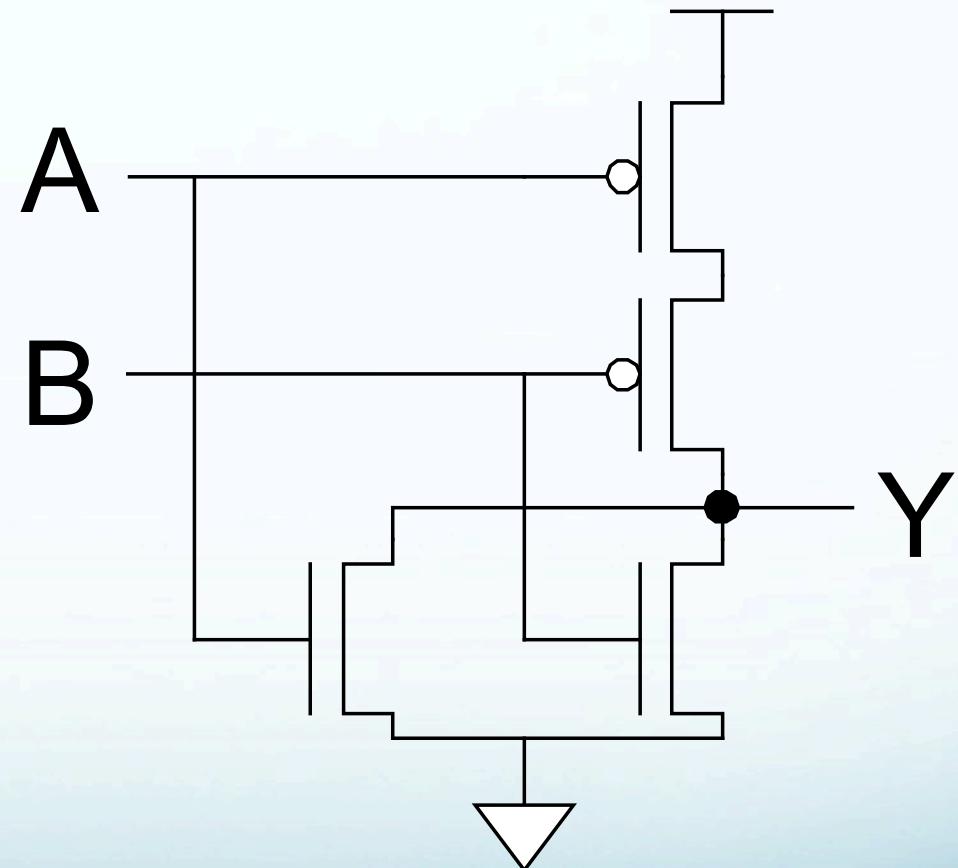
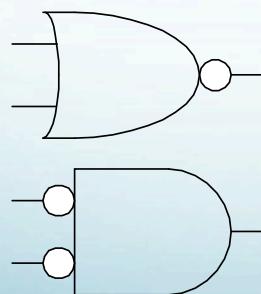
Poarta CMOS NAND

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0



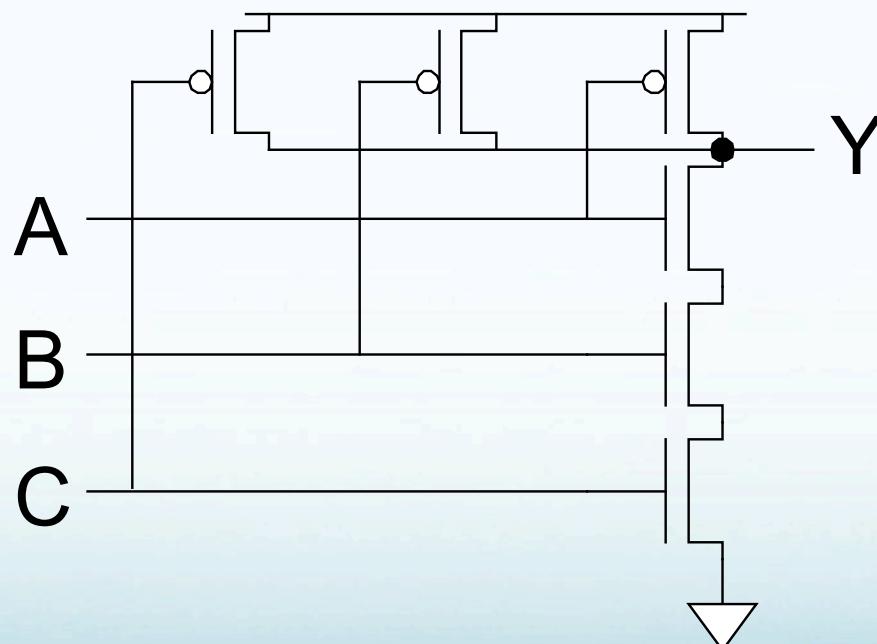
Poarta CMOS NOR

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0



3-input NAND Gate

- $Y = 0$ dacă toate intrările sunt 1
- $Y = 1$ dacă toate intrările sunt 0

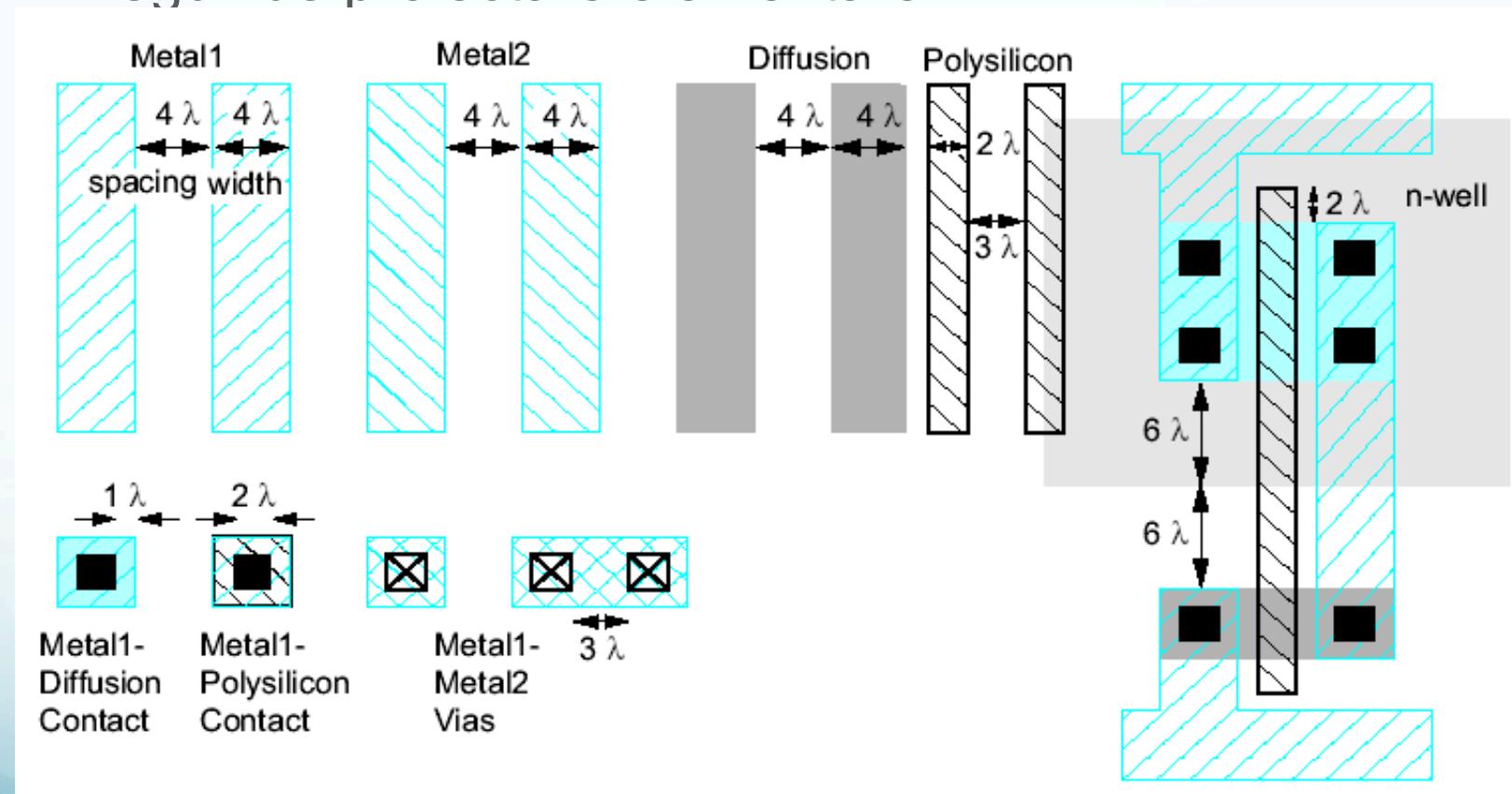


Layout

- Chip-urile sunt specificate printr-un set de măști
- Dimensiunea minimă a măstilor determină mărimea tranzistorului (deci viteza, costul, și puterea)
- Dimensiunea trăsăturii f = distanța dintre drenă și sursă
 - Setată de lățimea minimă a polysilicon
- Dimensiunea trăsăturii crește cu 30% la fiecare 3 ani
- Normalizarea dimensiunii trăsăturii când descriem regulile proiectării
- Regulile se exprimă în termeni de $\lambda = f/2$
 - a.î. $\lambda = 0.3 \mu\text{m} - 0.6 \mu\text{m}$ intr-un proces

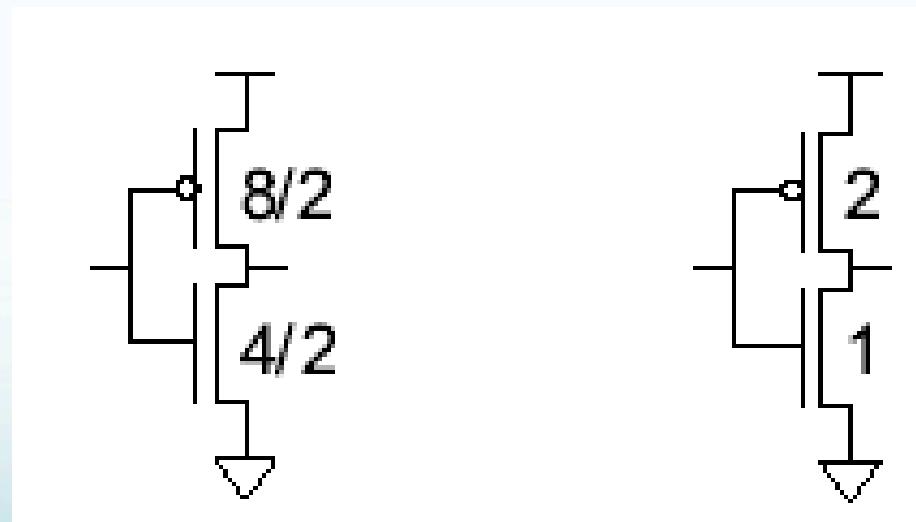
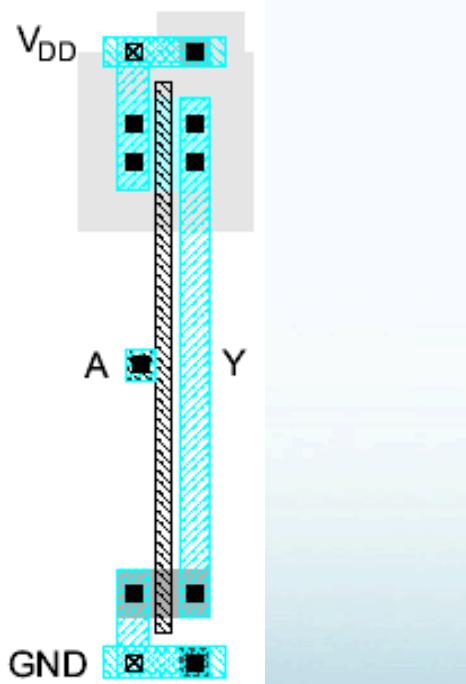
Reguli de proiectare

- Reguli de proiectare elementare



Inversorul

- Dimensiunile tranzistorului sunt specificate ca Lățime/Lungime
 - Dimensiunea minimă $4\lambda / 2\lambda$, uneori denumită unitatea 1
 - Pentru un proces de $0.6 \mu\text{m}$, $W=1.2 \mu\text{m}$, $L=0.6 \mu\text{m}$



Sumar 1

- Tranzistoarele MOS sunt o stivă de portă, oxid, silicon
- Pot fi vizualizate ca switch-uri controlate electric
- Construim porți logice din switch-uri
- Desenăm măștile layout-ului specific din tranzistori

CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Modulul 2

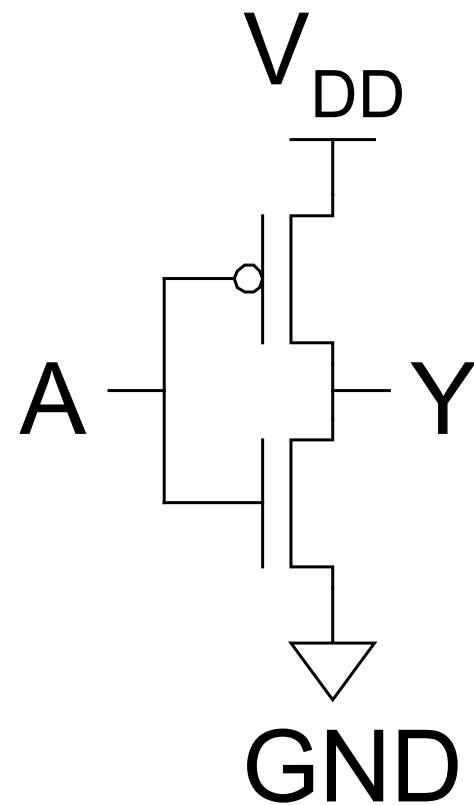
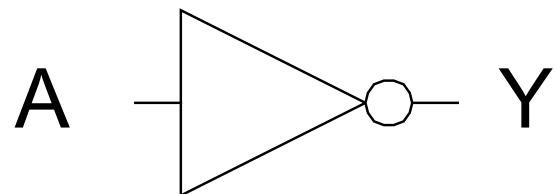
Inversorul CMOS

Inversorul CMOS

- Ideea de bază a unui inversor CMOS
- Modelul de tip switch al unui inversor
- Comportament static
- Caracteristicile de transfer ale tensiunii - V_{Tc} - în cazul în care variez tensiunea de intrare (V_{in}) de la 0V la 5V cum se va comporta tensiunea de ieșire (V_{out})
- Comutarea – switching threshold – acea tensiune la care tranziția din 0 în 1 sau din 1 în 0 are loc
- Zgomot – orice semnal introdus în price circuit are un zgomot, de aceea în prima fază dorim să rejectăm acest zgomot
- Calculul câștigului = $\frac{\partial V_{out}}{\partial V_{in}}$

Inversorul CMOS

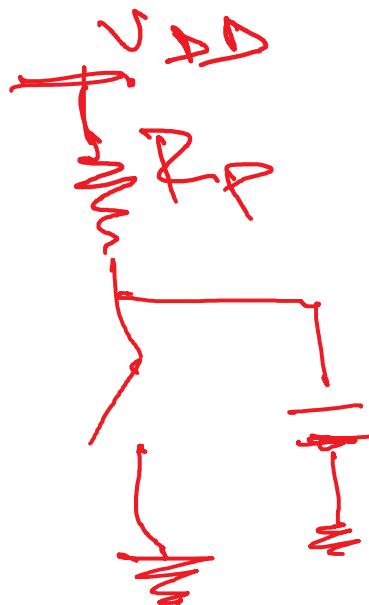
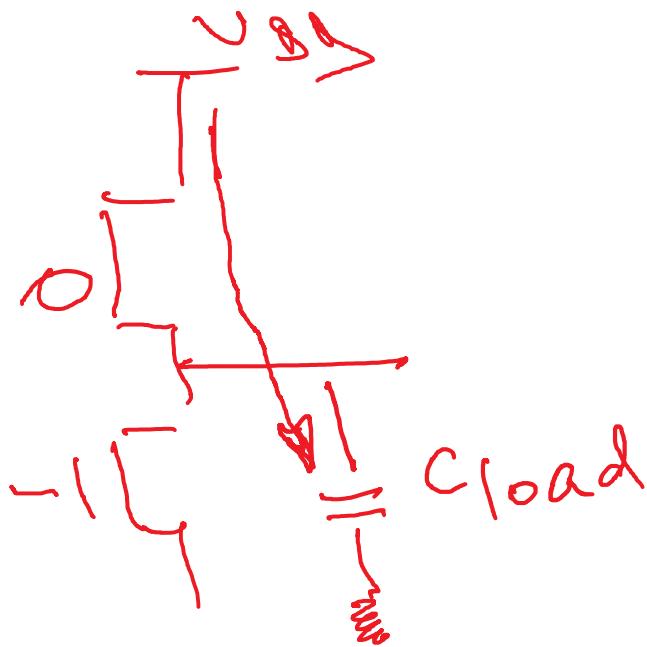
A	Y
0	
1	



$V_G \approx V_{TH}$

pMOS = ON
nMOS = OFF.

Poss in mod saturat.

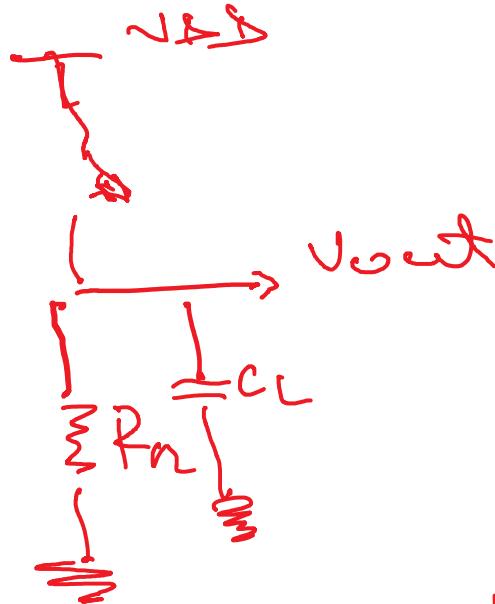


$V \rightarrow 0$ PMOS = OFF ($J_G = 1/T^2$)
NMOS = ON

NMOS functioning in
modul saturat

PMOS functioning in
cut off.

Inversorul ca un comutator – switch model

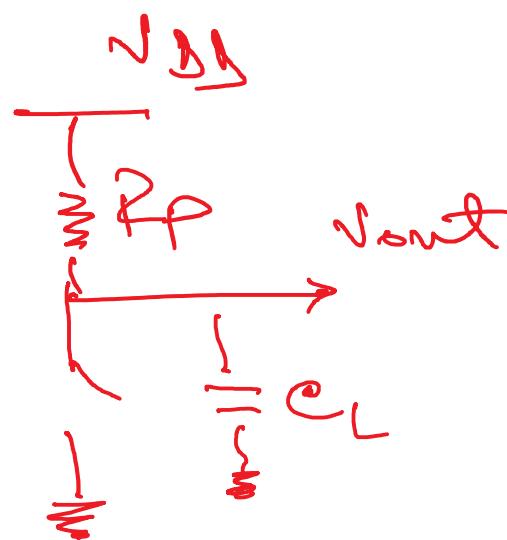


$$\text{I}_{in} = \text{V}_{DD}$$

$\text{nMOS} = \text{ON}$

$\text{pMOS} = \text{OFF}$

$$Z = R \cdot C$$



$$\text{I}_{in} = 0$$

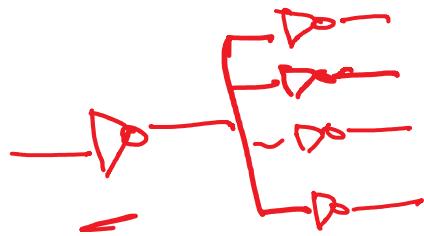
$\text{nMOS} = \text{OFF}$

$\text{pMOS} = \text{ON}$

Operarea în modul static

Mod static def. \exists switchuri din 0 sau din 1
 \exists m 0

- 1). Nu se consumă putere
 \exists căi directă între V_{DD} și GND
- 2). Z înburătașătorul fanout

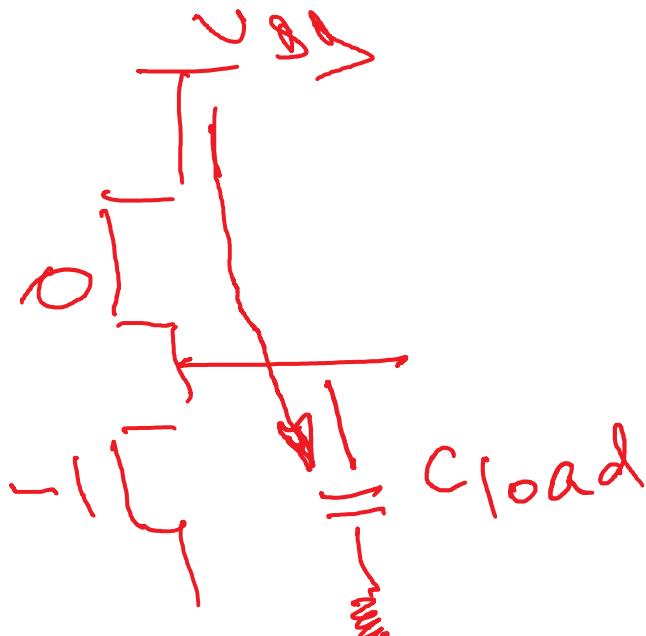


$$f = 4 \text{ steady state.}$$

- 3). Impedanță mică la ieșire
favorizează atenuarea zgârioului



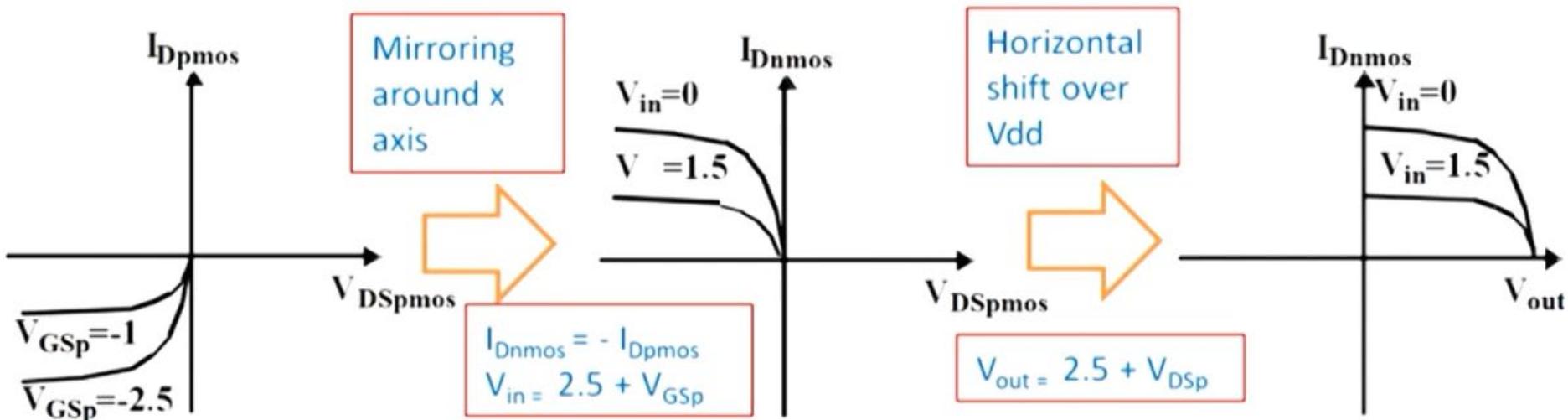
Operarea în modul static



- M1 se mai numește și dispozitiv pull down – PDD – 1 în 0
- M2 se mai numește și dispozitiv pull up (PUD) – 0 în 1
- Tot ce este deasupra lui V_{out} este PUD
- Tot ce este sub V_{out} este PDD

Cracteristicile de transfer pentru tensiune - V_{TC}

$$V_{DD} = 2.5$$



Source: prof. Sudeb Dasgupta course

$I_{DSp} = -I_{DSn} \rightarrow (+$ pentru că avem electroni și $-$ pentru că avem găuri)

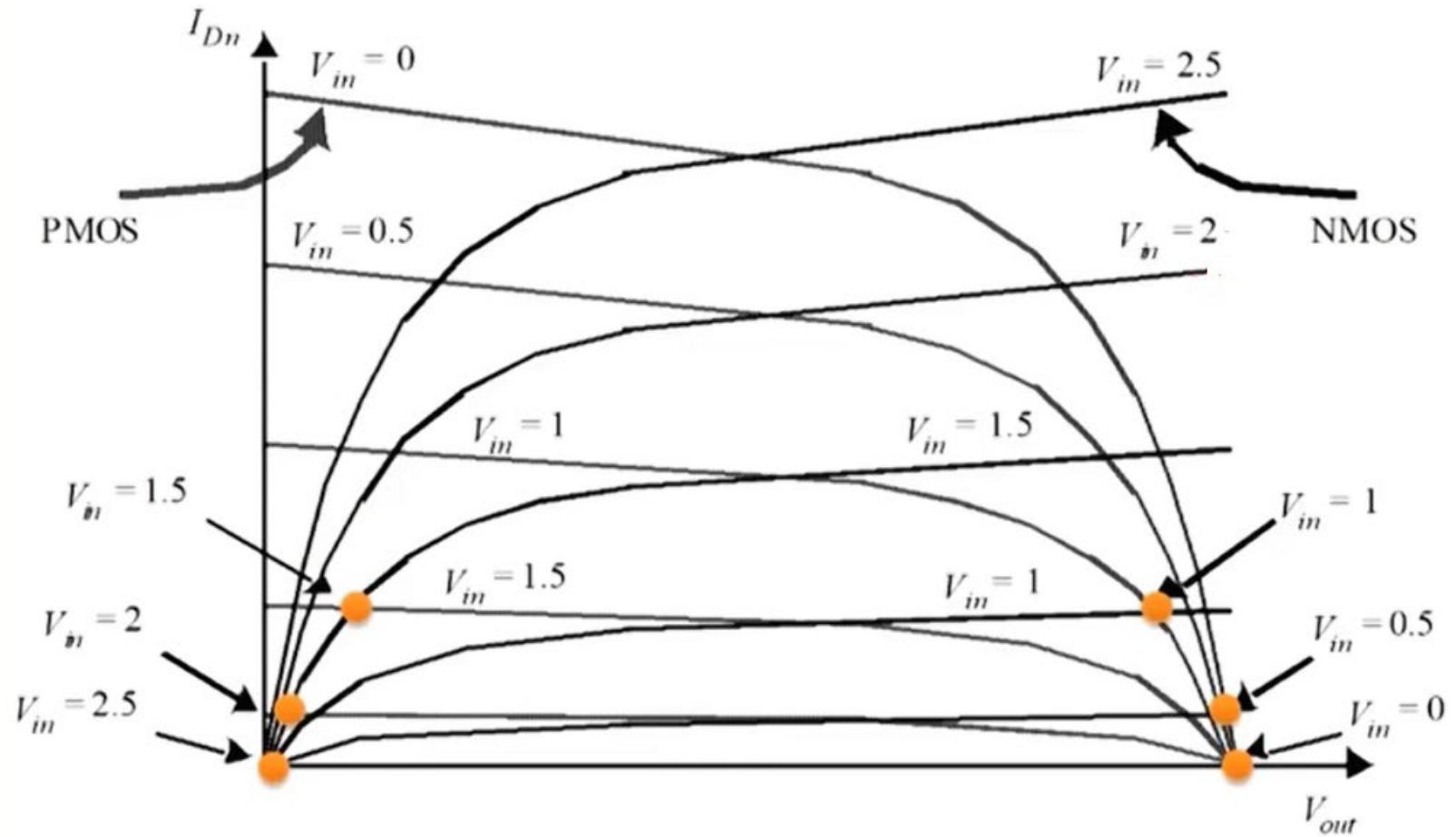
$$V_{GSn} = V_{in}$$

$$V_{GSp} = V_{in} - V_{DD}$$

$$V_{DSn} = V_{out}$$

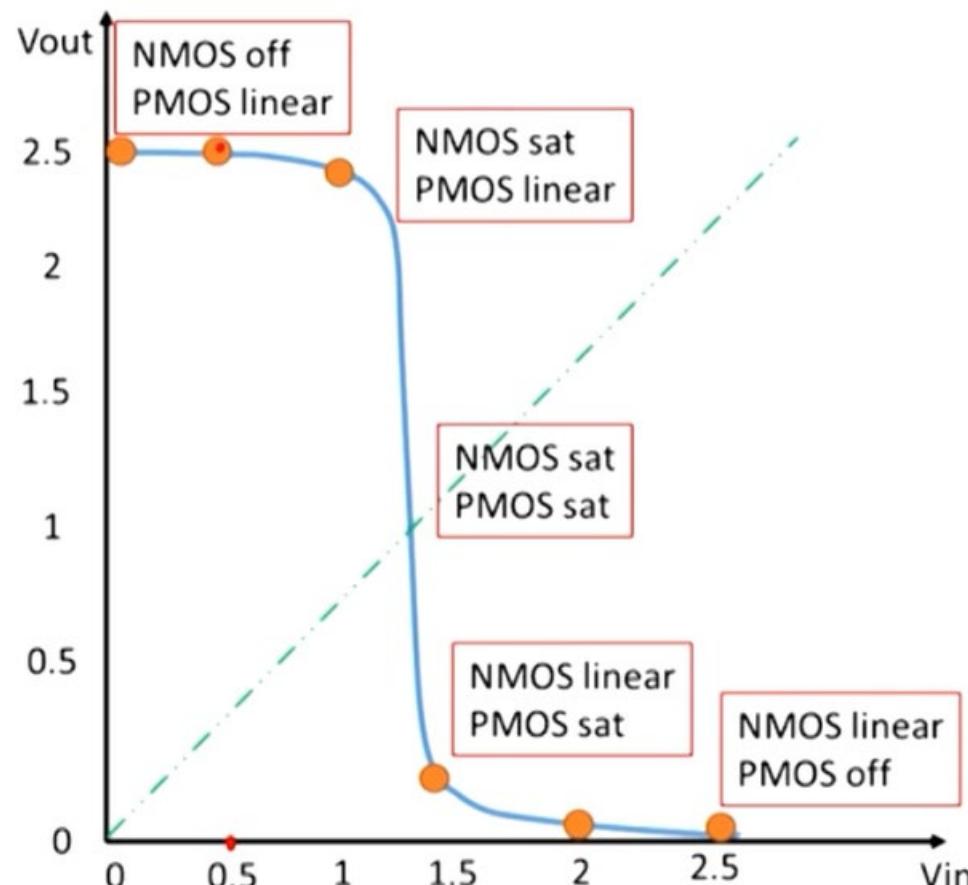
$$V_{DSp} = V_{out} - V_{DD}$$

Cracteristicile de transfer pentru tensiune - V_{TC}



Source: Digital Integrated Circuits (2nd Edition)- Jan M. Rabaey

Cracteristicile de transfer pentru tensiune - V_{TC}



Source: prof. Sudeb Dasgupta course

Pragul de comutare

- Din figura anterioară avem că tranzistorul nMOS este în modul saturat ca și tranzistorul pMOS deci $I_{DSn} = -I_{DSP}$ adică $I_{DSn} + I_{DSP} = 0$ ceea ce conduce la următoarea exprimare

$$k_n V_{DSATn} \left(V_M - V_{Tn} - \frac{V_{DSATn}}{2} \right) + k_p V_{DSATp} \left(V_M - V_{DD} - V_{Tp} - \frac{V_{DSATp}}{2} \right) = 0$$

unde

$$k_n = \mu_n C_{ox} \frac{W}{L}$$

de unde rezultă V_M

$$V_M = \frac{\left(V_{Tn} + \frac{V_{DSATn}}{2} \right) + r \left(V_{DD} + V_{Tp} + \frac{V_{DSATp}}{2} \right)}{1+r} \text{ unde } r = \frac{k_p V_{DSATp}}{k_n V_{DSATn}}$$

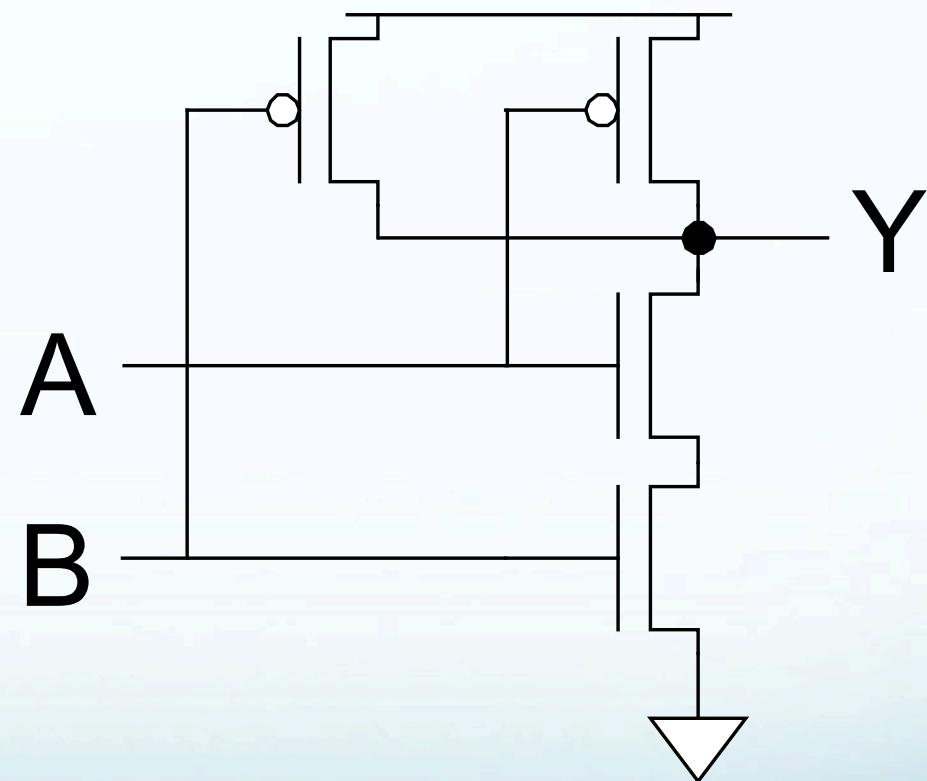
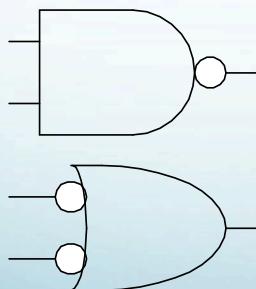
Presupunând că $V_{DSATp} = V_{DSATn}$ atunci r se va deveni $r = \frac{\mu_p W_p}{\mu_n W_n}$

Pragul de comutare

- Dacă presupun că $r = 1$ iar $V_{tn} = V_{tp}$ și $V_{DSATn} = -V_{DSATp}$ atunci $V_m = \frac{V_{DD}}{2}$
- Totodată $\frac{\mu_p W_p}{\mu_n W_n} = 1 \Rightarrow \frac{\mu_p}{\mu_n} = \frac{W_n}{W_p}$
- Având în vedere faptul că mobilitatea electronilor este de 3 ori mai mare decât mobilitatea găurilor, deci raportul de $\frac{1}{3}$ va trebui menținut și în partea dreaptă a egalității ceea ce conduce la faptul că W_p este mai mare decât W_n de cel puțin 3 ori.

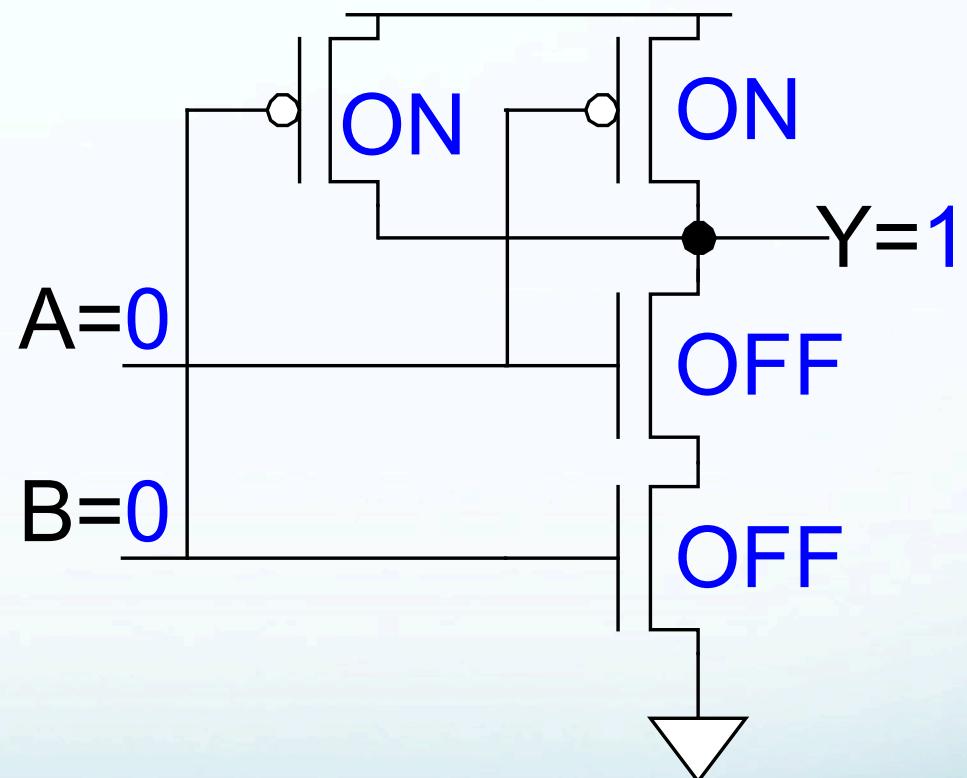
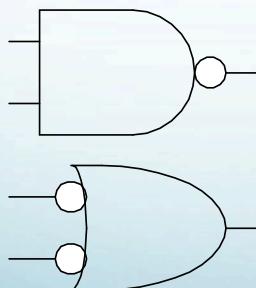
Poarta CMOS NAND

A	B	Y
0	0	
0	1	
1	0	
1	1	



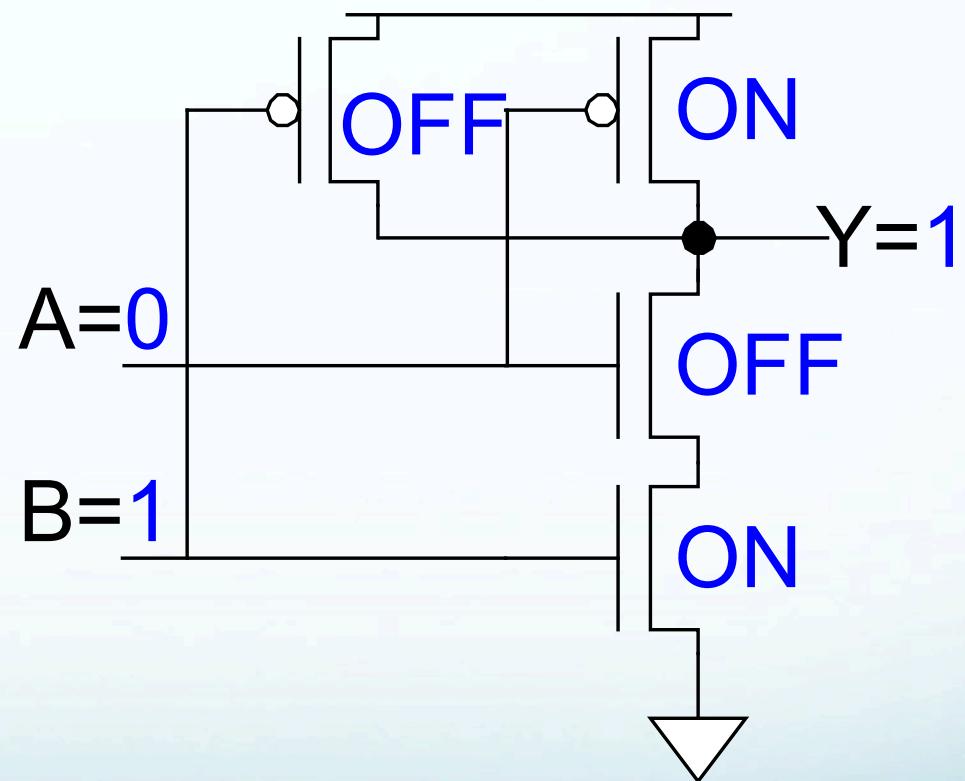
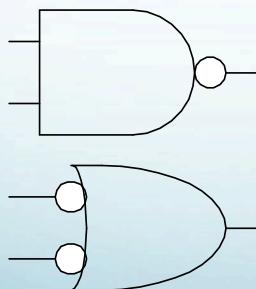
Poarta CMOS NAND

A	B	Y
0	0	1
0	1	
1	0	
1	1	



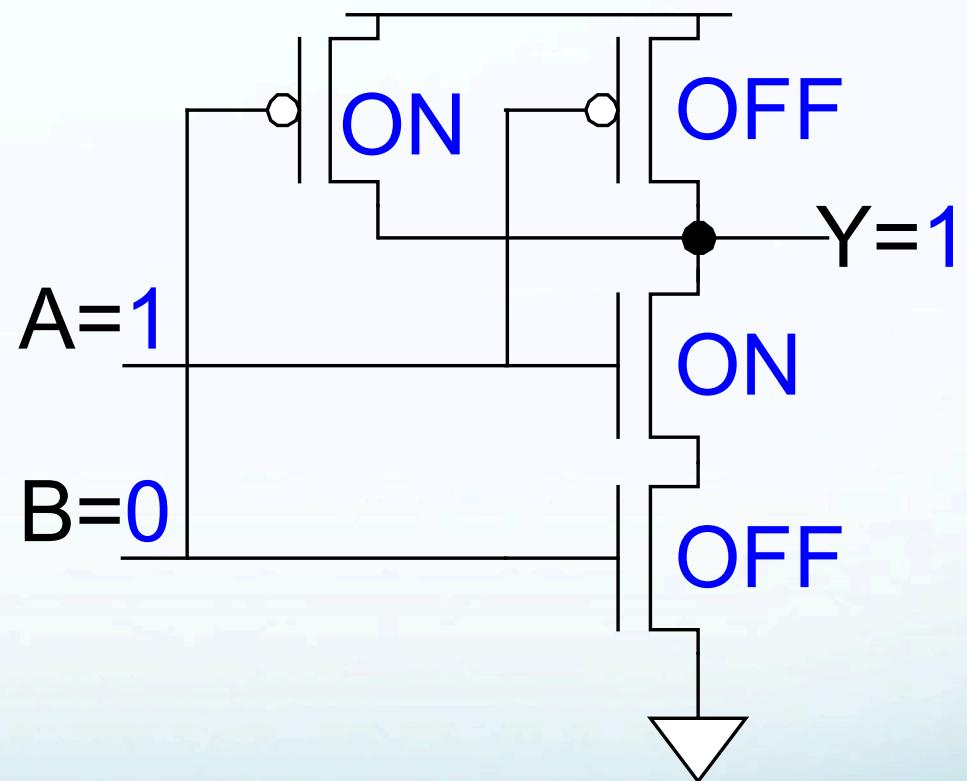
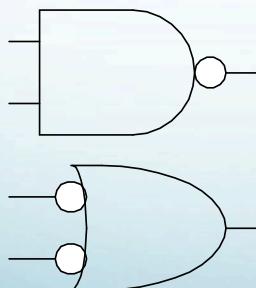
Poarta CMOS NAND

A	B	Y
0	0	1
0	1	1
1	0	
1	1	



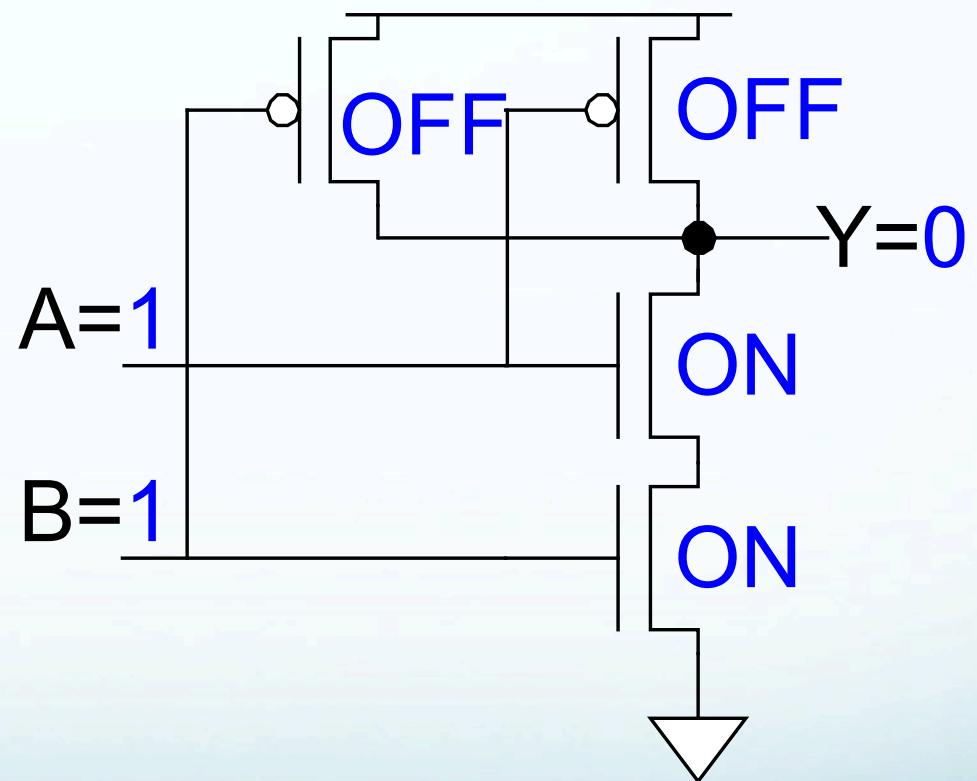
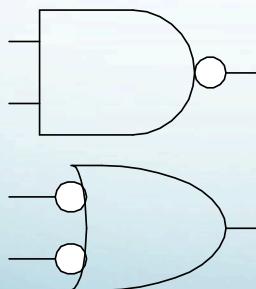
Poarta CMOS NAND

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	



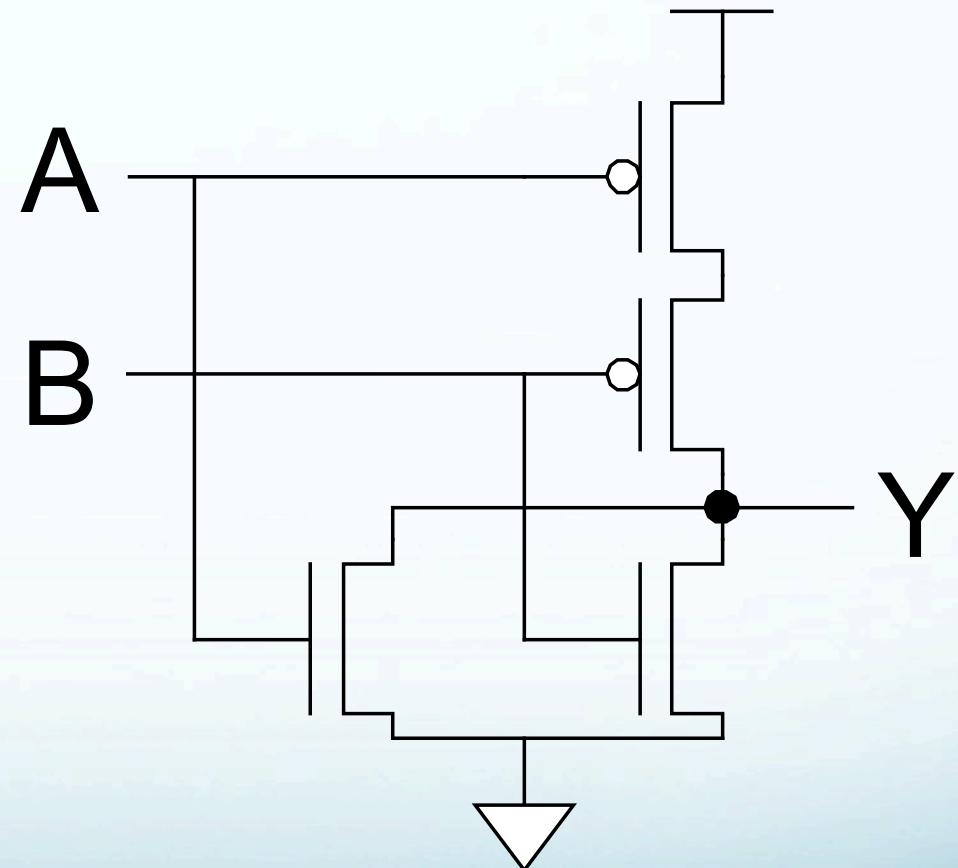
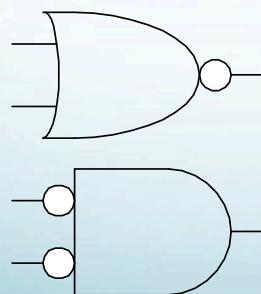
Poarta CMOS NAND

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0



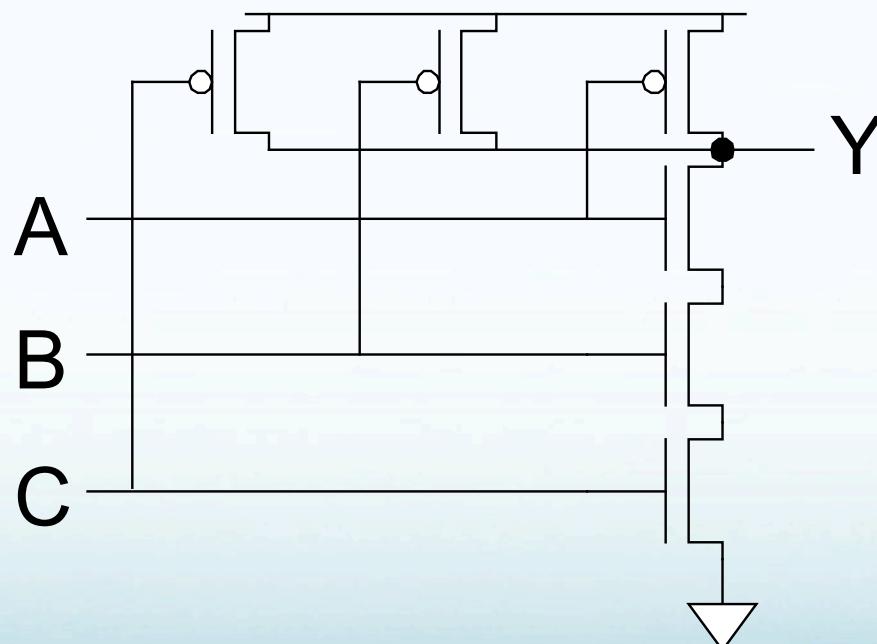
Poarta CMOS NOR

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0



3-input NAND Gate

- $Y = 0$ dacă toate intrările sunt 1
- $Y = 1$ dacă toate intrările sunt 0

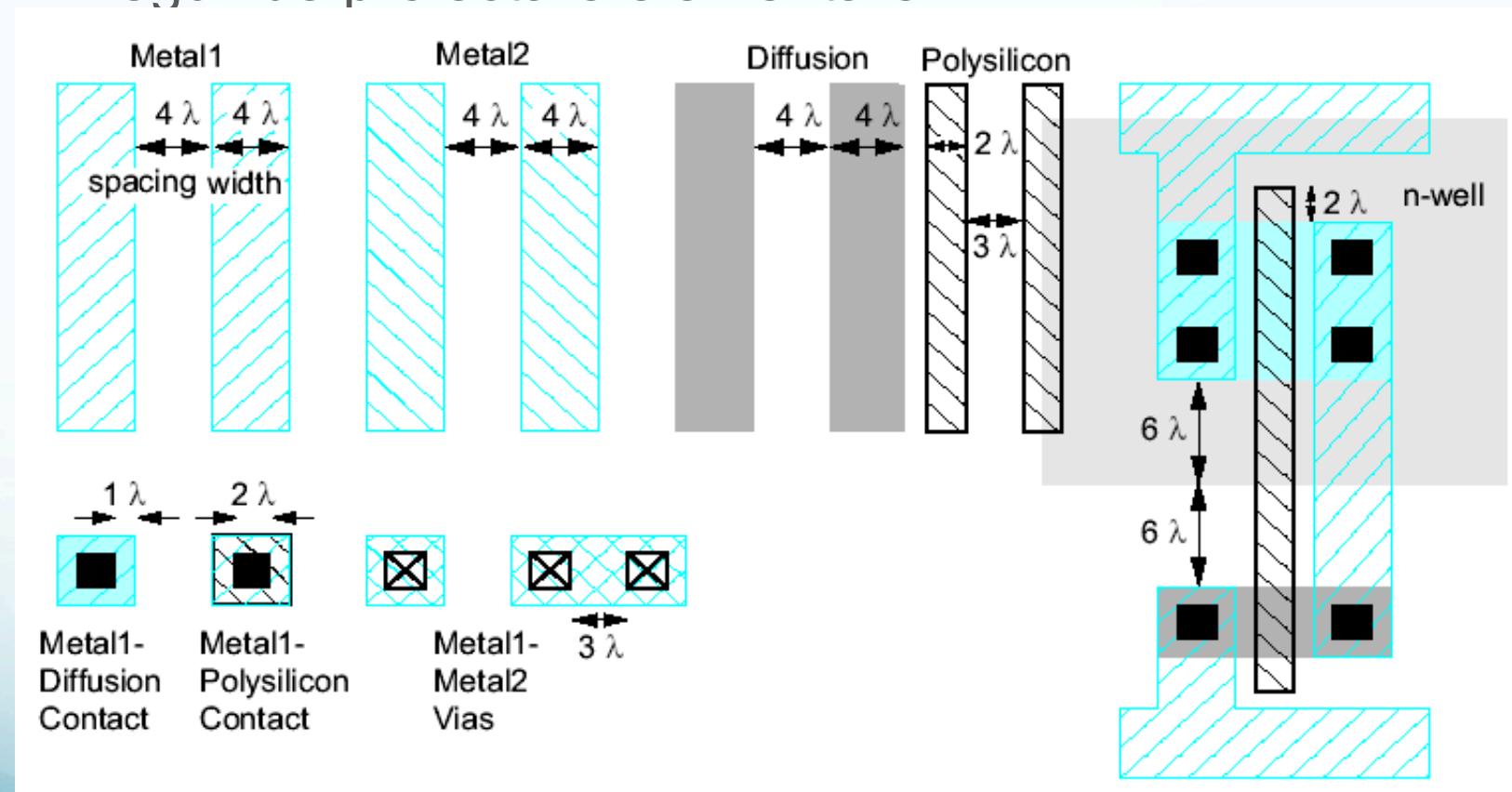


Layout

- Chip-urile sunt specificate printr-un set de măști
- Dimensiunea minimă a măstilor determină mărimea tranzistorului (deci viteza, costul, și puterea)
- Dimensiunea trăsăturii f = distanța dintre drenă și sursă
 - Setată de lățimea minimă a polysilicon
- Dimensiunea trăsăturii crește cu 30% la fiecare 3 ani
- Normalizarea dimensiunii trăsăturii când descriem regulile proiectării
- Regulile se exprimă în termeni de $\lambda = f/2$
 - a.î. $\lambda = 0.3 \mu\text{m} - 0.6 \mu\text{m}$ intr-un proces

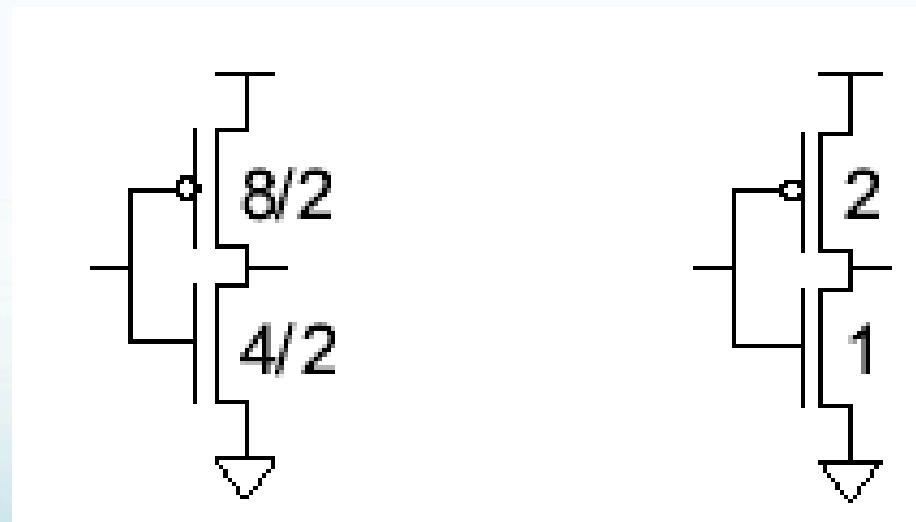
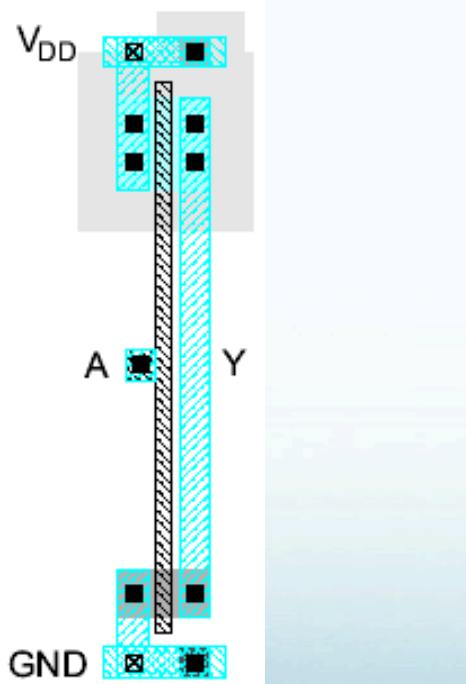
Reguli de proiectare

- Reguli de proiectare elementare



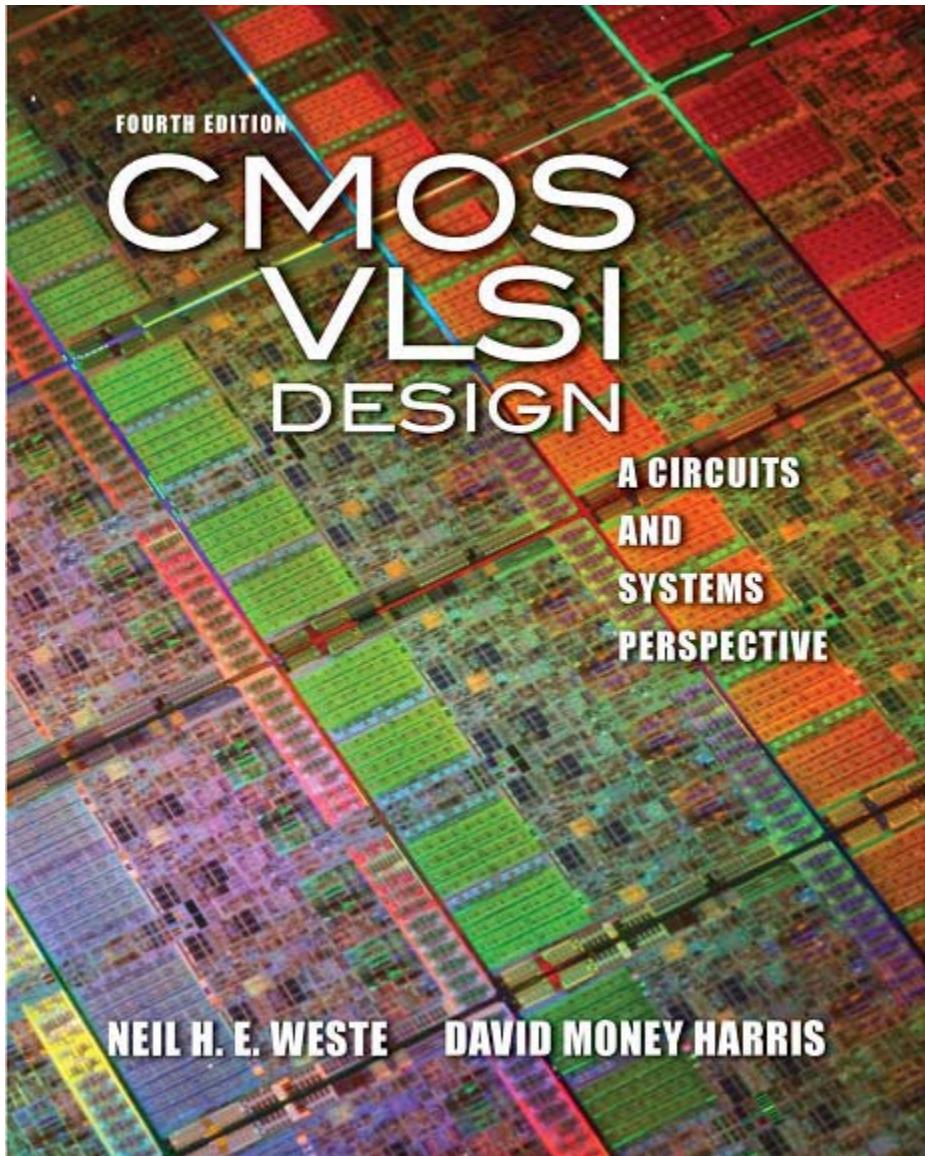
Inversorul

- Dimensiunile tranzistorului sunt specificate ca Lățime/Lungime
 - Dimensiunea minimă $4\lambda / 2\lambda$, uneori denumită unitatea 1
 - Pentru un proces de $0.6 \mu\text{m}$, $W=1.2 \mu\text{m}$, $L=0.6 \mu\text{m}$



Sumar 1

- Tranzistoarele MOS sunt o stivă de portă, oxid, silicon
- Pot fi vizualizate ca switch-uri controlate electric
- Construim porți logice din switch-uri
- Desenăm măștile layout-ului specific din tranzistori



Curs 4:

Modulul 3

Disiparea puterii

Puterea

- Puterea totală este dată de suma dintre:
 - Disiparea puterii dinamice – P_{dim}
 - Disiparea puterii statice - P_{st}
 - Disiparea puterii de scurt-circuit – P_{sc}
 - *Device parameter* în esență înseamnă aspect ratio, adică $\frac{W}{L}$
 - *Circuit parameter* – capacitanță

Ce urmărim ?

- Ce este disiparea puterii ?
- Ce metode putem aplica ca să reducem puterea disipată fără a compromite performanța circuitului ?

Definiții

Energia	Puterea
Se măsoară în Joules sau Kwh	Se măsoară în Watts sau Kw
Abilitatea unui sistem de a face ceva sau de a produce o schimbare	Cantitatea de energie necesară pentru o unitate de timp dată
Nu există activitate fără energie	Puterea medie – cantitatea de energie consumată pe unitatea de timp. Termenul de putere este uzual folosit
	Puterea instantanee – energia consumată dacă unitatea de timp tinde către 0 ($t \rightarrow 0$)
	Puterea electrică instantanee: $P(t) = v(t) * i(t)$

Energia electrică - $E = P(t) * t = v(t) * i(t) * t$

Cunoaștem că $P = \frac{E}{t} \Rightarrow E = P * t = v(t) * i(t) * t$ q.e.d

Disiparea puterii

- Energia electrică în circuitele CMOS

$$E = P * \text{delay}$$

- Ca să reducem P trebuie să reducem E și delay-ul ($E \downarrow$ și $\text{delay} \downarrow \Rightarrow P \downarrow$)
- Problema este că P și delay-ul nu cresc sau scad împreună
- $P \uparrow \Rightarrow \text{delay} \uparrow$ prin reducerea frecvenței
- $\text{delay} \downarrow \Rightarrow P \downarrow \Rightarrow$ trebuie optimizată energia mai degrabă decât puterea \Rightarrow optimizare individuală pentru P și delay

Disiparea puterii

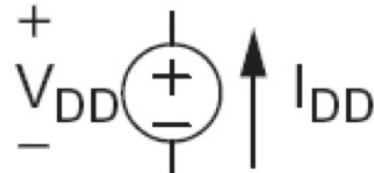
Puterea este condusă de la o sursă de tensiune atașată pinilor V_{DD} ai unui circuit.

Formule utilizate

- Puterea instantanee: $P(t) = i_{DD}(t) * V_{DD}$
- Energia: $E = \int_0^T P(t)dt$
- Puterea medie: $P_{avg} = \frac{E}{T} = \frac{1}{T} \int_0^T P(t)dt$

Puterea în elemente

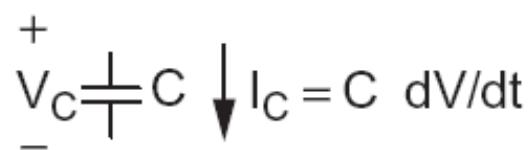
$$P_{VDD}(t) = I_{DD}(t)V_{DD}$$



$$P_R(t) = \frac{V_R^2(t)}{R} = I_R^2(t)R$$



$$\begin{aligned} E_C &= \int_0^\infty I(t)V(t)dt = \int_0^\infty C \frac{dV}{dt} V(t)dt \\ &= C \int_0^{V_C} V(t)dV = \frac{1}{2} CV_C^2 \end{aligned}$$



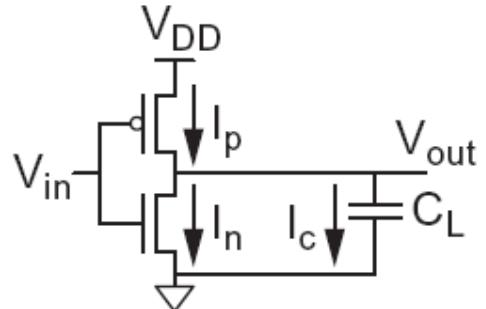
Încărcarea capacitorului

Când ieșirea portii are un front pozitiv

- Energia înmagazinată în capacitor

$$E_C = \frac{1}{2} C_L V_{DD}^2$$

- Dar energia condusă de la sursă este



$$E_{VDD} = \int_0^\infty I(t) V_{DD} dt = \int_0^\infty C_L \frac{dV}{dt} V_{DD} dt = C_L V_{DD} \int_0^{V_{DD}} dV = C_L V_{DD}^2$$

- Jumătate din energia de la V_{DD} este disipată în tranzistorul pMOS ca și căldură, cealaltă jumătate este memorată

Când ieșirea portii are front coborâtor

- Energia din capacitor este transmisă la GND
- Disipare ca și căldură în tranzistorul nMOS

Factorul de activitate

Presupunem frecvența ceasului sistemului = f

Fie $f_{sw} = \alpha * f = f_{0 \rightarrow 1} = P_{0 \rightarrow 1} * f$

unde:

- α = factor de activitate;
- $P_{0 \rightarrow 1}$ este probabilitatea de comutare din 0 în 1 a ieșirii și există tabele speciale

Exp: Dacă presupunem că avem 10 ciclii de ceas și un semnal care comută de 4 ori din 0 în 1 atunci $\alpha = \frac{4}{10}$

Puterea dinamică:

$$P_{\text{switching}} = \alpha C V_{DD}^2 f$$

Probabilitatea de comutare

Poarta	P_Y
AND 2	$P_A P_B$
AND 3	$P_A P_B P_C$
OR 2	$1 - \overline{P}_A \times \overline{P}_B$
NAND 2	$1 - P_A \times P_B$
NOR 2	$\overline{P}_A \times \overline{P}_B$
XOR 2	$P_A \times \overline{P}_B + \overline{P}_A \times P_B$

Estimarea factorului activitate

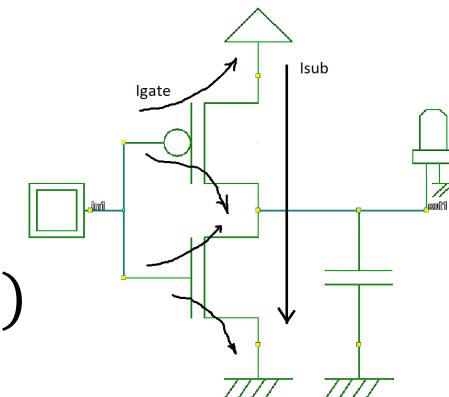
- Dacă semnalul este un ceas $\alpha = 1$
- Dacă semnalul comută odată/ciclu $\alpha = \frac{1}{2}$
- Pentru porțile dinamice care comută de 0 sau 2 ori / ciclu $\alpha = \frac{1}{2}$
- Datele propagate prin ANDs și ORs (sau porți statice) au un factor de activitate mic
Depinde de proiectare, dar tipic $\alpha \approx 0.1$
- $\alpha = 0.1$ vom avea aprox. 90% reducere în P_{sw} fără a altera frecvența => performanța circuitului nu se va diminua.

Puterea disipată în scurt circuit

Când tranzistoarele comută, rețelele nMOS și pMOS pot fi momentan ON la același moment de timp ($V_{in} = \frac{V_{DD}}{2}$)

Apare curentul de “scurt circuit”.

$$P_{sc} = V_{DD} * I_{sc} * (P_{0 \rightarrow 1} + P_{1 \rightarrow 0})$$



$$P_{leak} = I_{leak} * V_{DD} \cong V_{DD}(I_{sub} + I_{gate})$$

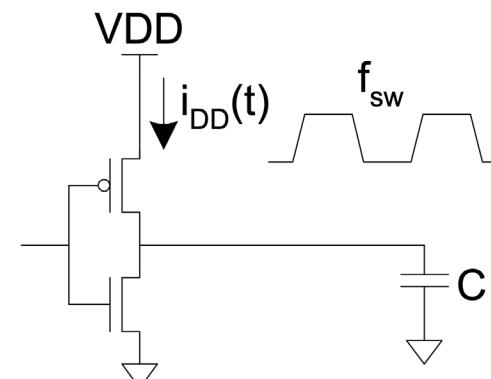
Ecuăția puterii în CMOS

$$P = \alpha f C_L V_{DD}^2 + V_{DD} * I_{peak} (P_{0 \rightarrow 1} + P_{1 \rightarrow 0}) + V_{DD} * I_{peak}$$

- Observăm că dacă frecvența crește va crește și puterea dinamică
- V_{DD} crescut progresiv => descreșterea quadratică a puterii dinamice
- **Puterea dinamică**
- Este necesară când încărcăm/descărcăm capacitatea în condiții de comutare a circuitului
- Un ciclu implică ieșirea 0 sau 1
- Pe frontul crescător al ieșirii sarcina $Q = C * V_{DD}$ este necesară
- Pe frontul descrescător sarcina se duce la GND
- Acestea se repetă de Tf_{sw} ori într-un interval T

Puterea de comutare – Puterea dinamică consumată

$$\begin{aligned} P_{dinam} &= \frac{1}{T} \int_0^T i_{DD}(t) V_{DD} dt = \frac{V_{DD}}{T} \int_0^T i_{DD}(t) dt = \\ &= \frac{V_{DD}}{T} [T f_{sw} C V_{DD}] = C V_{DD}^2 f_{sw} \end{aligned}$$



Reducerea puterii dinamice

$$P_{comutatie} = \alpha C V_{DD}^2 f$$

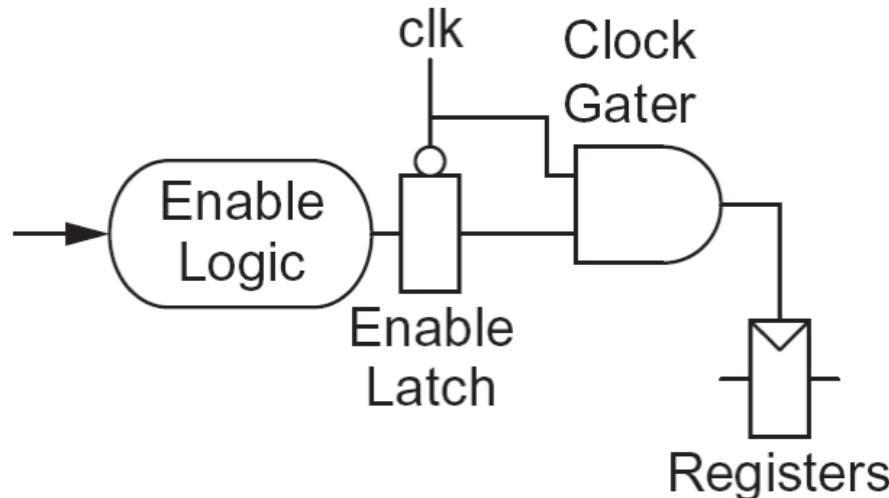
Încercăm să minimizăm:

1. Factorul de activitate
2. Capacitanță
3. Tensiunea de alimentare
4. Frecvență

Poarta ceas

Cea mai bună metodă de reducere a activității este oprirea ceasului registrelor din blocurile nefolosite

- Activitatea ceasului salvată ($\alpha = 1$)
- Eliminăm toate activitățile de comutare în bloc
- Este necesar să determinăm dacă blocul va fi utilizat



Puterea statică

Puterea statică este consumată chiar când chip-ul este inactiv.

Circuite ratio – acele circuite în care $\frac{W}{L}$ a rețelei trage-sus și a rețelei trage jos determină funcționarea circuitului

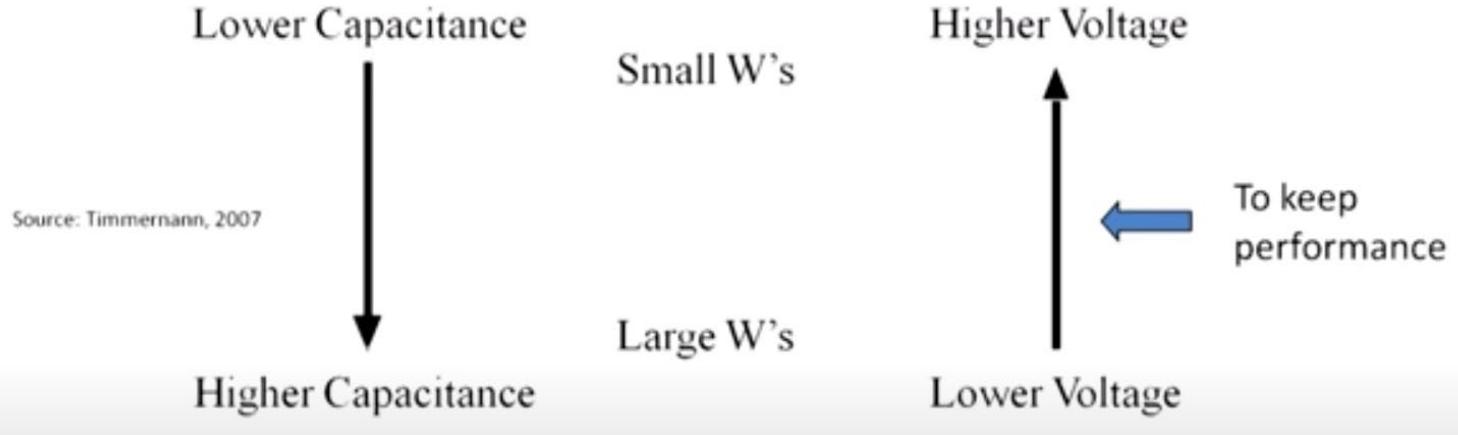
Pentru a o reduce:

- Utilizarea selectivă de circuite ratio
- Utilizarea selectivă de dispozitive cu V_t mică
- Reducerea scurgerilor – dispozitive tip stivă, temperatură scăzută

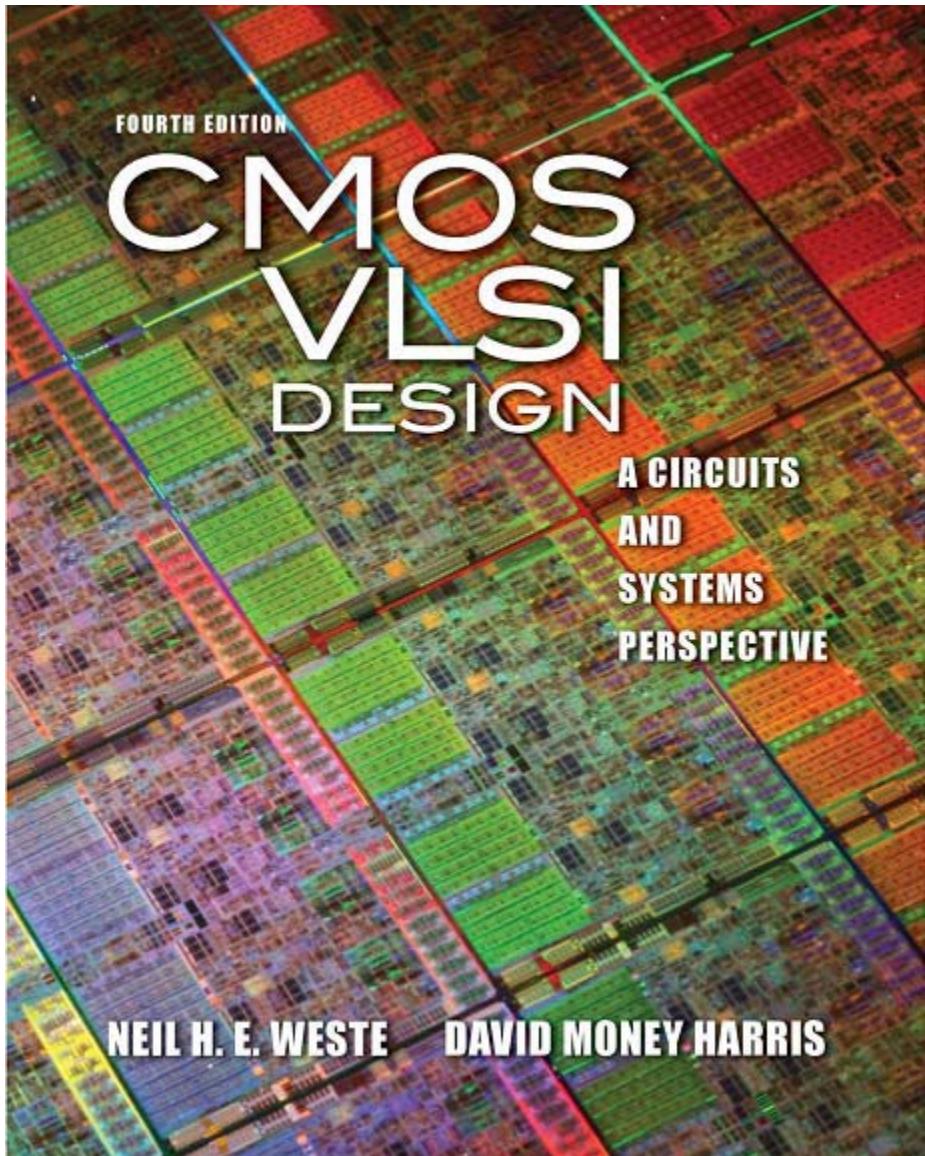
Efectele reducerii puterii dinamice

- Reducerea drastică a lui V_{DD} are un efect cuadratic. Are un efect negativ asupra performanței în special când V_{DD} se apropie de $2V_T$
- Reducerea lui C_L
 - Îmbunătățește performanța
 - Menține tranzistorii la o dimensiune minimă
- Reducerea activității de comutare $f_{0 \rightarrow 1} = P_{0 \rightarrow 1} * f$
 - Funcția de clock rate
 - Impactată de decizii de proiectare ale arhitecturii și logicii

Dimensionarea tranzistorului pentru minimizarea puterii



- Creșterea lui $W \Rightarrow$ creșterea lui C_L
- V_{DD} nu trebuie să scadă sub o anumită valoare pentru a menține performanța



Curs 4:

Modulul 3

Disiparea puterii

Puterea

- Puterea totală este dată de suma dintre:
 - Disiparea puterii dinamice – P_{dim}
 - Disiparea puterii statice - P_{st}
 - Disiparea puterii de scurt-circuit – P_{sc}
 - *Device parameter* în esență înseamnă aspect ratio, adică $\frac{W}{L}$
 - *Circuit parameter* – capacitanță

Ce urmărim ?

- Ce este disiparea puterii ?
- Ce metode putem aplica ca să reducem puterea disipată fără a compromite performanța circuitului ?

Definiții

Energia	Puterea
Se măsoară în Joules sau Kwh	Se măsoară în Watts sau Kw
Abilitatea unui sistem de a face ceva sau de a produce o schimbare	Cantitatea de energie necesară pentru o unitate de timp dată
Nu există activitate fără energie	Puterea medie – cantitatea de energie consumată pe unitatea de timp. Termenul de putere este uzual folosit
	Puterea instantanee – energia consumată dacă unitatea de timp tinde către 0 ($t \rightarrow 0$)
	Puterea electrică instantanee: $P(t) = v(t) * i(t)$

$$\text{Energia electrică} - E = P(t) * t = v(t) * i(t) * t$$

$$\text{Cunoaștem că } P = \frac{E}{t} \Rightarrow E = P * t = v(t) * i(t) * t \text{ q.e.d}$$

Disiparea puterii

- Energia electrică în circuitele CMOS

$$E = P * \text{delay}$$

- Ca să reducem P trebuie să reducem E și delay-ul ($E \downarrow$ și $\text{delay} \downarrow \Rightarrow P \downarrow$)
- Problema este că P și delay-ul nu cresc sau scad împreună
- $P \uparrow \Rightarrow \text{delay} \uparrow$ prin reducerea frecvenței
- $\text{delay} \downarrow \Rightarrow P \downarrow \Rightarrow$ trebuie optimizată energia mai degrabă decât puterea \Rightarrow optimizare individuală pentru P și delay

Disiparea puterii

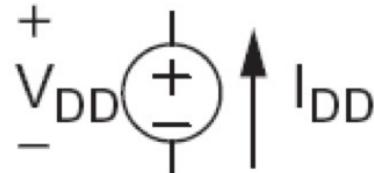
Puterea este condusă de la o sursă de tensiune atașată pinilor V_{DD} ai unui circuit.

Formule utilizate

- Puterea instantanee: $P(t) = i_{DD}(t) * V_{DD}$
- Energia: $E = \int_0^T P(t)dt$
- Puterea medie: $P_{avg} = \frac{E}{T} = \frac{1}{T} \int_0^T P(t)dt$

Puterea în elemente

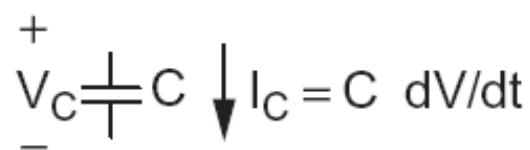
$$P_{VDD}(t) = I_{DD}(t)V_{DD}$$



$$P_R(t) = \frac{V_R^2(t)}{R} = I_R^2(t)R$$



$$\begin{aligned} E_C &= \int_0^\infty I(t)V(t)dt = \int_0^\infty C \frac{dV}{dt} V(t)dt \\ &= C \int_0^{V_C} V(t)dV = \frac{1}{2} CV_C^2 \end{aligned}$$



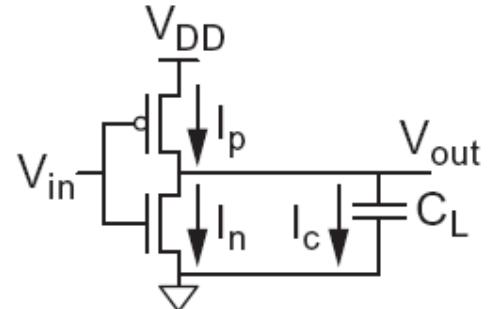
Încărcarea capacitorului

Când ieșirea portii are un front pozitiv

- Energia înmagazinată în capacitor

$$E_C = \frac{1}{2} C_L V_{DD}^2$$

- Dar energia condusă de la sursă este



$$E_{VDD} = \int_0^\infty I(t) V_{DD} dt = \int_0^\infty C_L \frac{dV}{dt} V_{DD} dt = C_L V_{DD} \int_0^{V_{DD}} dV = C_L V_{DD}^2$$

- Jumătate din energia de la V_{DD} este disipată în tranzistorul pMOS ca și căldură, cealaltă jumătate este memorată

Când ieșirea portii are front coborâtor

- Energia din capacitor este transmisă la GND
- Disipare ca și căldură în tranzistorul nMOS

Factorul de activitate

Presupunem frecvența ceasului sistemului = f

Fie $f_{sw} = \alpha * f = f_{0 \rightarrow 1} = P_{0 \rightarrow 1} * f$

unde:

- α = factor de activitate;
- $P_{0 \rightarrow 1}$ este probabilitatea de comutare din 0 în 1 a ieșirii și există tabele speciale

Exp: Dacă presupunem că avem 10 ciclii de ceas și un semnal care comută de 4 ori din 0 în 1 atunci $\alpha = \frac{4}{10}$

Puterea dinamică:

$$P_{\text{switching}} = \alpha C V_{DD}^2 f$$

Probabilitatea de comutare

Poarta	P_Y
AND 2	$P_A P_B$
AND 3	$P_A P_B P_C$
OR 2	$1 - \overline{P}_A \times \overline{P}_B$
NAND 2	$1 - P_A \times P_B$
NOR 2	$\overline{P}_A \times \overline{P}_B$
XOR 2	$P_A \times \overline{P}_B + \overline{P}_A \times P_B$

Estimarea factorului activitate

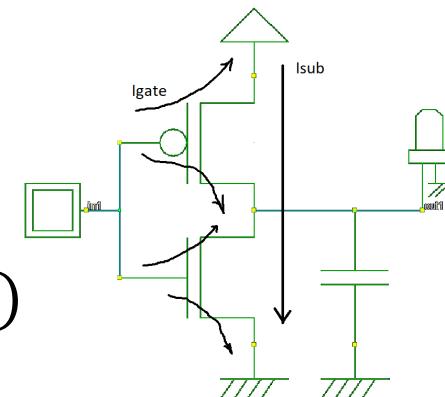
- Dacă semnalul este un ceas $\alpha = 1$
- Dacă semnalul comută odată/ciclu $\alpha = \frac{1}{2}$
- Pentru porțile dinamice care comută de 0 sau 2 ori / ciclu $\alpha = \frac{1}{2}$
- Datele propagate prin ANDs și ORs (sau porți statice) au un factor de activitate mic
Depinde de proiectare, dar tipic $\alpha \approx 0.1$
- $\alpha = 0.1$ vom avea aprox. 90% reducere în P_{sw} fără a altera frecvența => performanța circuitului nu se va diminua.

Puterea disipată în scurt circuit

Când tranzistoarele comută, rețelele nMOS și pMOS pot fi momentan ON la același moment de timp ($V_{in} = \frac{V_{DD}}{2}$)

Apare curentul de “scurt circuit”.

$$P_{sc} = V_{DD} * I_{sc} * (P_{0 \rightarrow 1} + P_{1 \rightarrow 0})$$



$$P_{leak} = I_{leak} * V_{DD} \cong V_{DD}(I_{sub} + I_{gate})$$

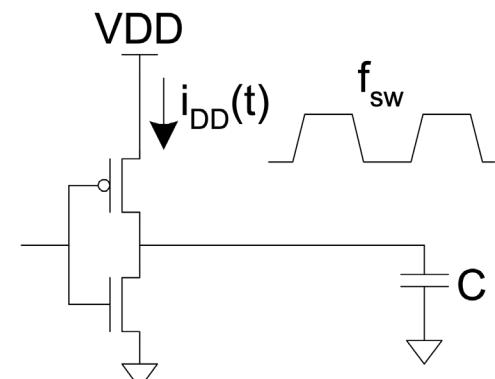
Ecuăția puterii în CMOS

$$P = \alpha f C_L V_{DD}^2 + V_{DD} * I_{peak} (P_{0 \rightarrow 1} + P_{1 \rightarrow 0}) + V_{DD} * I_{peak}$$

- Observăm că dacă frecvența crește va crește și puterea dinamică
- V_{DD} crescut progresiv => descreșterea quadratică a puterii dinamice
- **Puterea dinamică**
- Este necesară când încărcăm/descărcăm capacitatea în condiții de comutare a circuitului
- Un ciclu implică ieșirea 0 sau 1
- Pe frontul crescător al ieșirii sarcina $Q = C * V_{DD}$ este necesară
- Pe frontul descrescător sarcina se duce la GND
- Acestea se repetă de Tf_{sw} ori într-un interval T

Puterea de comutare – Puterea dinamică consumată

$$\begin{aligned} P_{dinam} &= \frac{1}{T} \int_0^T i_{DD}(t) V_{DD} dt = \frac{V_{DD}}{T} \int_0^T i_{DD}(t) dt = \\ &= \frac{V_{DD}}{T} [T f_{sw} C V_{DD}] = C V_{DD}^2 f_{sw} \end{aligned}$$



Reducerea puterii dinamice

$$P_{comutatie} = \alpha C V_{DD}^2 f$$

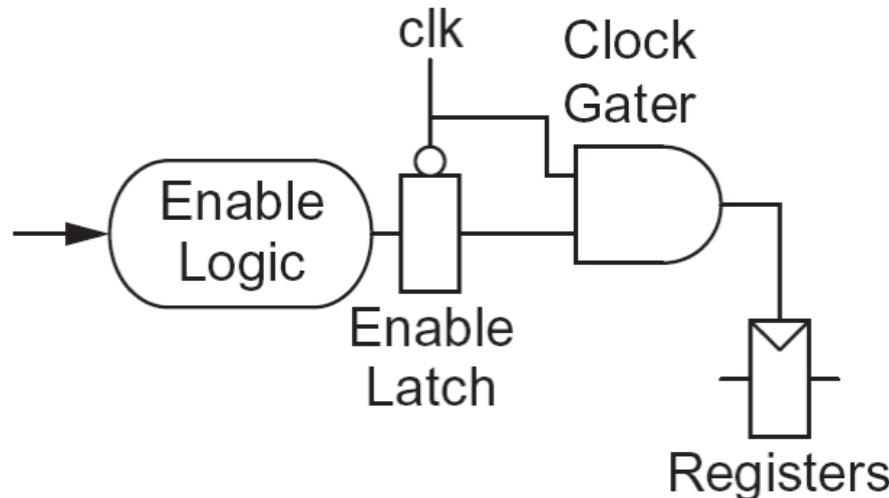
Încercăm să minimizăm:

1. Factorul de activitate
2. Capacitanță
3. Tensiunea de alimentare
4. Frecvență

Poarta ceas

Cea mai bună metodă de reducere a activității este oprirea ceasului registrelor din blocurile nefolosite

- Activitatea ceasului salvată ($\alpha = 1$)
- Eliminăm toate activitățile de comutare în bloc
- Este necesar să determinăm dacă blocul va fi utilizat



Puterea statică

Puterea statică este consumată chiar când chip-ul este inactiv.

Circuite ratio – acele circuite în care $\frac{W}{L}$ a rețelei trage-sus și a rețelei trage jos determină funcționarea circuitului

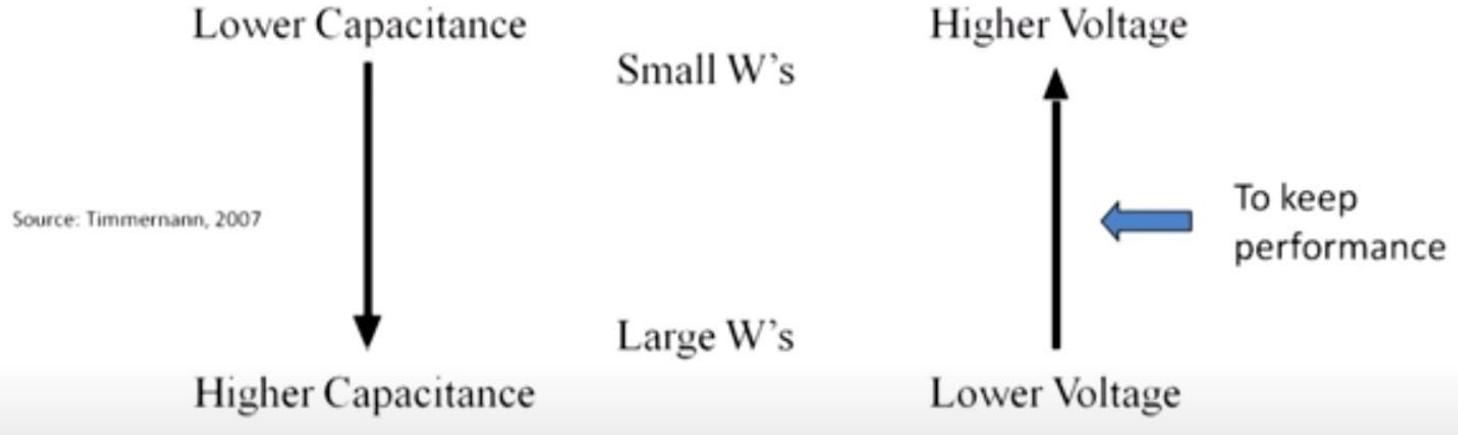
Pentru a o reduce:

- Utilizarea selectivă de circuite ratio
- Utilizarea selectivă de dispozitive cu V_t mică
- Reducerea scurgerilor – dispozitive tip stivă, temperatură scăzută

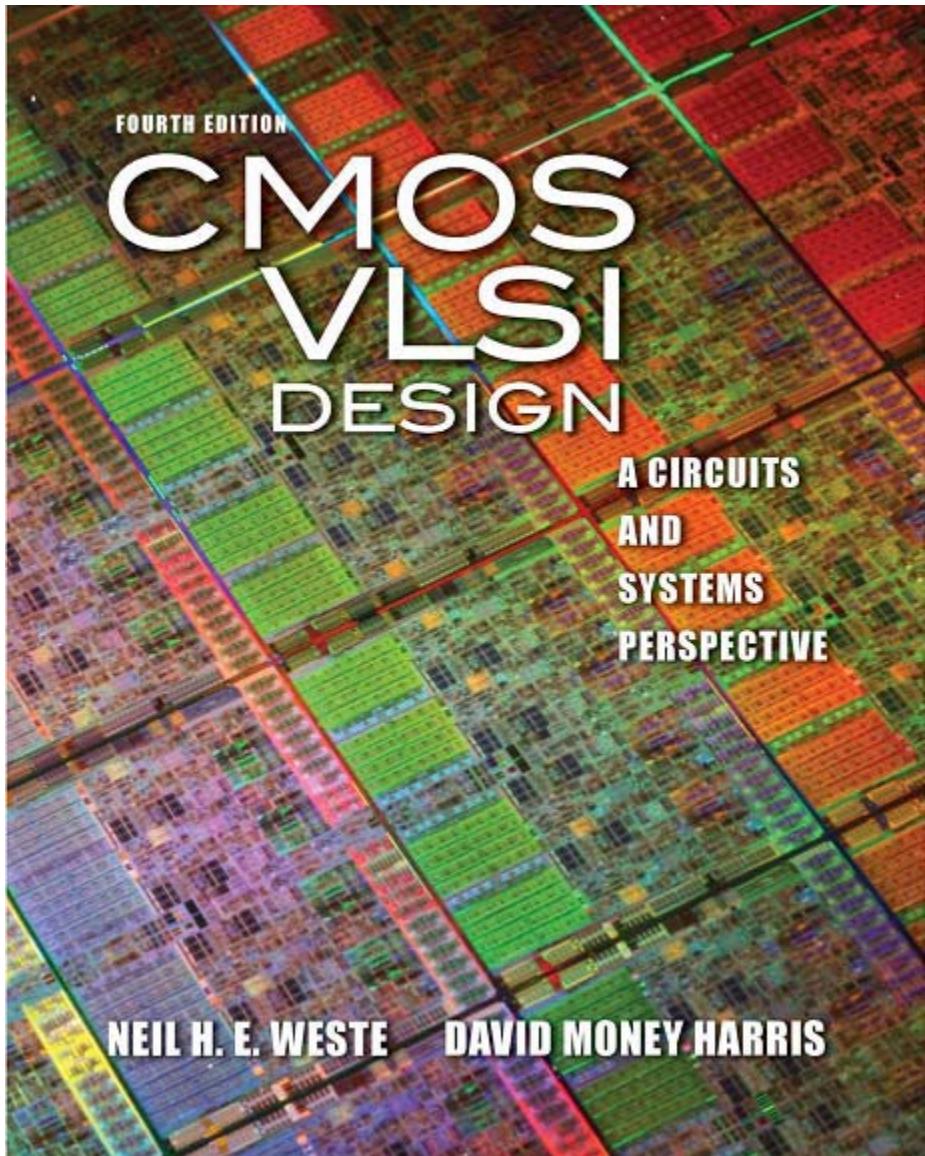
Efectele reducerii puterii dinamice

- Reducerea drastică a lui V_{DD} are un efect cuadratic. Are un efect negativ asupra performanței în special când V_{DD} se apropie de $2V_T$
- Reducerea lui C_L
 - Îmbunătățește performanța
 - Menține tranzistorii la o dimensiune minimă
- Reducerea activității de comutare $f_{0 \rightarrow 1} = P_{0 \rightarrow 1} * f$
 - Funcția de clock rate
 - Impactată de decizii de proiectare ale arhitecturii și logicii

Dimensionarea tranzistorului pentru minimizarea puterii



- Creșterea lui $W \Rightarrow$ creșterea lui C_L
- V_{DD} nu trebuie să scadă sub o anumită valoare pentru a menține performanța



Curs 4:

Modulul 3

Disiparea puterii

Puterea

- Puterea totală este dată de suma dintre:
 - Disiparea puterii dinamice – P_{dim}
 - Disiparea puterii statice - P_{st}
 - Disiparea puterii de scurt-circuit – P_{sc}
 - *Device parameter* în esență înseamnă aspect ratio, adică $\frac{W}{L}$
 - *Circuit parameter* – capacitanță

Ce urmărim ?

- Ce este disiparea puterii ?
- Ce metode putem aplica ca să reducem puterea disipată fără a compromite performanța circuitului ?

Definiții

Energia	Puterea
Se măsoară în Joules sau Kwh	Se măsoară în Watts sau Kw
Abilitatea unui sistem de a face ceva sau de a produce o schimbare	Cantitatea de energie necesară pentru o unitate de timp dată
Nu există activitate fără energie	Puterea medie – cantitatea de energie consumată pe unitatea de timp. Termenul de putere este uzual folosit
	Puterea instantanee – energia consumată dacă unitatea de timp tinde către 0 ($t \rightarrow 0$)
	Puterea electrică instantanee: $P(t) = v(t) * i(t)$

Energia electrică - $E = P(t) * t = v(t) * i(t) * t$

Cunoaștem că $P = \frac{E}{t} \Rightarrow E = P * t = v(t) * i(t) * t$ q.e.d

Disiparea puterii

- Energia electrică în circuitele CMOS

$$E = P * \text{delay}$$

- Ca să reducem P trebuie să reducem E și delay-ul ($E \downarrow$ și $\text{delay} \downarrow \Rightarrow P \downarrow$)
- Problema este că P și delay-ul nu cresc sau scad împreună
- $P \uparrow \Rightarrow \text{delay} \uparrow$ prin reducerea frecvenței
- $\text{delay} \downarrow \Rightarrow P \downarrow \Rightarrow$ trebuie optimizată energia mai degrabă decât puterea \Rightarrow optimizare individuală pentru P și delay

Disiparea puterii

Puterea este condusă de la o sursă de tensiune atașată pinilor V_{DD} ai unui circuit.

Formule utilizate

- Puterea instantanee: $P(t) = i_{DD}(t) * V_{DD}$
- Energia: $E = \int_0^T P(t)dt$
- Puterea medie: $P_{avg} = \frac{E}{T} = \frac{1}{T} \int_0^T P(t)dt$

Puterea în elemente

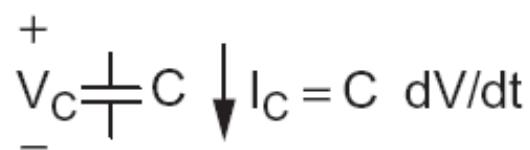
$$P_{VDD}(t) = I_{DD}(t)V_{DD}$$



$$P_R(t) = \frac{V_R^2(t)}{R} = I_R^2(t)R$$



$$\begin{aligned} E_C &= \int_0^\infty I(t)V(t)dt = \int_0^\infty C \frac{dV}{dt} V(t)dt \\ &= C \int_0^{V_C} V(t)dV = \frac{1}{2} CV_C^2 \end{aligned}$$



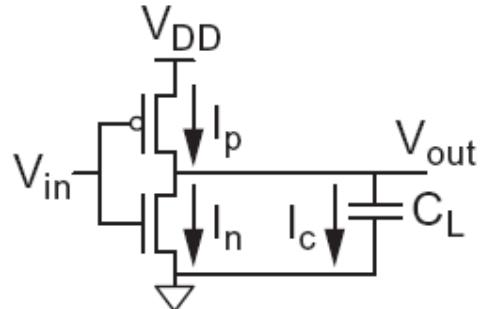
Încărcarea capacitorului

Când ieșirea portii are un front pozitiv

- Energia înmagazinată în capacitor

$$E_C = \frac{1}{2} C_L V_{DD}^2$$

- Dar energia condusă de la sursă este



$$E_{VDD} = \int_0^\infty I(t) V_{DD} dt = \int_0^\infty C_L \frac{dV}{dt} V_{DD} dt = C_L V_{DD} \int_0^{V_{DD}} dV = C_L V_{DD}^2$$

- Jumătate din energia de la V_{DD} este disipată în tranzistorul pMOS ca și căldură, cealaltă jumătate este memorată

Când ieșirea portii are front coborâtor

- Energia din capacitor este transmisă la GND
- Disipare ca și căldură în tranzistorul nMOS

Factorul de activitate

Presupunem frecvența ceasului sistemului = f

Fie $f_{sw} = \alpha * f = f_{0 \rightarrow 1} = P_{0 \rightarrow 1} * f$

unde:

- α = factor de activitate;
- $P_{0 \rightarrow 1}$ este probabilitatea de comutare din 0 în 1 a ieșirii și există tabele speciale

Exp: Dacă presupunem că avem 10 ciclii de ceas și un semnal care comută de 4 ori din 0 în 1 atunci $\alpha = \frac{4}{10}$

Puterea dinamică:

$$P_{\text{switching}} = \alpha C V_{DD}^2 f$$

Probabilitatea de comutare

Poarta	P_Y
AND 2	$P_A P_B$
AND 3	$P_A P_B P_C$
OR 2	$1 - \overline{P}_A \times \overline{P}_B$
NAND 2	$1 - P_A \times P_B$
NOR 2	$\overline{P}_A \times \overline{P}_B$
XOR 2	$P_A \times \overline{P}_B + \overline{P}_A \times P_B$

Estimarea factorului activitate

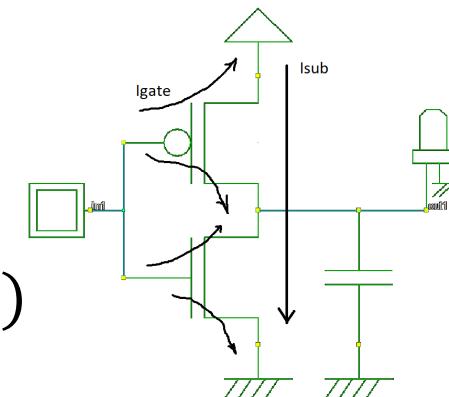
- Dacă semnalul este un ceas $\alpha = 1$
- Dacă semnalul comută odată/ciclu $\alpha = \frac{1}{2}$
- Pentru portile dinamice care comută de 0 sau 2 ori / ciclu $\alpha = \frac{1}{2}$
- Datele propagate prin ANDs și ORs (sau porti statice) au un factor de activitate mic
Depinde de proiectare, dar tipic $\alpha \approx 0.1$
- $\alpha = 0.1$ vom avea aprox. 90% reducere în P_{sw} fără a altera frecvența => performanța circuitului nu se va diminua.

Puterea disipată în scurt circuit

Când tranzistoarele comută, rețelele nMOS și pMOS pot fi momentan ON la același moment de timp ($V_{in} = \frac{V_{DD}}{2}$)

Apare curentul de “scurt circuit”.

$$P_{sc} = V_{DD} * I_{sc} * (P_{0 \rightarrow 1} + P_{1 \rightarrow 0})$$



$$P_{leak} = I_{leak} * V_{DD} \cong V_{DD}(I_{sub} + I_{gate})$$

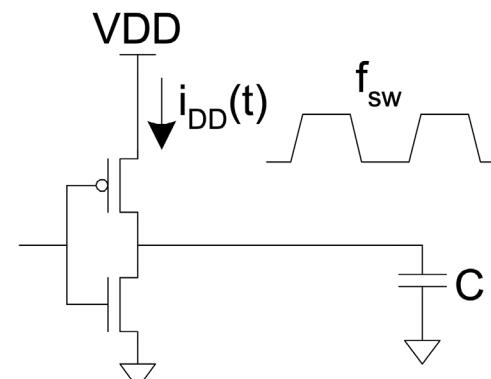
Ecuăția puterii în CMOS

$$P = \alpha f C_L V_{DD}^2 + V_{DD} * I_{peak} (P_{0 \rightarrow 1} + P_{1 \rightarrow 0}) + V_{DD} * I_{peak}$$

- Observăm că dacă frecvența crește va crește și puterea dinamică
- V_{DD} crescut progresiv => descreșterea quadratică a puterii dinamice
- **Puterea dinamică**
- Este necesară când încărcăm/descărcăm capacitatea în condiții de comutare a circuitului
- Un ciclu implică ieșirea 0 sau 1
- Pe frontul crescător al ieșirii sarcina $Q = C * V_{DD}$ este necesară
- Pe frontul descrescător sarcina se duce la GND
- Acestea se repetă de Tf_{sw} ori într-un interval T

Puterea de comutare – Puterea dinamică consumată

$$\begin{aligned} P_{dinam} &= \frac{1}{T} \int_0^T i_{DD}(t) V_{DD} dt = \frac{V_{DD}}{T} \int_0^T i_{DD}(t) dt = \\ &= \frac{V_{DD}}{T} [T f_{sw} C V_{DD}] = C V_{DD}^2 f_{sw} \end{aligned}$$



Reducerea puterii dinamice

$$P_{comutatie} = \alpha C V_{DD}^2 f$$

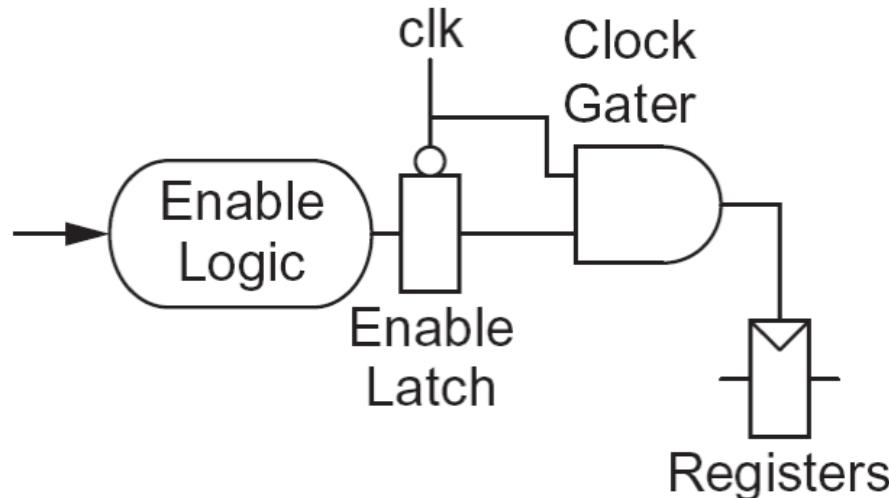
Încercăm să minimizăm:

1. Factorul de activitate
2. Capacitanță
3. Tensiunea de alimentare
4. Frecvență

Poarta ceas

Cea mai bună metodă de reducere a activității este oprirea ceasului registrelor din blocurile nefolosite

- Activitatea ceasului salvată ($\alpha = 1$)
- Eliminăm toate activitățile de comutare în bloc
- Este necesar să determinăm dacă blocul va fi utilizat



Puterea statică

Puterea statică este consumată chiar când chip-ul este inactiv.

Circuite ratio – acele circuite în care $\frac{W}{L}$ a rețelei trage-sus și a rețelei trage jos determină funcționarea circuitului

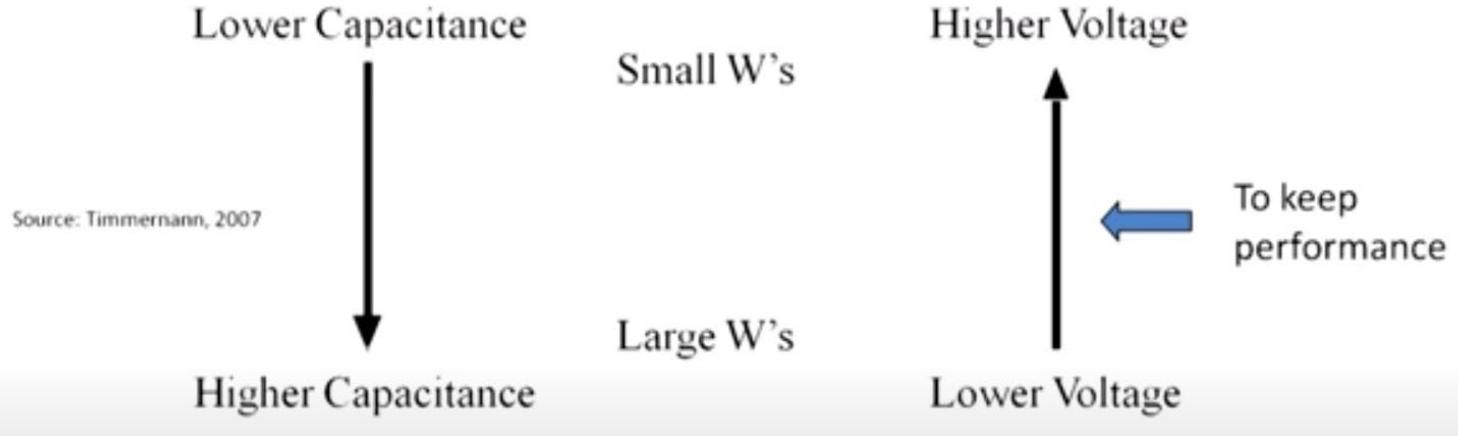
Pentru a o reduce:

- Utilizarea selectivă de circuite ratio
- Utilizarea selectivă de dispozitive cu V_t mică
- Reducerea scurgerilor – dispozitive tip stivă, temperatură scăzută

Efectele reducerii puterii dinamice

- Reducerea drastică a lui V_{DD} are un efect cuadratic. Are un efect negativ asupra performanței în special când V_{DD} se apropie de $2V_T$
- Reducerea lui C_L
 - Îmbunătățește performanța
 - Menține tranzistorii la o dimensiune minimă
- Reducerea activității de comutare $f_{0 \rightarrow 1} = P_{0 \rightarrow 1} * f$
 - Funcția de clock rate
 - Impactată de decizii de proiectare ale arhitecturii și logicii

Dimensionarea tranzistorului pentru minimizarea puterii



- Creșterea lui $W \Rightarrow$ creșterea lui C_L
- V_{DD} nu trebuie să scadă sub o anumită valoare pentru a menține performanța

CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Modulul 4

Proiectarea circuitelor combinaționale

Cuprins

- Introducere
- Logica **statică** și dinamică
- Alegerea PUN (pMOS) și PDN (nMOS)
- Exemplu – NAND cu 2 intrări
- Proprietățile statice ale porților complementare CMOS
- Propagarea întârzierii în porțile complementare CMOS
- Probleme în porțile complementare CMOS
- Tehnici de proiectare pentru circuite cu fan-in mare

Definiții

Circuit combinațional (circuit non-regenerativ) este circuitul a cărui ieșire la orice moment de timp depinde doar de semnalele aplicate pe intrare

Circuitul secvențial (circuit regenerativ) – dacă ieșirea depinde de datele de intrare curente precum și de starea anterioară a intrării

Proiectarea logicii statice

Proiectare statică

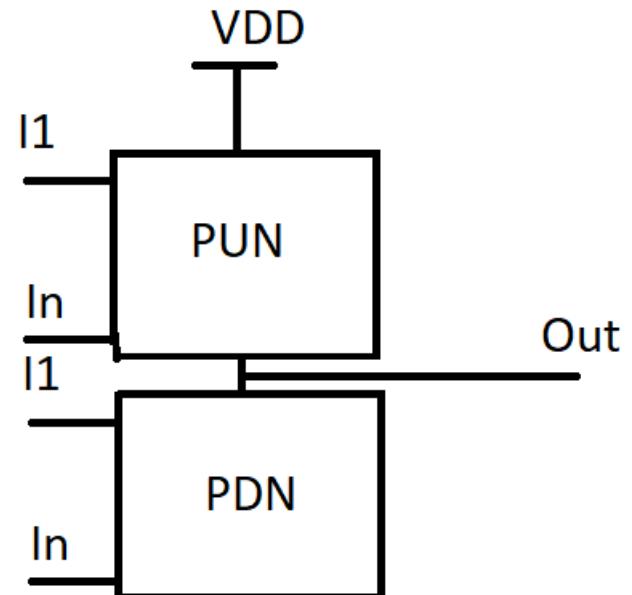
La orice moment de timp fiecare ieșire a unei porti este conectată la V_{DD} sau GND via căii cu cea mai mică rezistență

Logica complementară

Folosește intens logica statică și conține PUN și PDN.

Este parte din proiectarea statică

Orice proiectare care conține pMOS în serie (PUN) va conține și nMOS în paralel (PDN) și viceversa



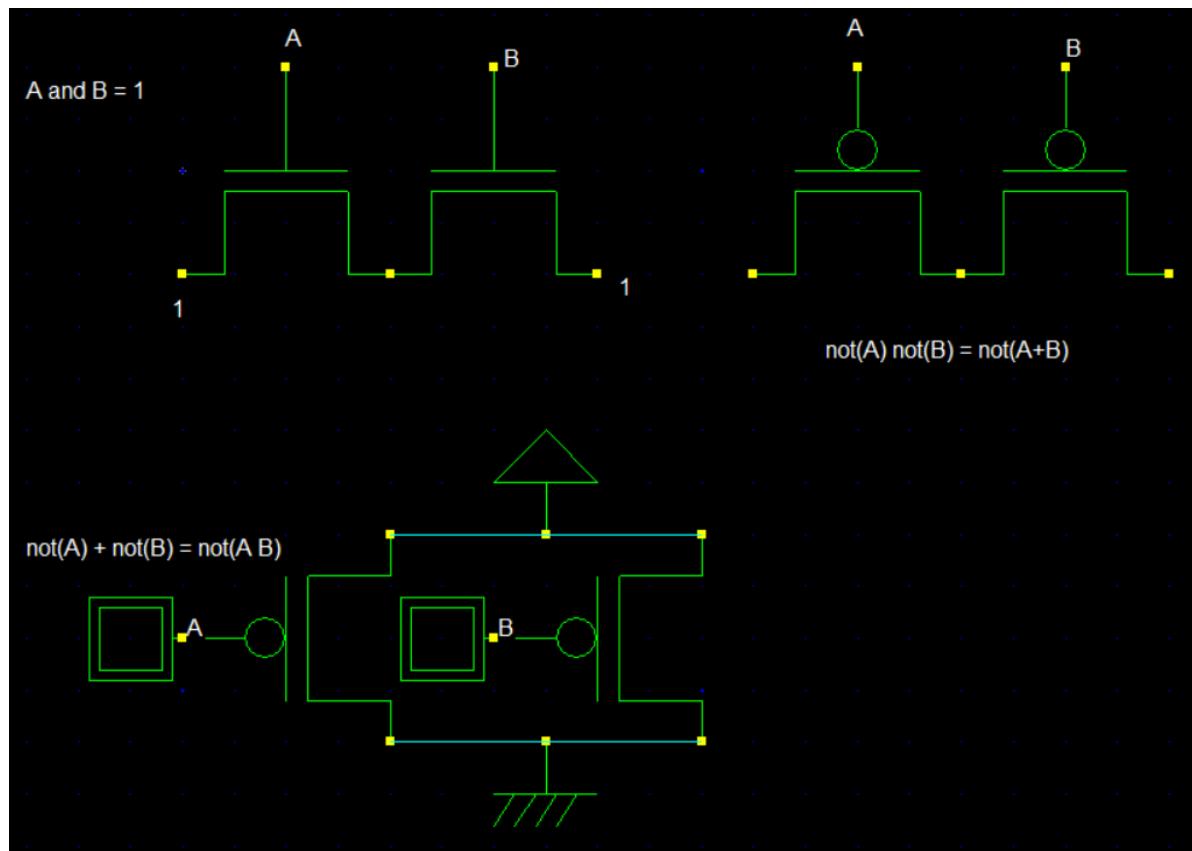
PUN ȘI PDN

- Într-o rețea PUN preferăm folosirea tranzistoarelor de tip pMOS
- Într-o rețea PDN preferăm folosirea tranzistoarelor de tip nMOS
- Este posibil și invers dar în acest caz descărcarea la GND a capacitorului nu va mai fi completă iar încărcarea capacitorului nu va mai fi completă
- nMOS conduce prost pe 1 iar pMOS conduce prost pe 0



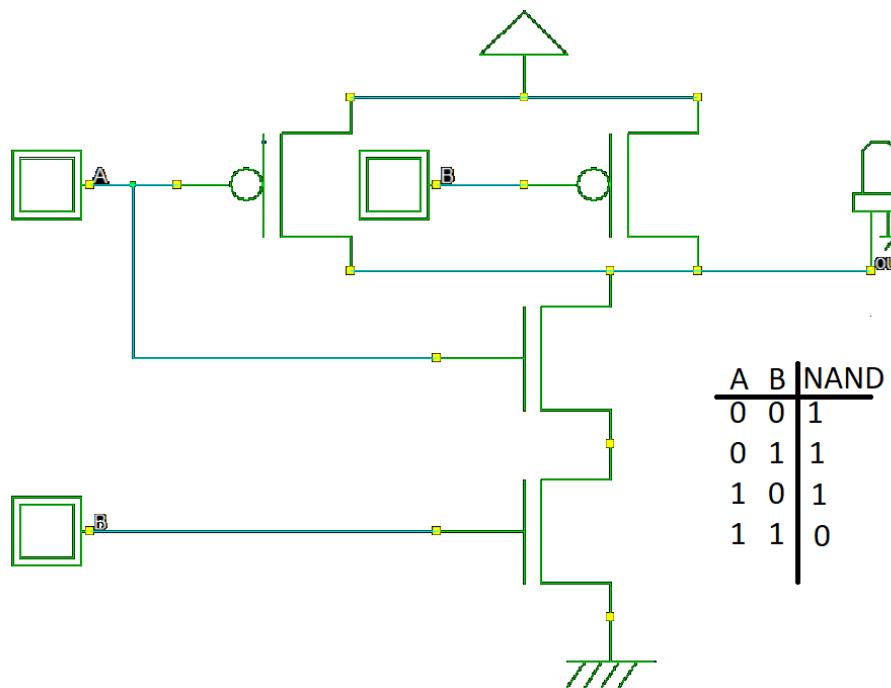
Exemplu

AND 2, NOR 2, NAND 2 utilizând logica statică



NAND 2 În CMOS

Vom folosi tehnica de CMOS complementar



Exemplu

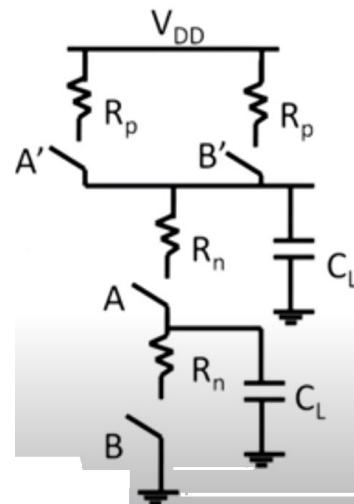
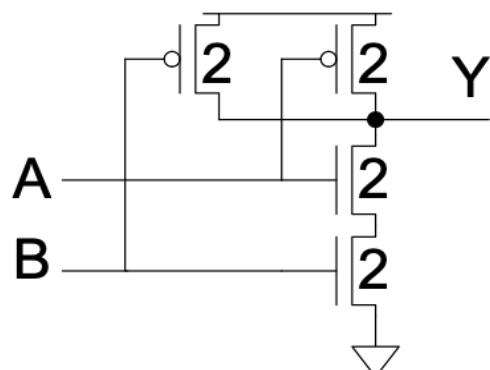
Să se implementeze funcția $F = \overline{D + B(A + C)}$ folosind CMOS complementar

Concluzii

1. Întârzierea este dependentă de intrări
2. Noise margin este dependetă de intrări
3. Dacă PUN este strong atunci noise margin este mare

Timpul de întârziere

- Facem modelul de switching pentru poarta din figură.
- Fiecare tranzistor se va înlocui cu o rezistență echivalentă + un switch. Presupunem că capacitanțele CL sunt egale.

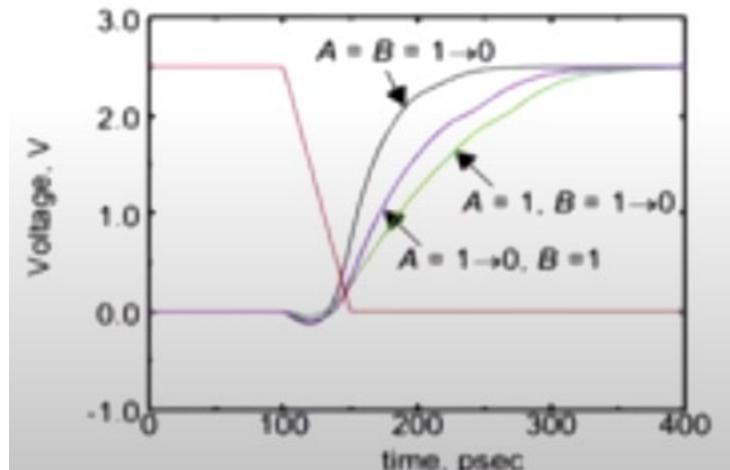


$$\tau = RC = 0.69 * (R_p \text{ or } R_n) * C_L$$

Timpul de întârziere

Când A și B comută din 1 în 0 atunci $R_p = \frac{R_p}{2}$

Scopul este ca $tp_{LH} = tp_{HL}$ acesta presupune ca rezistența în PUN să fie egală cu rezistența în PDN. Aceasta presupune ca parametrul W al tranzistoarelor din PDN să fie **dublu** față de parametrul W din PUN => va crește aria folosită

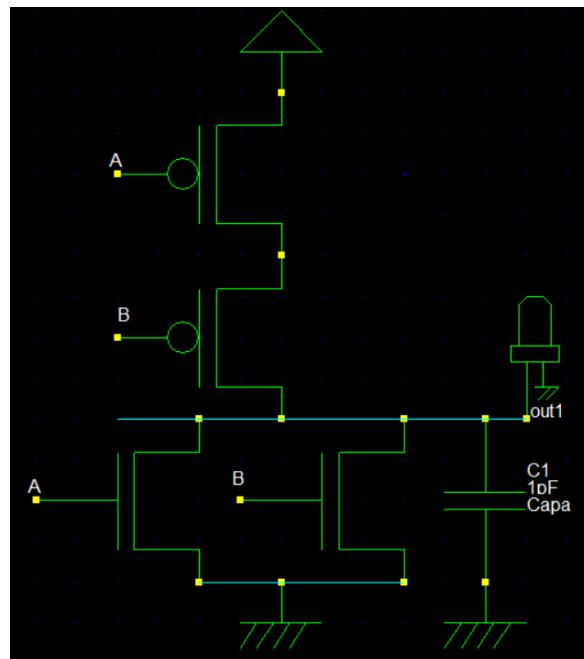


Source: J. M. Rabaey, A. Chandrakasan and B. Nikolic, "Digital Integrated Circuit," PHI Learning Pvt. Ltd., 2011

NOR

În cazul lui NOR pentru a obține $tp_{LH} = tp_{HL}$ va trebui ca parametrul W al tranzistoarelor din PUN să fie dublu, deci vom avea 2W

În cazul lui NAND este exact pe invers

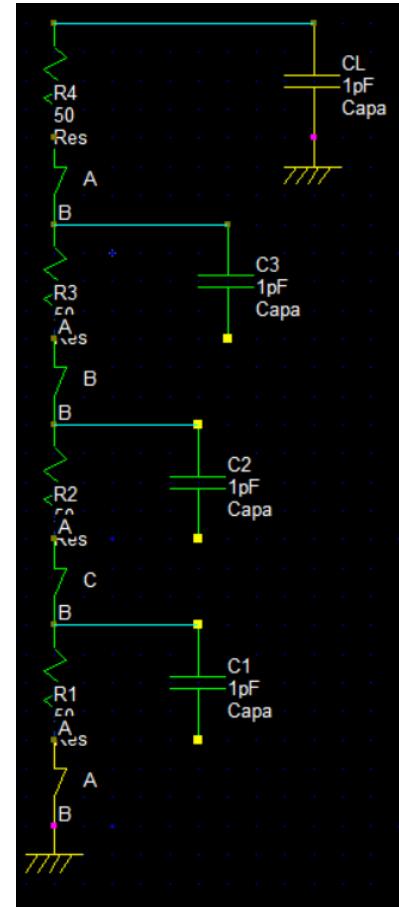


NAND cu 4 intrări

$$\begin{aligned}tp_{HL} &= 0.69[R_1 * C_1 + (R_1 + R_2) * C_2 \\ &+ (R_1 + R_2 + R_3) * C_3 \\ &+ (R_1 + R_2 + R_3 + R_4) * C_L]\end{aligned}$$

Dacă presupunem că toate rezistențele sunt egale atunci

$$\begin{aligned}tp_{HL} &= 0.69 * R_N [C_1 + 2 * C_2 + 3 * C_3 + 4 * C_L]\end{aligned}$$



Probleme ale portilor CMOS Complementare

- Numărul necesar de tranzistoare necesar pentru a implementa porti cu fan-in-ul N este $2N$
- Numărul mare de tranzistoare va crește capacitanța totală a portii
- Întârzierea va deteriora portile care depind de fan-in
- Conexiunea serie a tranzistoarelor în rețeaua PUN sau PDN introduc o întârziere suplimentară
- Întârzierea devine o funcție cuadratică de fan-in

Tehnici de proiectare a portilor cu fan-in mare

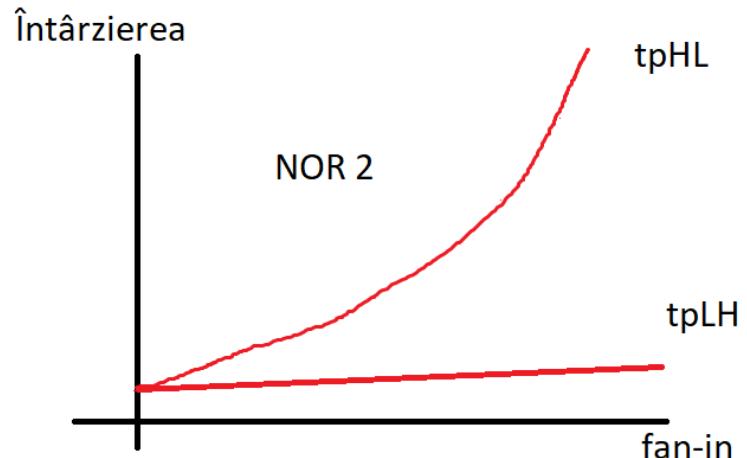
- Pentru a reduce întârzierea și rezistența dispozitivului trebuie să mărim dimensiunea sa
- Creșterea în mărime conduce la creșterea capacităților parazite care adaugă efecte în portile precedente
- Dimensionarea este aplicabilă cu succes când încărcarea este dominantă de fan-out (creșterea fan-out-ului conduce la creșterea capacităței)
- Creșterea lui W va conduce la creșterea capacității din fața lui (efectul de autoîncărcare)
- Dimensionarea tranzistorului progresiv – nu foarte simplu într-un layout (vezi discuția de la NAND cu 4 intrări partea de PDN)

Tehnici de proiectare a porților cu fan-in mare

- **Reordonarea intrărilor**
- Toate semnalele într-un bloc care are o logică complexă pot să nu apară la același moment de timp datorită întârzierilor sau precedenței porților logice
- Semnalul – ultimul dintre toate semnalele de intrare – care are o valoare stabilă se numește **semnal critic**.
- Calea cea mai rapidă care poate fi calculată a unui circuit este numită **cale critică**.
- Punerea tranzistorului de pe calea critică cât mai aproape de ieșire oferă o viteză mărită de operare.

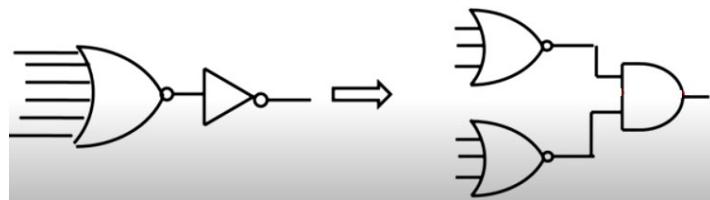
Tehnici de proiectare a porților cu fan-in mare

- **Reordonarea intrărilor**
- Cresterea fan-in-ului conduce la cresterea lui CL dar odată se micșorează R.
- Se poate considera cumva că ele se compensează
- Deci tpHL de care este răspunzător PUN rămâne relativ constant
- În cazul lui tpHL toți tranzistorii PDN trebuie să fie ON => încărcarea lui CL crește, rezistența căii crește => tpHL crește



Tehnici de proiectare a porților cu fan-in mare

- Restructurare logică
- Manipularea ecuației logice pentru a reduce fan-in-ul => reducerea întârzierii porții



CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Modulul 4

Proiectarea circuitelor combinaționale

Scurtă recapitulare CC I

- Orice bloc logic combinațional poate fi construit utilizând blocuri complementare =>

=» PUN – formată ușual cu tranzistoare pMOS – asigură o comutare completă către V_{DD}

PDN – formată ușual cu tranzistoare nMOS – asigură o comutare completă către GND sau V_{SS}

=»

1. O comutare rail-to-rail (o proprietate foarte importantă pentru CMOS)
2. La orice moment de timp nodul de ieșire este întotdeauna conectat la V_{DD} sau GND

=»

noise margin relativ mare

Scurtă recapitulare CC I

- Au fost prezentate diverse tehnici pentru mărirea vitezei sau reducerea întârzierii
 1. reducerea fan-in-ului
 2. În cazul lui NAND2 creșterea fan-in conducea la o creștere exponențială (cuadratică) a lui tp_{HL} cât timp tp_{LH} rămânea relativ constant
- Făcând intrările cât mai simetrice posibil se va reduce numărul de glitch-uri => reducerea disipării puterii.
- Dacă dorim să facem mai rapid un circuit trebuie crescut raportul $\frac{W}{L}$ al tranzistorului celui mai depărtat de ieșire. Creșterea acestui raport conduce la o creștere mare a lui tp_{HL} => menținerea semnalului critic cât mai aproape de ieșire => obținerea celei mai mici întârzieri posibile

Cuprins

- Puterea consumată în porțile logice CMOS
- Tranzitii dinamice sau glitch-uri
- Tehnici de proiectare pentru reducerea activitatii de comutare
- Logica ratională
- Pseudo inversorul nMOS
- Cum putem construi o încărcare mai bună ?
- Consideratii de proiectare

Puterea consumată în porțile CMOS logice

Disiparea puterii dinamice este $P = \alpha_{0 \rightarrow 1} C_L V_{DD}^2 f$ unde

$\alpha_{0 \rightarrow 1}$ este activitatea de comutare care are 2 componente

- 1. Componența statică – funcție de topologia rețelei**
- 2. Componența dinamică – funcție de comportarea în timp a circuitului (glitches)**

$$\alpha_{0 \rightarrow 1} = p_0 * p_1 = p_0(1 - p_0)$$

Dacă considerăm un circuit cu N intrări atunci

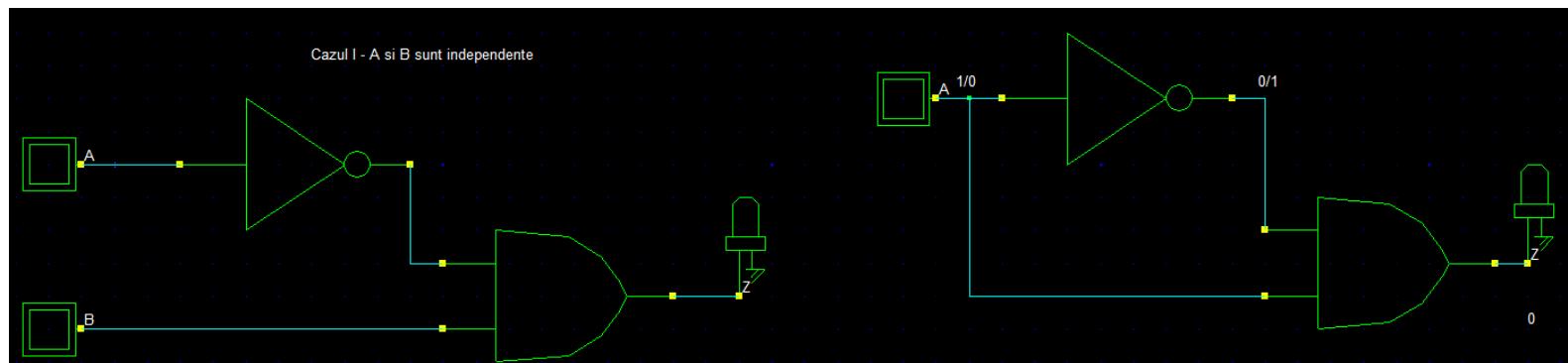
$$\alpha_{0 \rightarrow 1} = \frac{N_0}{2^N} * \frac{N_1}{2^N} = \frac{N_0(2^N - N_0)}{2^{2N}}$$

Probabilitatea condiționată

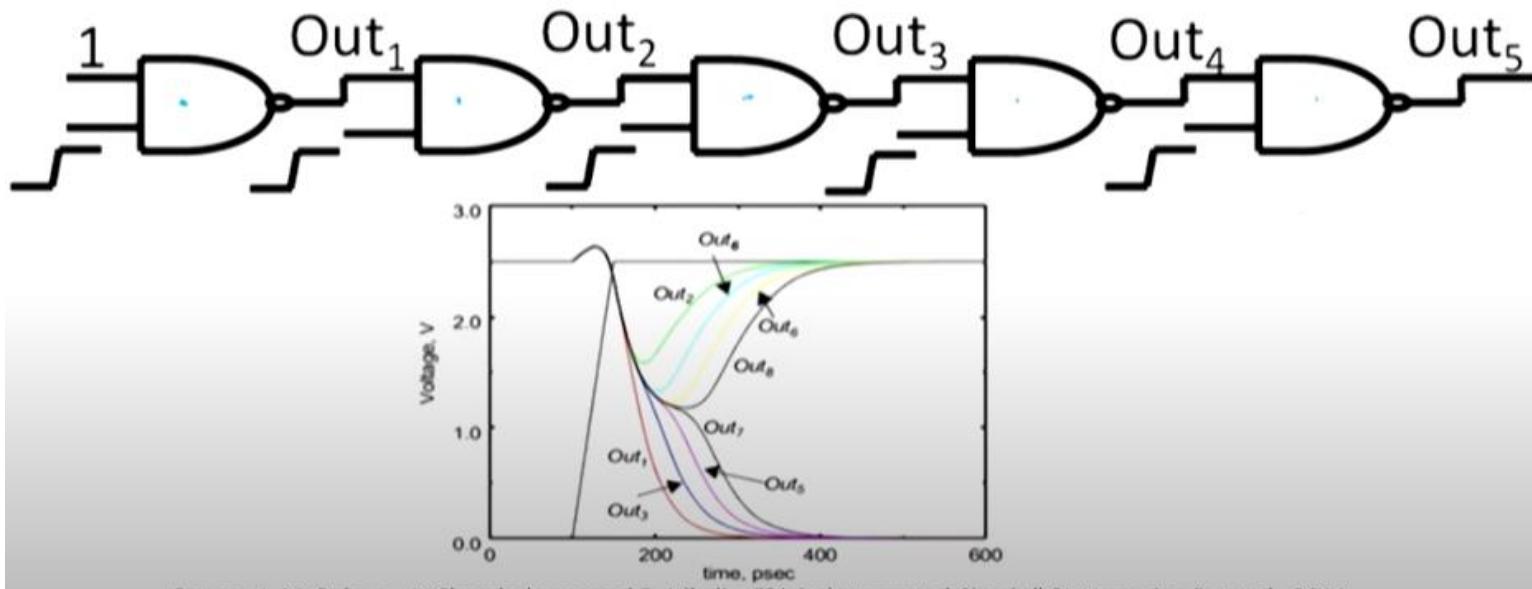
Cazul 1 – A și B sunt independente. $p_{0 \rightarrow 1} = \frac{3}{16}$

Cazul 2 – A și B nu sunt independente \Rightarrow probabilitate condițională

$$p_z = p(C = 1 | B = 1) * p(B = 1)$$



Glitch-uri sau tranziții dinamice

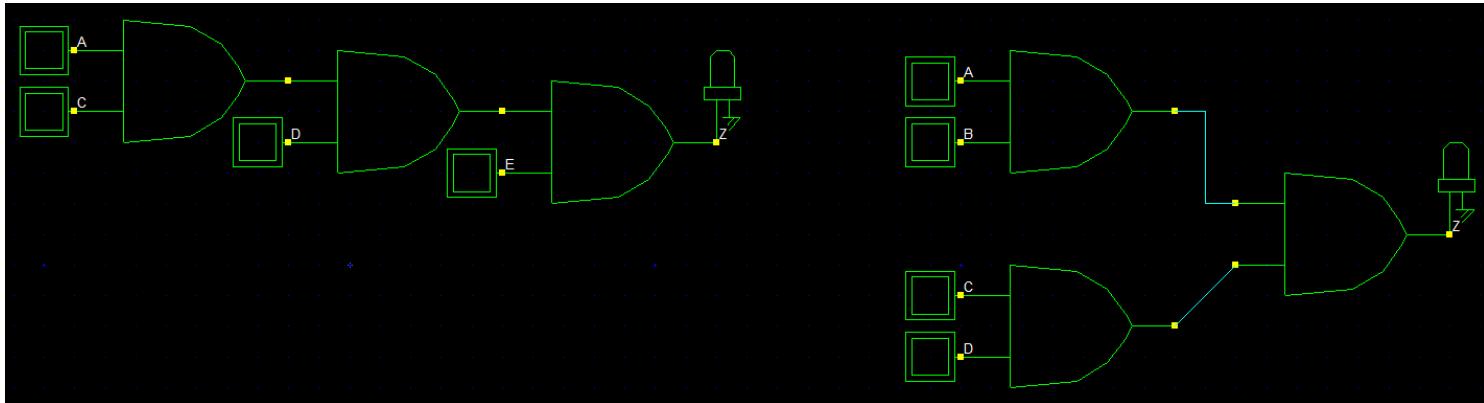


Source: J. M. Rabaey, A. Chandrakasan and B. Nikolic, "Digital Integrated Circuit," PHI Learning Pvt. Ltd., 2011.

Toate **ieșirile pare** întâi vor avea o cădere către minim ca apoi să aibă o creștere către 1. Toate **ieșirile impare** vor merge către 0.

Tehnici de proiectare pentru reducerea lui α

1. Restructurarea logicii



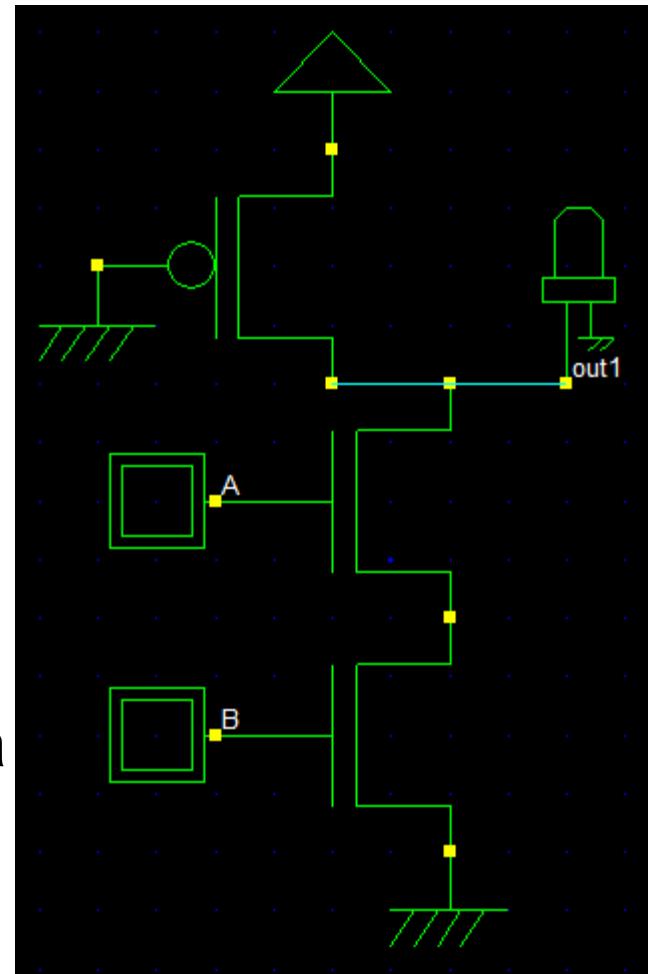
2. Reordonarea intrărilor – A are o probabilitate de 0.5 de a fi 1, B are o probabilitate 0.2 iar C are o probabilitate de 0.1

$$\alpha_{0 \rightarrow 1} = 0.09$$

$$\alpha_{0 \rightarrow 1} = 0.0196$$

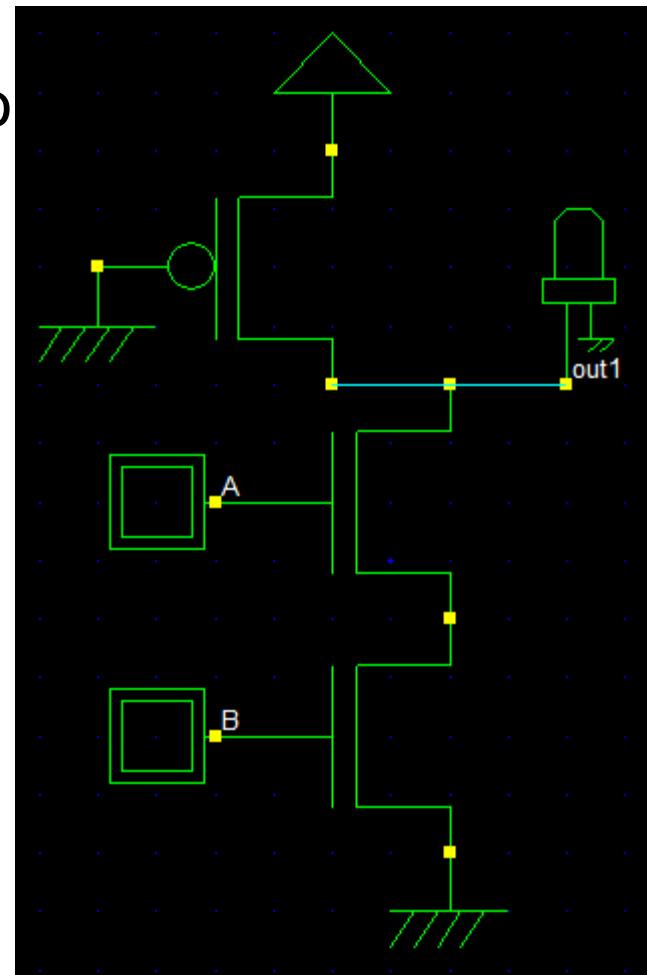
Raportul logic

- Se cunoste de până acum că raportul $\frac{W}{L}$ este responsabil de timpii tp_{LH} și tp_{HL}
- Am discutat deja că dacă avem 2W pentru nMOS față de pMOS atunci $tp_{LH} = tp_{HL}$
- Raportul logic presupune ca $\frac{W}{L}$ să nu influențeze funcționalitatea circuitului

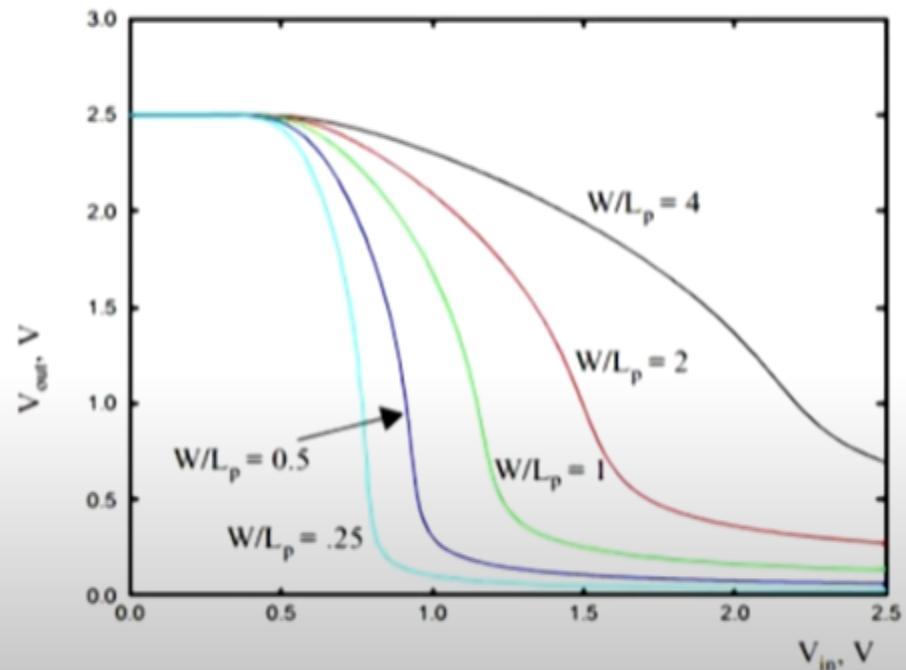
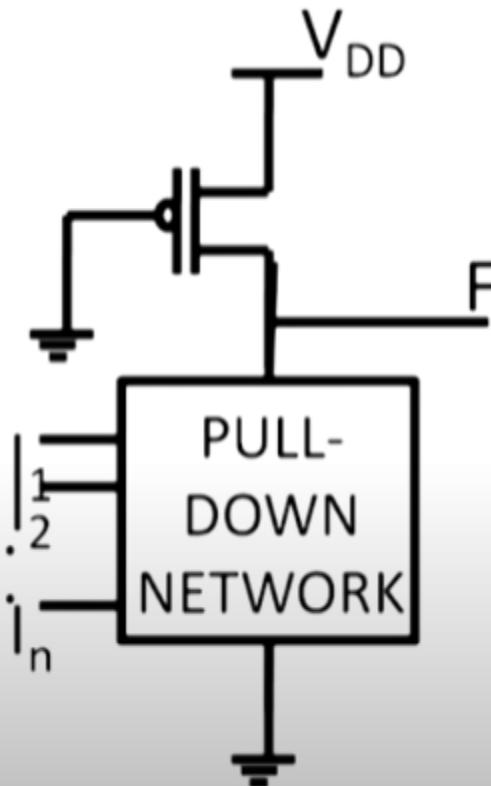


Raportul logic

- V_{OH} este V_{DD} dar V_{OL} nu este zero deci vom avea disipare de putere statică
- Se reduce noise-margin
- Tensiunea de ieșire depinde de dimensiunile tranzistoarelor.



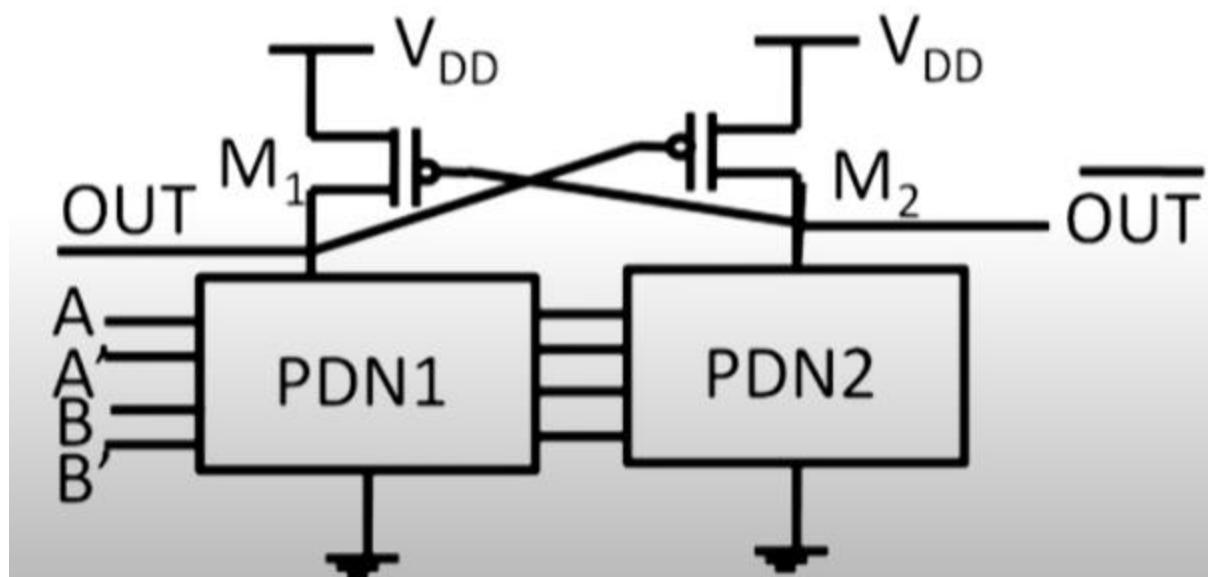
Pseudo inverzor CMOS



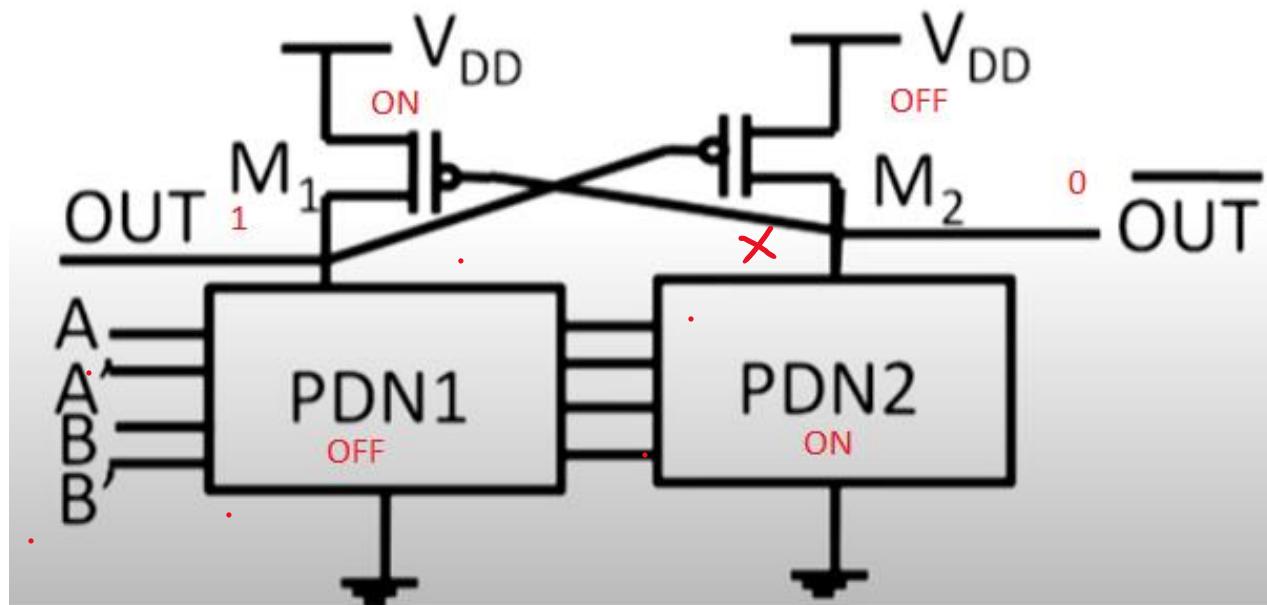
Source: J. M. Rabaey, A. Chandrakasan and B. Nikolic, "Digital Integrated Circuit," PHI Learning Pvt. Ltd., 2011.

Un load mai bun

- Necesar pentru a elimina complet disiparea puterii statice – comutare rail-to-rail
- DCVSL (Differential Cascode Voltage Switch Logic)



Un load mai bun



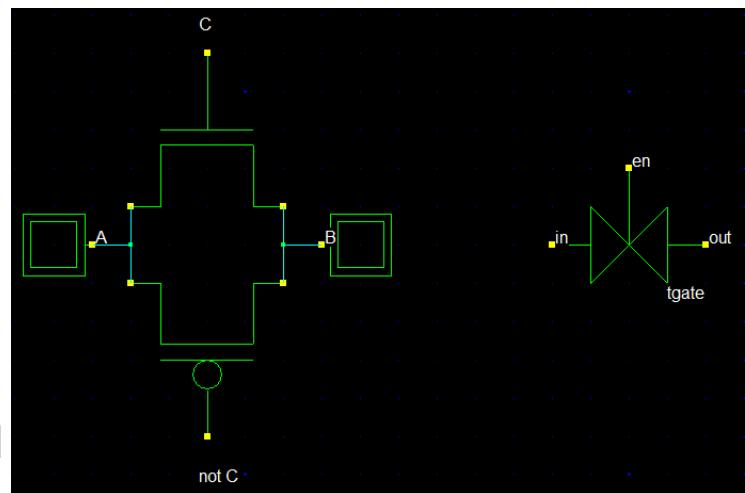
Avem ieșirea și ieșirea negată, deci nu mai este necesar să mai adăugăm un extra inversor

t_{PLH} depinde de $\frac{W}{L}$ ale lui M₁ și M₂

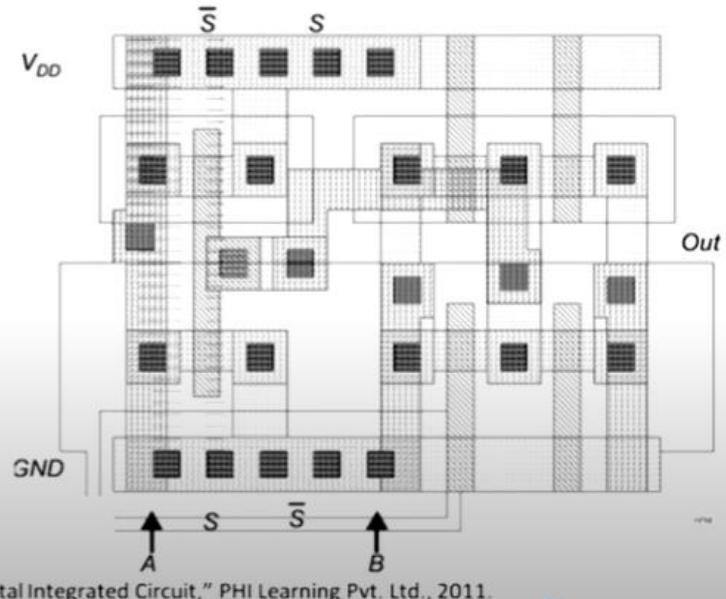
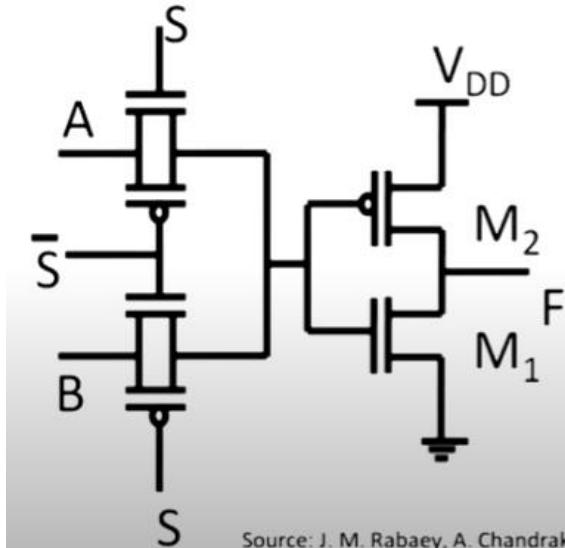
t_{PHL} depinde de $\frac{W}{L}$ pentru tranzistoarele nMOS

TGL

- TGL – Transmission Gate Logic
- Conduce bine atât pe 0 cât și pe 1
- nMOS și pMOS sunt conectate în paralel
- Presupunem $A = 1$ iar $C = 1$. $\bar{C} = 0 \Rightarrow B = 1$
- TGL ne ajută să transmitem un semnal fără a avea o degradare a semnalului.
- Este folosită în implementarea eficientă a portilor complexe
- Este foarte important ca C și \bar{C} să apară exact la același moment de timp. Ele sunt semnale complementare nu avem voie să avem suprapunere



Multiplexor utilizând TGL



Source: J. M. Rabaey, A. Chandrakasan and B. Nikolic, "Digital Integrated Circuit," PHI Learning Pvt. Ltd., 2011.

Numărul minim de tranzistori pentru un MUX 2:1 este 6

TGL nu este un comutator ideal – există o serie de rezistențe asociate cu el

CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Modulul 4

Proiectarea circuitelor combinaționale

Scurtă recapitulare CC I

- Orice bloc logic combinațional poate fi construit utilizând blocuri complementare =>

=» PUN – formată ușual cu tranzistoare pMOS – asigură o comutare completă către V_{DD}

PDN – formată ușual cu tranzistoare nMOS – asigură o comutare completă către GND sau V_{SS}

=»

1. O comutare rail-to-rail (o proprietate foarte importantă pentru CMOS)
2. La orice moment de timp nodul de ieșire este întotdeauna conectat la V_{DD} sau GND

=»

noise margin relativ mare

Scurtă recapitulare CC I

- Au fost prezentate diverse tehnici pentru mărirea vitezei sau reducerea întârzierii
 1. reducerea fan-in-ului
 2. În cazul lui NAND2 creșterea fan-in conducea la o creștere exponențială (cuadratică) a lui tp_{HL} cât timp tp_{LH} rămânea relativ constant
- Făcând intrările cât mai simetrice posibil se va reduce numărul de glitch-uri => reducerea disipării puterii.
- Dacă dorim să facem mai rapid un circuit trebuie crescut raportul $\frac{W}{L}$ al tranzistorului celui mai depărtat de ieșire. Creșterea acestui raport conduce la o creștere mare a lui tp_{HL} => menținerea semnalului critic cât mai aproape de ieșire => obținerea celei mai mici întârzieri posibile

Cuprins

- Puterea consumată în porțile logice CMOS
- Tranzitii dinamice sau glitch-uri
- Tehnici de proiectare pentru reducerea activitatii de comutare
- Logica ratională
- Pseudo inversorul nMOS
- Cum putem construi o încărcare mai bună ?
- Consideratii de proiectare

Puterea consumată în porțile CMOS logice

Disiparea puterii dinamice este $P = \alpha_{0 \rightarrow 1} C_L V_{DD}^2 f$ unde

$\alpha_{0 \rightarrow 1}$ este activitatea de comutare care are 2 componente

- 1. Componența statică – funcție de topologia rețelei**
- 2. Componența dinamică – funcție de comportarea în timp a circuitului (glitches)**

$$\alpha_{0 \rightarrow 1} = p_0 * p_1 = p_0(1 - p_0)$$

Dacă considerăm un circuit cu N intrări atunci

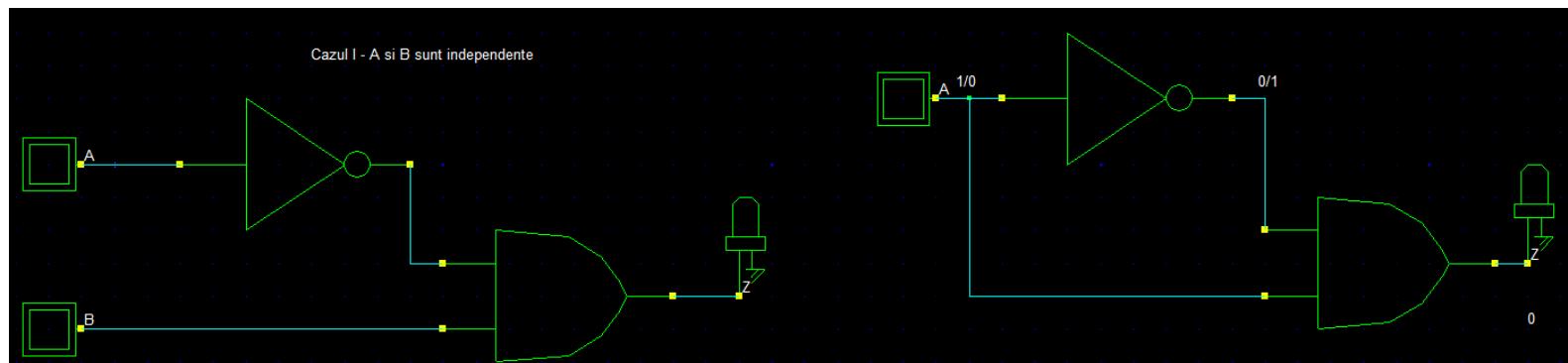
$$\alpha_{0 \rightarrow 1} = \frac{N_0}{2^N} * \frac{N_1}{2^N} = \frac{N_0(2^N - N_0)}{2^{2N}}$$

Probabilitatea condiționată

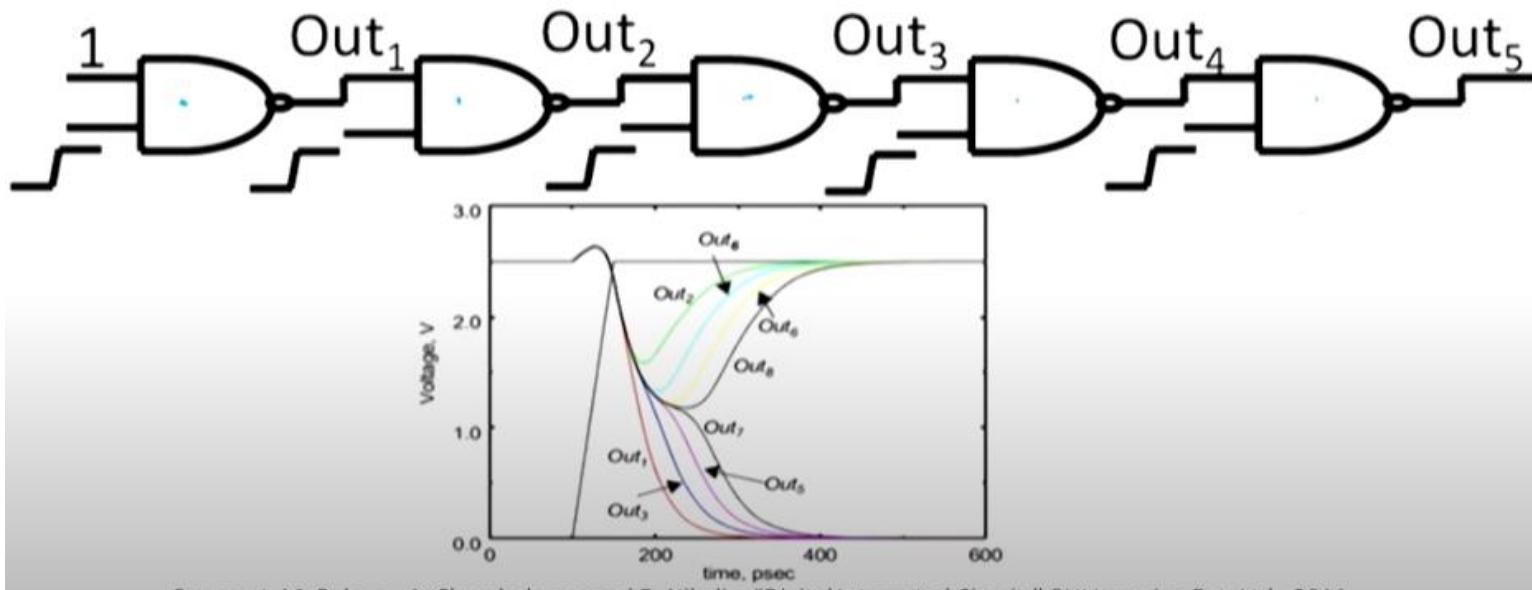
Cazul 1 – A și B sunt independente. $p_{0 \rightarrow 1} = \frac{3}{16}$

Cazul 2 – A și B nu sunt independente \Rightarrow probabilitate condițională

$$p_z = p(C = 1 | B = 1) * p(B = 1)$$



Glitch-uri sau tranziții dinamice

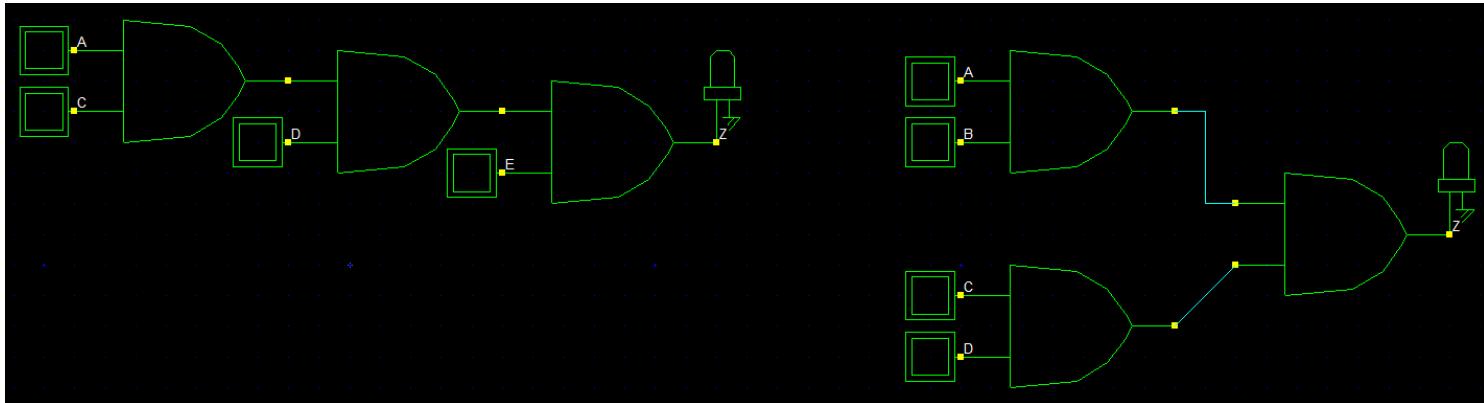


Source: J. M. Rabaey, A. Chandrakasan and B. Nikolic, "Digital Integrated Circuit," PHI Learning Pvt. Ltd., 2011.

Toate **ieșirile pare** întâi vor avea o cădere către minim ca apoi să aibă o creștere către 1. Toate **ieșirile impare** vor merge către 0.

Tehnici de proiectare pentru reducerea lui α

1. Restructurarea logicii



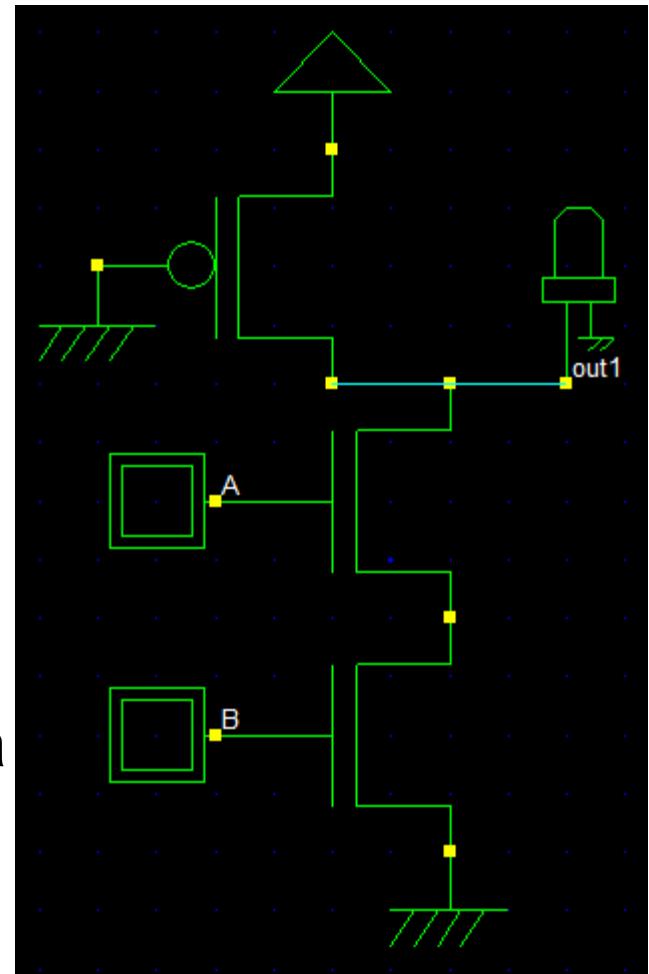
2. Reordonarea intrărilor – A are o probabilitate de 0.5 de a fi 1, B are o probabilitate 0.2 iar C are o probabilitate de 0.1

$$\alpha_{0 \rightarrow 1} = 0.09$$

$$\alpha_{0 \rightarrow 1} = 0.0196$$

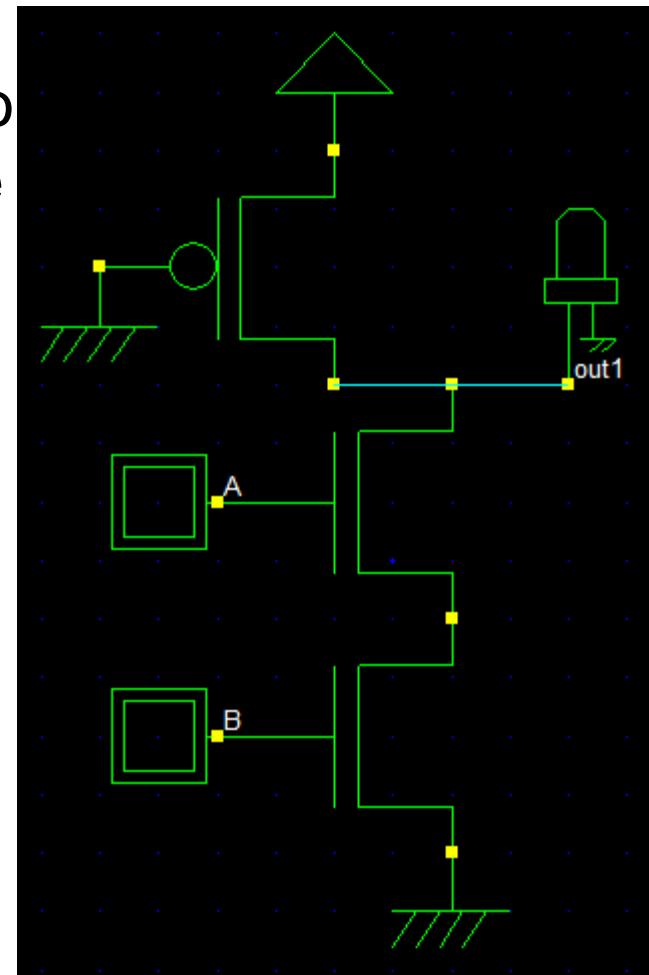
Raportul logic

- Se cunoste de până acum că raportul $\frac{W}{L}$ este responsabil de timpii tp_{LH} și tp_{HL}
- Am discutat deja că dacă avem 2W pentru nMOS față de pMOS atunci $tp_{LH} = tp_{HL}$
- Raportul logic presupune ca $\frac{W}{L}$ să nu influențeze funcționalitatea circuitului

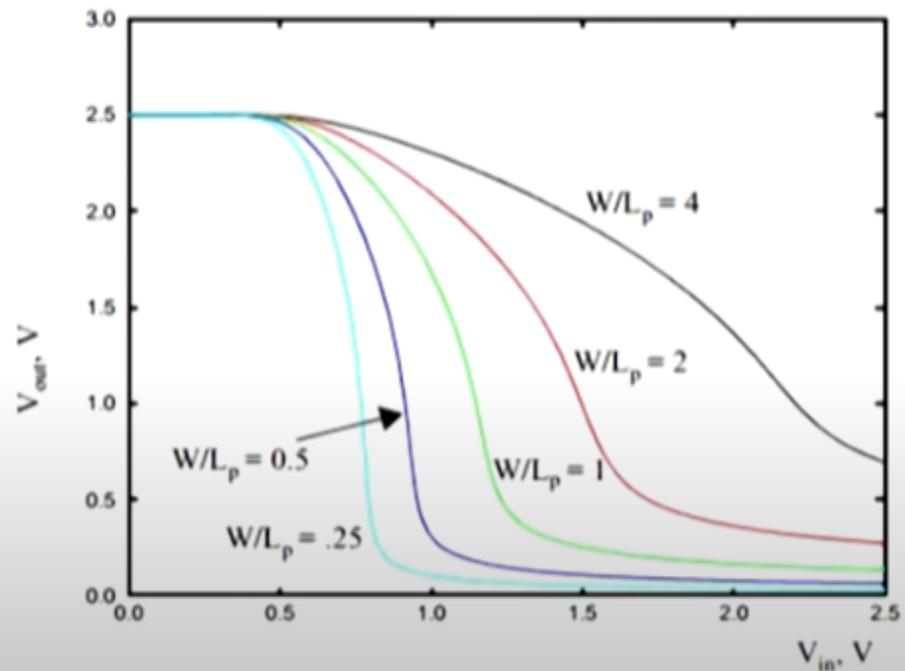
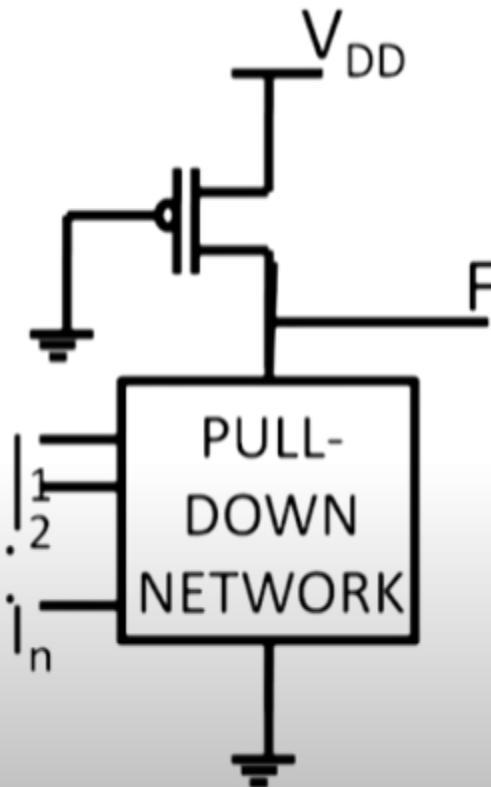


Raportul logic

- V_{OH} este V_{DD} dar V_{OL} nu este zero deci vom avea disipare de putere statică
- Se reduce noise-margin
- Tensiunea de ieșire depinde de dimensiunile tranzistoarelor.



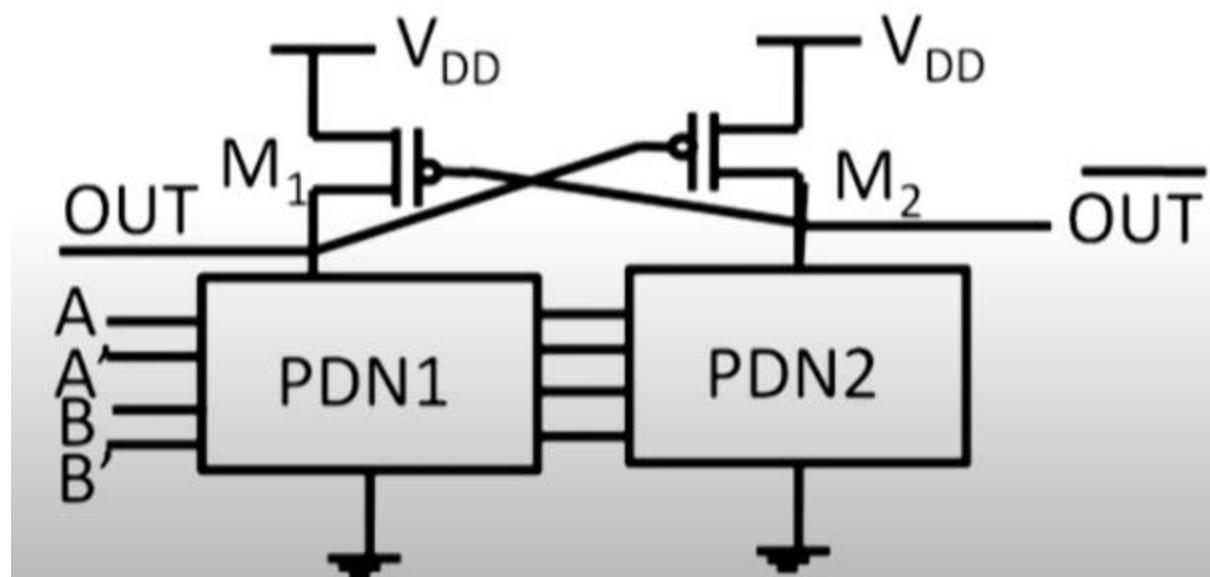
Pseudo inverzor CMOS



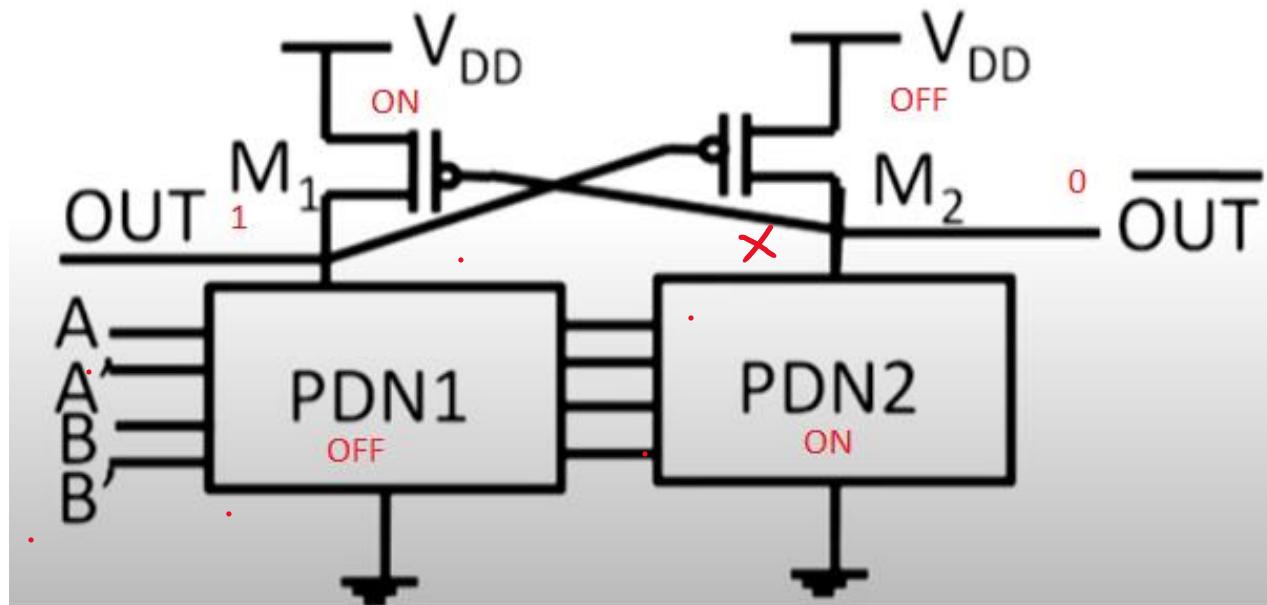
Source: J. M. Rabaey, A. Chandrakasan and B. Nikolic, "Digital Integrated Circuit," PHI Learning Pvt. Ltd., 2011.

Un load mai bun

- Necesar pentru a elimina complet disiparea puterii statice – comutare rail-to-rail
- DCVSL (Differential Cascode Voltage Switch Logic)



Un load mai bun



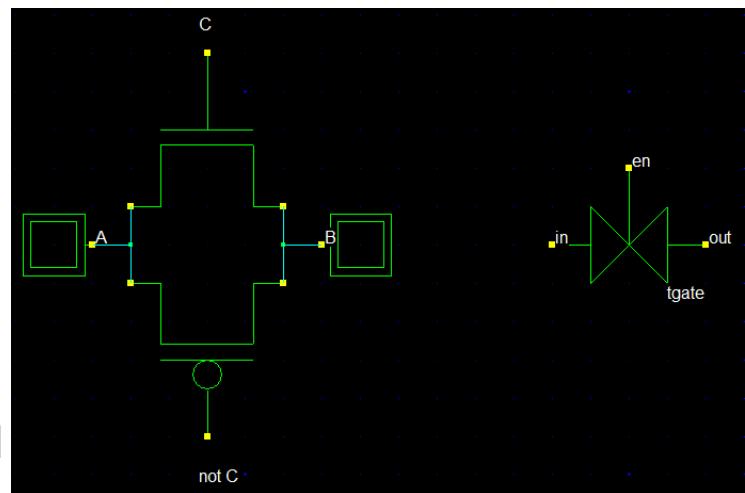
Avem ieșirea și ieșirea negată, deci nu mai este necesar să mai adăugăm un extra inversor

t_{PLH} depinde de $\frac{W}{L}$ ale lui M₁ și M₂

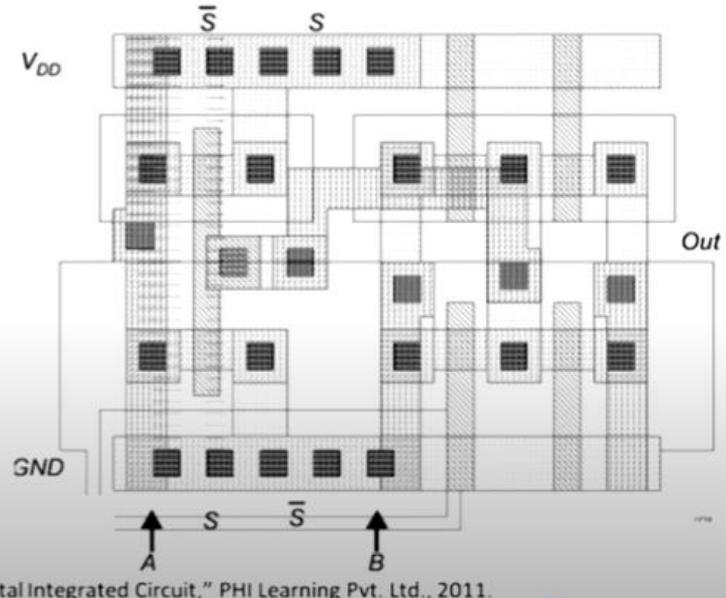
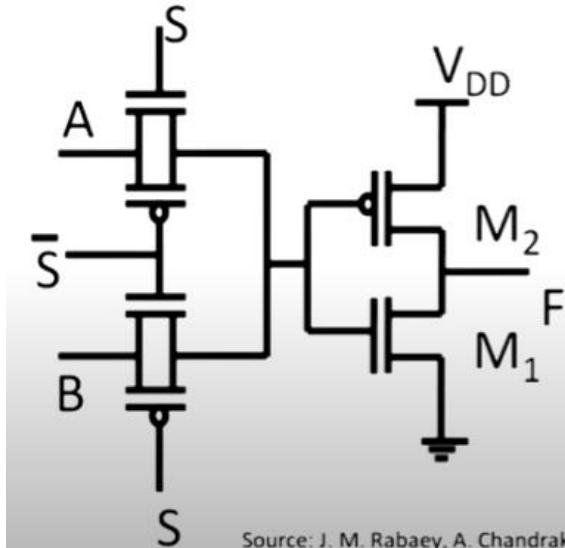
t_{PHL} depinde de $\frac{W}{L}$ pentru tranzistoarele nMOS

TGL

- TGL – Transmission Gate Logic
- Conduce bine atât pe 0 cât și pe 1
- nMOS și pMOS sunt conectate în paralel
- Presupunem $A = 1$ iar $C = 1$. $\bar{C} = 0 \Rightarrow B = 1$
- TGL ne ajută să transmitem un semnal fără a avea o degradare a semnalului.
- Este folosită în implementarea eficientă a portilor complexe
- Este foarte important ca C și \bar{C} să apară exact la același moment de timp. Ele sunt semnale complementare nu avem voie să avem suprapunere



Multiplexor utilizând TGL



Source: J. M. Rabaey, A. Chandrakasan and B. Nikolic, "Digital Integrated Circuit," PHI Learning Pvt. Ltd., 2011.

Numărul minim de tranzistori pentru un MUX 2:1 este 6

TGL nu este un comutator ideal – există o serie de rezistențe asociate cu el

CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Modulul 5

Metoda efortului logic

Efortul logic

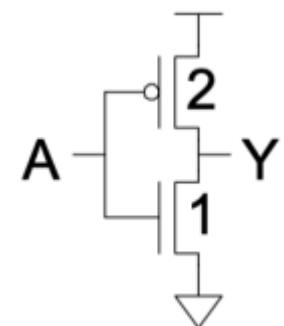
- Introducere
- Noțiuni de bază
- Calculul efortului logic pentru porțile logice
- Rețele logice cu mai multe stagii
- Recapitulare

Introducere

- O metodă de determinare a întârzierii între intrările primare și ieșirile primare ale unui circuit combinațional
- Cât de mari trebuie să fie tranzistoarele unei porți logice pentru a atinge cel mai mic delay ?
- Câte stagii de logică trebuie utilizate pentru a obține delay-ul minim ?
- Metoda efortului logic este o metodă simplă de minimizare a delay-ului într-un circuit logic. Comparam delay-urile estimate pentru diferite structuri logice și apoi selectăm structura cea mai rapidă
- Efortul logic specifică cea mai bună cale logică și dimensiunile tranzistoarelor pentru un load dat.

Efortul logic

- Cunoaștem din cursurile anterioare că *aspect ratio* între pMOS și nMOS în cazul unui inversor este 2:1 pentru ca $tp_{LH} = tp_{HL}$
- Spuneam anterior că L este fix din cauza fabricantului dar și din cauza tehnologiei folosite. Ca atare doar W poate fi modificat.
- Proiectarea unui circuit pentru a atinge viteza maximă or pentru a respecta anumite constrângeri de întârzieri
- Având în vedere că creștere a lui $\frac{W}{L}$ presupune o scădere a întârzierii am fi tentați să tot creștem aspect ratio



Noțiuni de bază

- Modelul efortului logic descrie întârzierile cauzate de loadurile capacitive care sunt conduse de porțile logice precum și de topologia porților logice
- Întârzierea absolută a unei porți este $d_{(abs)} = d * \tau$
 - d este unitatea de întârziere a porții – întârzierea porții logice
 - τ este unitate de întârziere care caracterizează un proces dat. Pentru un procesul de 0.6μ , $\tau = 50ps$. Pentru un proces de 0.18μ , $\tau = 12ps$.

Noțiuni de bază

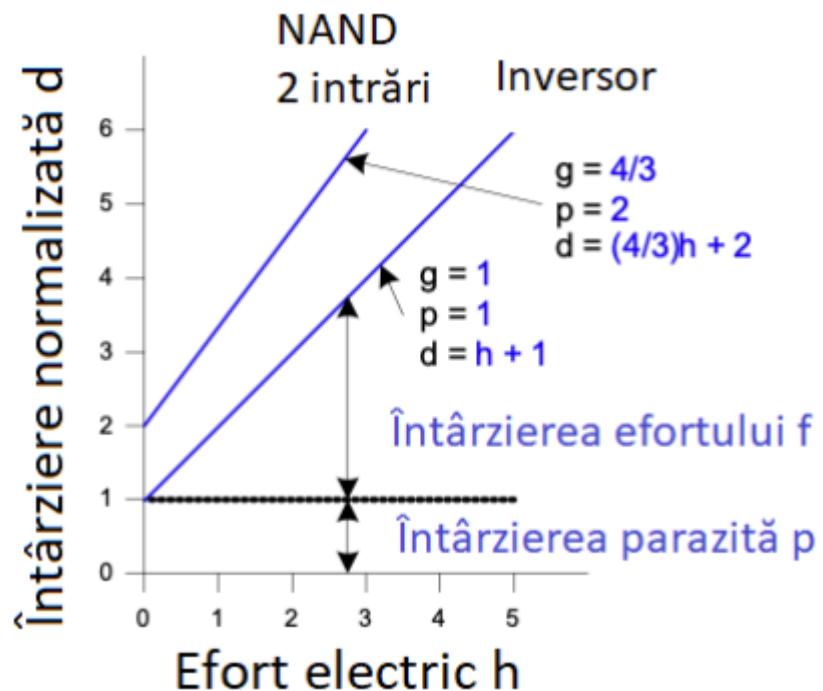
- Întârzierea **d** a unei porți logice este compusă din:

$$d = f + p$$

- unde:
 - f = efortul întârzierii sau efortul stagiului
 - p este întârzierea parazită
- Efortul întârzierii are 2 componente: $f = g * h$
 - g = efort logic
 - h = efort electric
- $h = \frac{C_{out}}{C_{in}}$ - fan-out. C_{out} și C_{in} sunt capacitantele de intrare si de ieșire

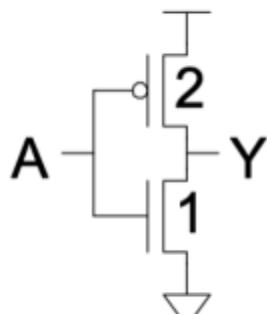
Noțiuni de bază

- Efortul logic al unei porți logice ne spune cât de proastă este ieșirea față de un inversor având în vedere că fiecare dintre intrările sale poate conține aceeași capacitanță de intrare ca și un inversor.
- Întârzierea unei porți logice crește cu efortul electric
- Porțile logice complexe au mai mult efort logic și întârziere parazită

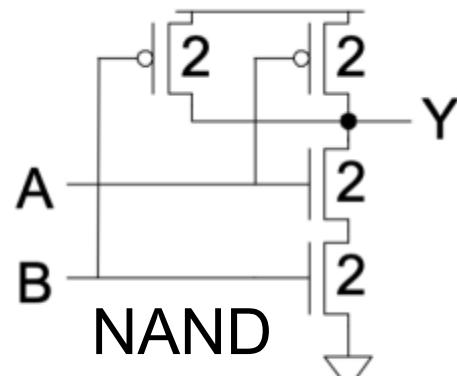


Calcularea efortului logic

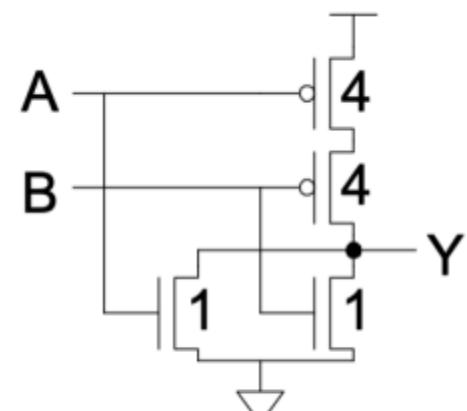
- În cazul inversorului capacitanța de intrare este 3 deoarece intrarea A se va duce și pe tranzistorul pMOS și pe tranzistorul nMOS.
- $g=1$ prin definiție și observăm că se respectă faptul că $tp_{LH} = tp_{HL}$



$$C_{in} = 3 \text{ g} = \frac{3}{3}$$



$$C_{in} = 4 \text{ g} = \frac{4}{3}$$



$$C_{in} = 5 \text{ g} = \frac{5}{3}$$

Calcularea efortului logic

Efortul logic pentru porțile elementare

Tipul porții	Numărul de intrări				
	1	2	3	4	n
Inversor	1				
NAND		$\frac{4}{3}$	$\frac{5}{3}$	$\frac{5}{3}$	$\frac{n+2}{3}$
NOR		$\frac{5}{3}$	$\frac{7}{3}$	$\frac{9}{3}$	$\frac{2n+1}{3}$
Tristate / mux	2	2	2	2	2
XOR, XNOR		4, 4	6, 12, 6	8, 16, 16, 8	

Calcularea efortului logic

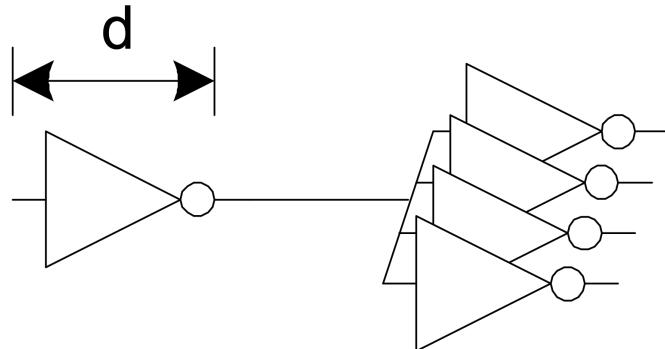
- Întârzierea parazită a portilor elementare
 - În multiplii de p_{inv} (≈ 1)

Tipul portii	Numărul de intrări				
	1	2	3	4	n
Inversor	1				
NAND		2	3	4	n
NOR		2	3	4	n
Tristate / mux	2	4	6	8	2n
XOR, XNOR		4	6	8	

Exemplu: Inversorul FO4

- Calculul întârzierii pentru inversorul FO4

$$f = g * h = 1 * 4 = 4$$



$$P_{inv} = 1$$

$$d = f + P_{inv} = 4 + 1 = 5$$

$$d_{(abs)} = d * \tau$$

τ tipic este 12ps pt tehnologia pe 180nm

$$d_{(abs)} = 5 * 12 = 60ps$$

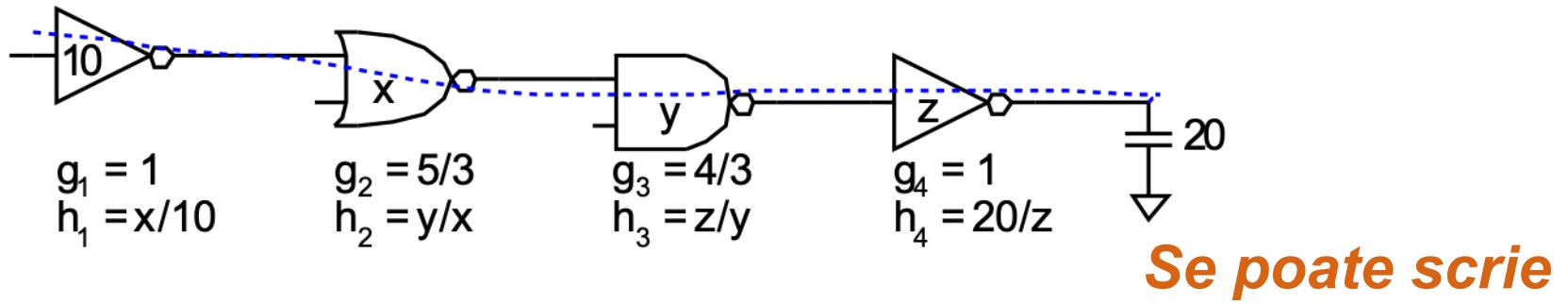
Concluzii

- Cu cât fan-out-ul este mai mare cu atât întârzierea va crește
- Cu cât avem porți mai complicate (NOR4 vs NOR5) valoarea lui g va crește deci întârzierea totală va crește

Efortul logic pentru rețele cu logică pe mai multe stagii

- Efortul logic presupune obținerea celui mai mici întârzieri prin balansarea întârzierii de-a lungul tuturor stagilor
- Efortul logic dea lungul unei căi se determină prin înmulțirea eforturilor logice ale tuturor porțiilor logice.
- Efortul logic al căii $G = \prod g_i$
- Efortul electric al căii $H = \frac{C_{out}}{C_{in}}$
- Efortul ramurii $b = \frac{C_{on-path} + C_{off-path}}{C_{on-path}}$
- Efortul căii ramurii $B = \prod b_i$

Efortul logic pentru rețelele cu logică pe mai multe stagii



$$G = 1$$

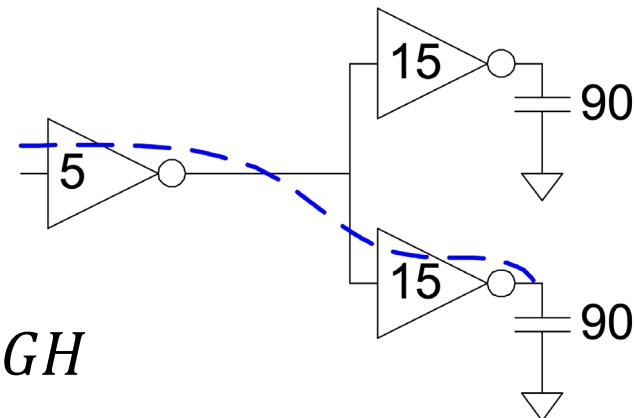
$$H = \frac{90}{5} = 18$$

$$GH = 18$$

$$h_1 = \frac{15+15}{5} = 6$$

$$h_2 = \frac{90}{16} = 6$$

$$F = g_1 * g_2 * h_1 * h_2 = 36 = 2GH$$



Efortul ramificației

- Efortul ramurii

$$b = \frac{c_{on-path} + c_{off-path}}{c_{on-path}}$$

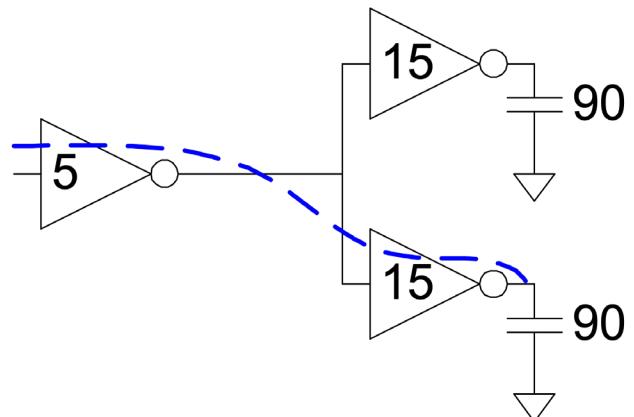
- Efortul căii ramurii

$$B = \prod b_i$$

- $BH = \frac{c_{out}}{c_{in}} \prod b_i = \prod h_i$

- Efortul căii

$$F = GBH$$



Întârzierea multinivel

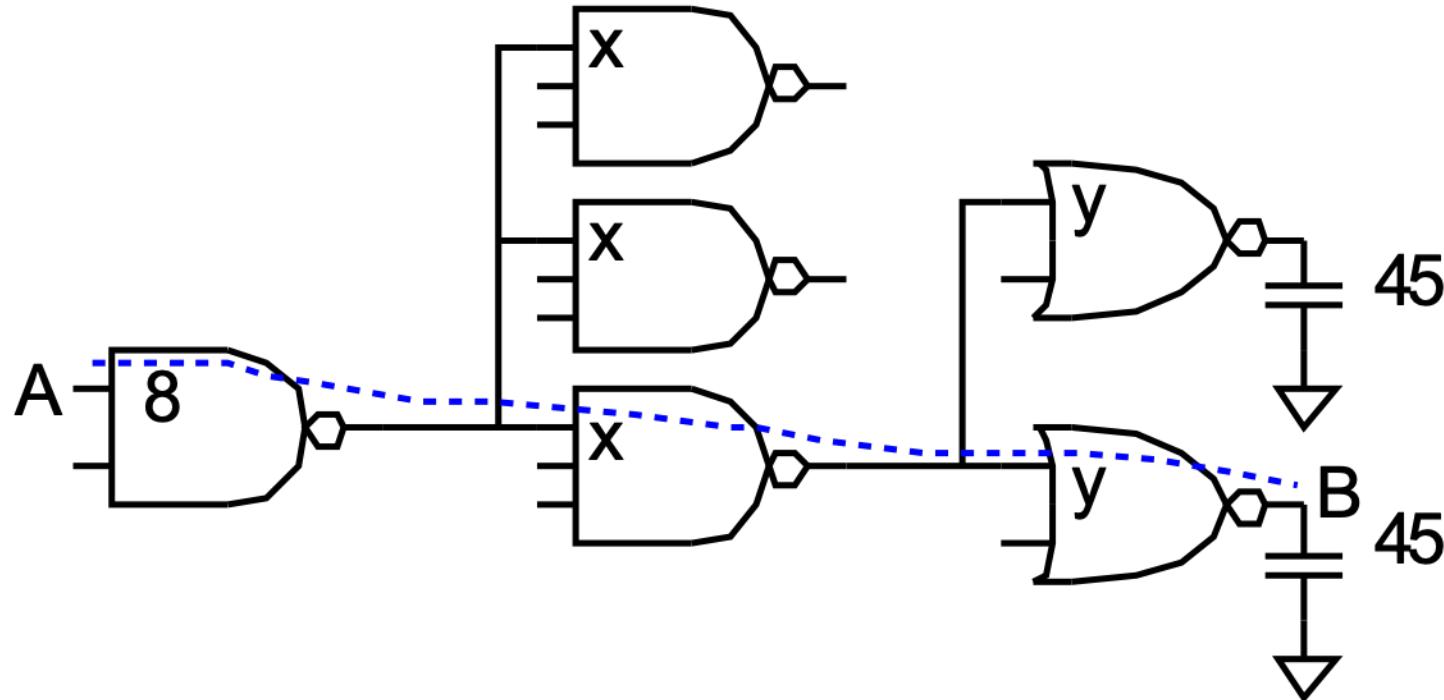
- Întârzierea căii va fi $D = \sum d_i = D_F + P$ unde
 - $D_F = \sum g_i * h_i$
 - $P = \sum p_i$
- În cazul unei rețele cu N stagii, efortul stagiului pentru fiecare stagiu va fi
 - $\hat{f} = g_i * h_i = \sqrt[N]{F}$

Proiectarea circuitelor rapide

- Întârzierea minimă ce poate fi obținută deoarece lungul unei căi
 - $\widehat{D} = N * \sqrt[N]{F} + P$
 - $\widehat{h}_i = \frac{\sqrt[N]{F}}{g_i} = \frac{c_{out-i(total)}}{c_{in-i}}$
- Capacitanța văzută la intrarea în fiecare stagiu
 - $c_{in-i} = \frac{c_{out-i(total)}}{\widehat{h}_i}$

Exemplu

Selectăm dimensiunile x și y ale porților pentru întârzierea minimă de la A la B



Exemplu

Efortul logic:

$$G = \frac{4}{3} * \frac{5}{3} * \frac{5}{3} = \frac{100}{27}$$

Efortul electric:

$$H = \frac{45}{8}$$

Efortul de ramură:

$$B = 3 * 2 = 6$$

Efortul căii:

$$F = GBH = 125$$

Efortul stagiului cel mai bun:

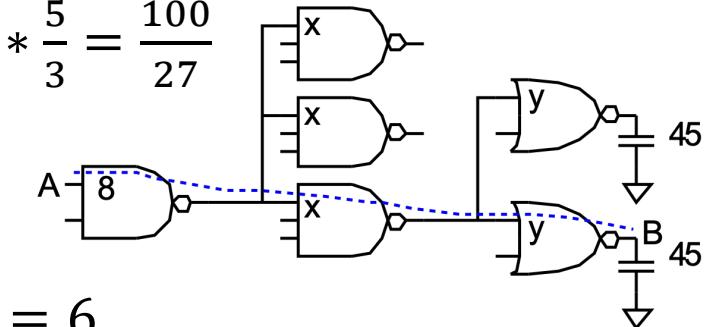
$$\hat{f} = \sqrt[3]{F} = 5$$

Întârzierea parazită

$$P = 2 + 3 + 2 = 7$$

Întârzierea

$$D = 3 * 5 + 7 = 22 = 4.4FO_4$$



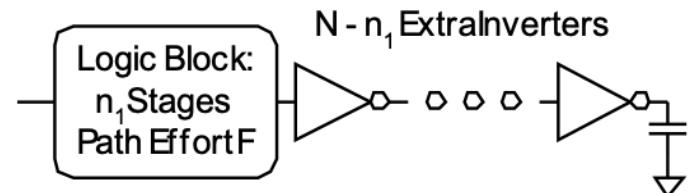
Derivare

Considerăm inversoare la finalul căii

- Câte ne oferă întârzierea minimă?

$$D = N \sqrt[N]{F} + \sum_{i=1}^{n_1} p_i + (N - n_1) p_{inv}$$

$$\frac{\partial D}{\partial N} = -\sqrt[N]{F} * \ln(\sqrt[N]{F}) + \sqrt[N]{F} + p_{inv} = 0$$

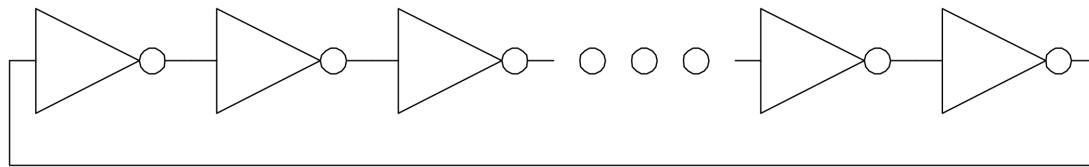


- Definirea efortului optim pe stagiu $\rho = \sqrt[\hat{N}]{F}$
- $p_{inv} + \rho(1 - \ln(\rho)) = 0$ nu are o soluție închisă
- Neglijând partea parazită ($p_{inv} = 0$), găsim $\rho = 2.718(e)$

Pentru $p_{inv} = 1$, găsim (numeric) $\rho = 3.59$

Exemplu: Oscilator tip inel

Estimăm frecvența unui oscilator de tip inel cu N stagii



Efortul logic: $g = 1$

Efortul electric: $h = 1$

Întârzierea parazită: $p = 1$

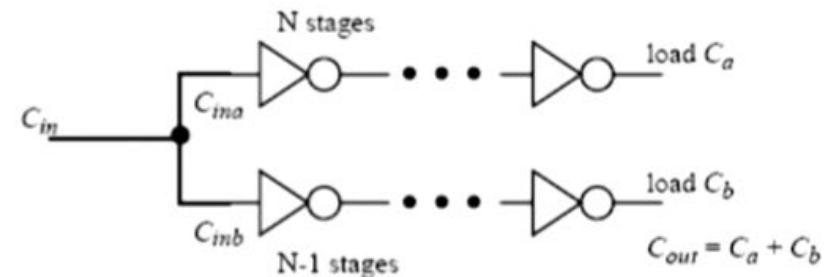
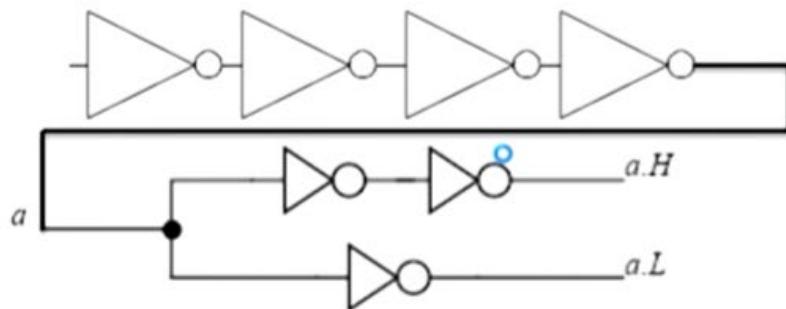
Întârzierea stagiului: $d = 2$

Frecvența: $f_{osc} = \frac{1}{2*N*d} = \frac{1}{4N}$

Un oscilator inel cu 31 stagii
în tehnologie $0.6 \mu\text{m}$ are o
frecvență de $\sim 200 \text{ MHz}$

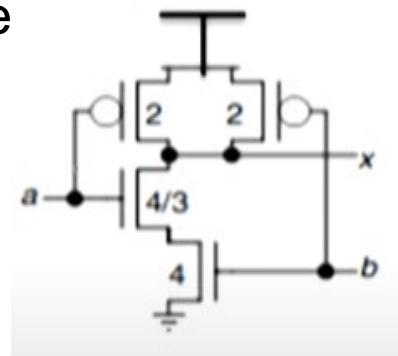
Proiectarea FORK

- Semnalele sunt deviate de la calea originală către o cale cu impedanță scăzută
- Ambele semnale primare (provenite dintr-o ieșire) ajung simultan $\Rightarrow C_{out} = C_a + C_b$
- Circuitul FORK poate fi proiectat utilizând efortul logic !!!!
- $d_{fork} = (N - 1)^{N-1} \sqrt{\left(\frac{C_b}{C_{inb}}\right)} + (N - 1) * p = N * \sqrt[N]{\left(\frac{C_a}{C_{ina}}\right)} + N * p$



Porti asimetrice

- O intrare este favorizată față de restul
- Plasăm intrarea critică cât mai aproape de ieșire
- Selectăm dimensiunile PUN și PDN ca să se potrivească cu dimensiunile inversorului
- Întârzierea portilor asimetrice bazate pe circuite logice poate fi calculată



Recapitulare

Termenul	Stagiul	Calea
Numărul de stagii	1	N
Efortul logic	g	$G = \prod g_i$
Efortul electric	$h = \frac{C_{\text{out}}}{C_{\text{in}}}$	$H = \frac{C_{\text{out-path}}}{C_{\text{in-path}}}$
Efortul de ramură	$b = \frac{C_{\text{on-path}} + C_{\text{off-path}}}{C_{\text{on-path}}}$	$B = \prod b_i$
Efort	$f = gh$	$F = GBH$
Întârzierea efortului	f	$D_F = \sum f_i$
Întârzierea parazită	p	$P = \sum p_i$
Întârzierea	$d = f + p$	$D = \sum d_i = D_F + P$

Metoda efortului logic

- 1) Calculăm efortul căii: $F = GBH$
- 2) Estimarea numărului de stagii optim: $N = \log_4 F$

Calea cu N stagii

- 1) Estimarea întârzierii optime: $D = N * \sqrt[N]{F} + P$
- 5) Determinarea efortului optim pe stagiu: $\hat{f} = \sqrt[N]{F}$
- 6) Determinarea dimensiunii portii: $C_{in_i} = \frac{g_i * C_{out_i}}{\hat{f}}$

Limitele Efortului Logic

Problema cu oul și găina

Este necesară o cale pentru determinarea lui G
Dar, nu cunoaștem numărul de stagii fără G

Modelul întârzierii este simplist

Se negligează efectele frontului pozitiv ale intrărilor.

Interconectarea

Se vor folosi fire în proiectare

Doar viteză maximă

Aria nu este minimă/Puterea ?

Concluzii

Efortul logic este util pentru a gândi întârzierile în circuite

- Efortul logic numeric caracterizează portile
- NAND-urile sunt mai rapide decât NORs în CMOS
- Căile sunt mai rapide când întârzierile efortului sunt ~4
- Întâziera căii este slab sensitivă la dimensiunile stagilor
- Utilizarea de stagi puține nu înseamnă că mai rapide
- Întâziera căii este $\log_4 F$ FO4 întârzierile inversorului
- Inversoarele și NAND2 cele mai bune pentru a conduce capacitați mari
- Este necesară experiență !!!!!!

CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Modulul 5

Metoda efortului logic

Efortul logic

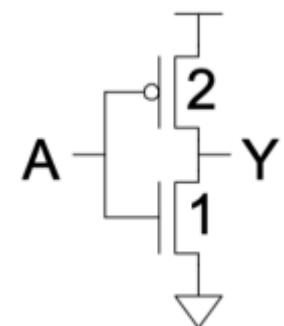
- Introducere
- Noțiuni de bază
- Calculul efortului logic pentru porțile logice
- Rețele logice cu mai multe stagii
- Recapitulare

Introducere

- O metodă de determinare a întârzierii între intrările primare și ieșirile primare ale unui circuit combinațional
- Cât de mari trebuie să fie tranzistoarele unei porți logice pentru a atinge cel mai mic delay ?
- Câte stagii de logică trebuie utilizate pentru a obține delay-ul minim ?
- Metoda efortului logic este o metodă simplă de minimizare a delay-ului într-un circuit logic. Comparam delay-urile estimate pentru diferite structuri logice și apoi selectăm structura cea mai rapidă
- Efortul logic specifică cea mai bună cale logică și dimensiunile tranzistoarelor pentru un load dat.

Efortul logic

- Cunoaștem din cursurile anterioare că *aspect ratio* între pMOS și nMOS în cazul unui inversor este 2:1 pentru ca $tp_{LH} = tp_{HL}$
- Spuneam anterior că L este fix din cauza fabricantului dar și din cauza tehnologiei folosite. Ca atare doar W poate fi modificat.
- Proiectarea unui circuit pentru a atinge viteza maximă or pentru a respecta anumite constrângeri de întârzieri
- Având în vedere că creștere a lui $\frac{W}{L}$ presupune o scădere a întârzierii am fi tentați să tot creștem aspect ratio



Noțiuni de bază

- Modelul efortului logic descrie întârzierile cauzate de loadurile capacitive care sunt conduse de porțile logice precum și de topologia porților logice
- Întârzierea absolută a unei porți este $d_{(abs)} = d * \tau$
 - d este unitatea de întârziere a porții – întârzierea porții logice
 - τ este unitate de întârziere care caracterizează un proces dat. Pentru un procesul de 0.6μ , $\tau = 50ps$. Pentru un proces de 0.18μ , $\tau = 12ps$.

Noțiuni de bază

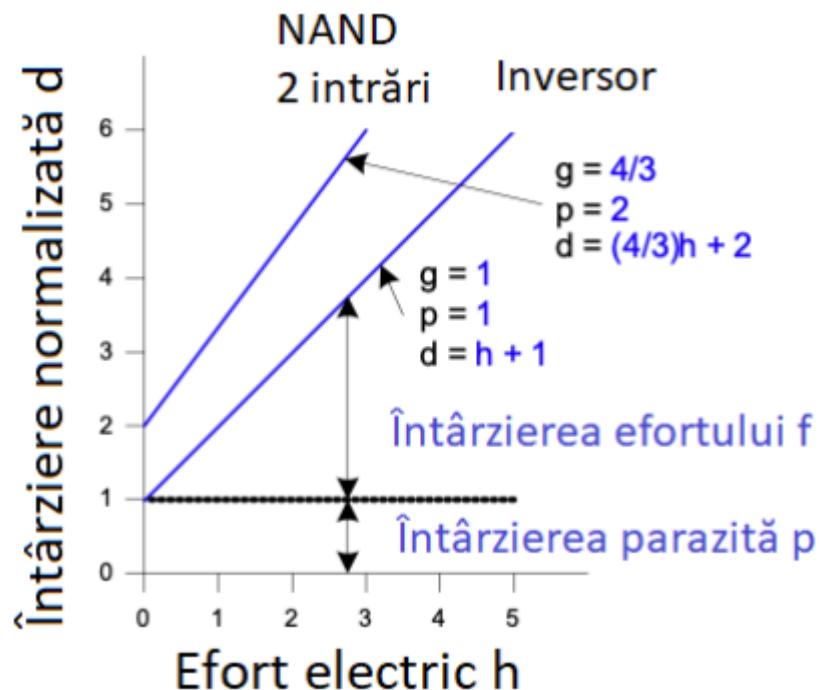
- Întârzierea **d** a unei porți logice este compusă din:

$$d = f + p$$

- unde:
 - f = efortul întârzierii sau efortul stagiului
 - p este întârzierea parazită
- Efortul întârzierii are 2 componente: $f = g * h$
 - g = efort logic
 - h = efort electric
- $h = \frac{C_{out}}{C_{in}}$ - fan-out. C_{out} și C_{in} sunt capacitantele de intrare si de ieșire

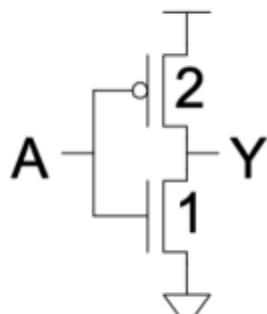
Noțiuni de bază

- Efortul logic al unei porți logice ne spune cât de proastă este ieșirea față de un inversor având în vedere că fiecare dintre intrările sale poate conține aceeași capacitanță de intrare ca și un inversor.
- Întârzierea unei porți logice crește cu efortul electric
- Porțile logice complexe au mai mult efort logic și întârziere parazită

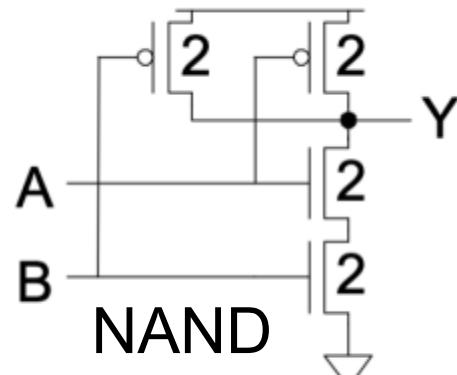


Calcularea efortului logic

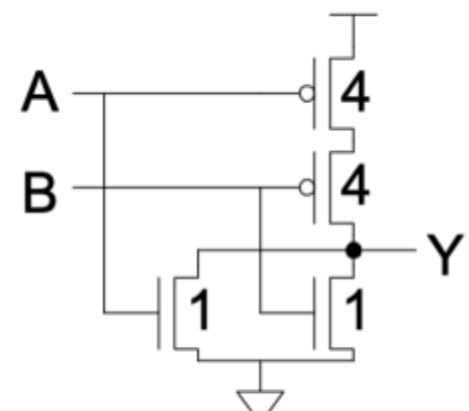
- În cazul inversorului capacitanța de intrare este 3 deoarece intrarea A se va duce și pe tranzistorul pMOS și pe tranzistorul nMOS.
- $g=1$ prin definiție și observăm că se respectă faptul că $tp_{LH} = tp_{HL}$



$$C_{in} = 3 \text{ g} = \frac{3}{3}$$



$$C_{in} = 4 \text{ g} = \frac{4}{3}$$



$$C_{in} = 5 \text{ g} = \frac{5}{3}$$

Calcularea efortului logic

Efortul logic pentru porțile elementare

Tipul porții	Numărul de intrări				
	1	2	3	4	n
Inversor	1				
NAND		$\frac{4}{3}$	$\frac{5}{3}$	$\frac{5}{3}$	$\frac{n+2}{3}$
NOR		$\frac{5}{3}$	$\frac{7}{3}$	$\frac{9}{3}$	$\frac{2n+1}{3}$
Tristate / mux	2	2	2	2	2
XOR, XNOR		4, 4	6, 12, 6	8, 16, 16, 8	

Calcularea efortului logic

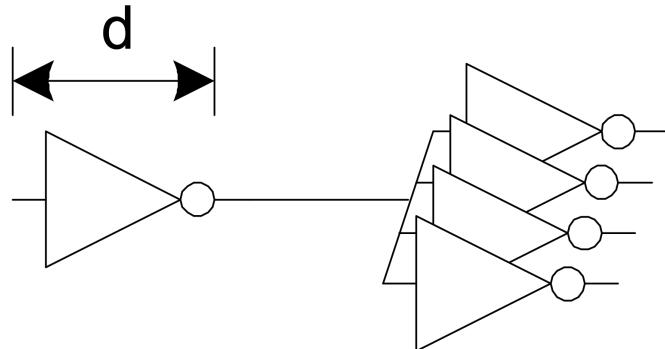
- Întârzierea parazită a portilor elementare
 - În multiplii de p_{inv} (≈ 1)

Tipul portii	Numărul de intrări				
	1	2	3	4	n
Inversor	1				
NAND		2	3	4	n
NOR		2	3	4	n
Tristate / mux	2	4	6	8	2n
XOR, XNOR		4	6	8	

Exemplu: Inversorul FO4

- Calculul întârzierii pentru inversorul FO4

$$f = g * h = 1 * 4 = 4$$



$$P_{inv} = 1$$

$$d = f + P_{inv} = 4 + 1 = 5$$

$$d_{(abs)} = d * \tau$$

τ tipic este 12ps pt tehnologia pe 180nm

$$d_{(abs)} = 5 * 12 = 60ps$$

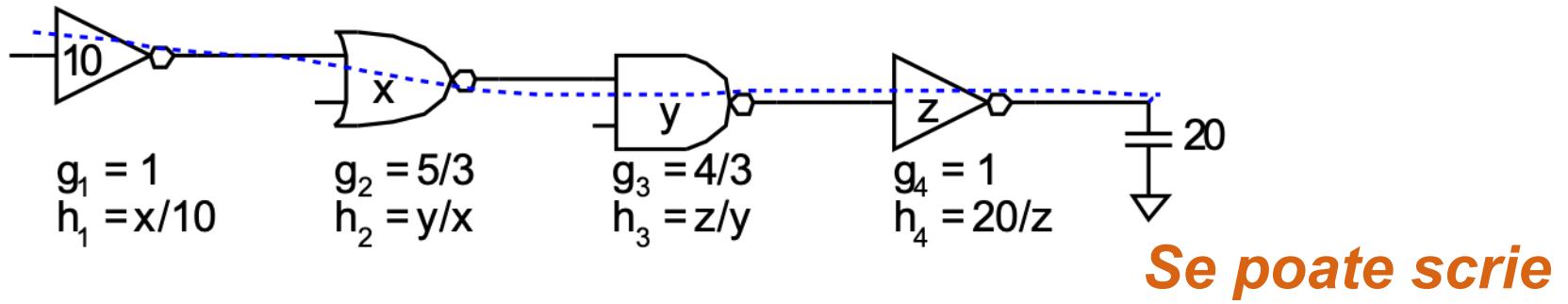
Concluzii

- Cu cât fan-out-ul este mai mare cu atât întârzierea va crește
- Cu cât avem porți mai complicate (NOR4 vs NOR5) valoarea lui g va crește deci întârzierea totală va crește

Efortul logic pentru rețele cu logică pe mai multe stagii

- Efortul logic presupune obținerea celui mai mici întârzieri prin balansarea întârzierii de-a lungul tuturor stagilor
- Efortul logic de-a lungul unei căi se determină prin înmulțirea eforturilor logice ale tuturor porțiilor logice.
- Efortul logic al căii $G = \prod g_i$
- Efortul electric al căii $H = \frac{C_{out}}{C_{in}}$
- Efortul ramurii $b = \frac{C_{on-path} + C_{off-path}}{C_{on-path}}$
- Efortul căii ramurii $B = \prod b_i$

Efortul logic pentru rețelele cu logică pe mai multe stagii



$$G = 1$$

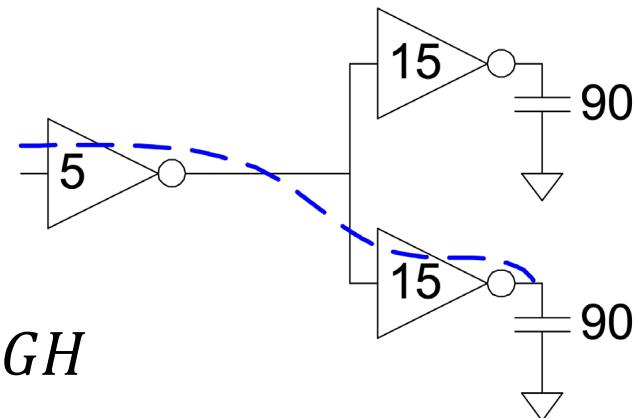
$$H = \frac{90}{5} = 18$$

$$GH = 18$$

$$h_1 = \frac{15+15}{5} = 6$$

$$h_2 = \frac{90}{16} = 6$$

$$F = g_1 * g_2 * h_1 * h_2 = 36 = 2GH$$



Efortul ramificației

- Efortul ramurii

$$b = \frac{c_{on-path} + c_{off-path}}{c_{on-path}}$$

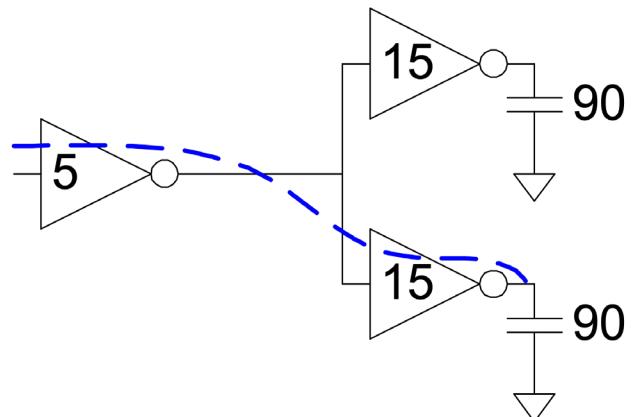
- Efortul căii ramurii

$$B = \prod b_i$$

- $BH = \frac{c_{out}}{c_{in}} \prod b_i = \prod h_i$

- Efortul căii

$$F = GBH$$



Întârzierea multinivel

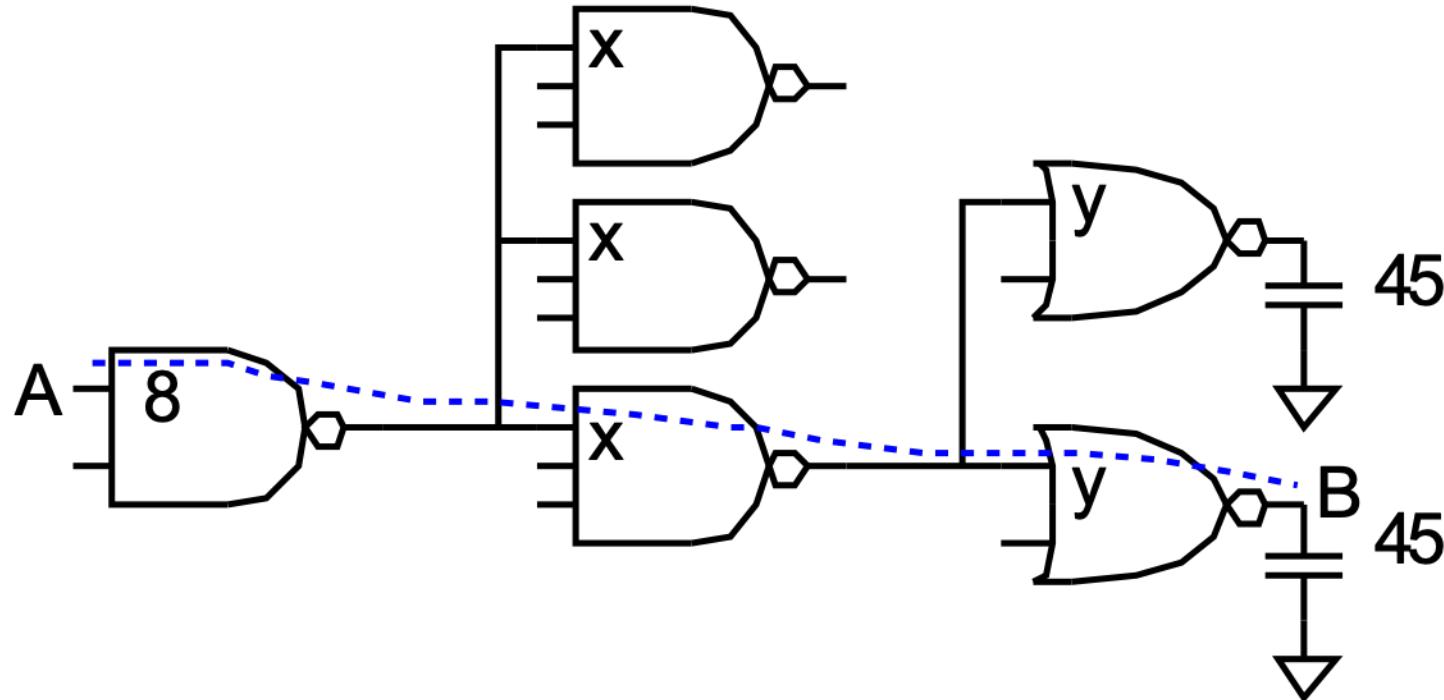
- Întârzierea căii va fi $D = \sum d_i = D_F + P$ unde
 - $D_F = \sum g_i * h_i$
 - $P = \sum p_i$
- În cazul unei rețele cu N stagii, efortul stagiului pentru fiecare stagiu va fi
 - $\hat{f} = g_i * h_i = \sqrt[N]{F}$

Proiectarea circuitelor rapide

- Întârzierea minimă ce poate fi obținută deoarece lungul unei căi
 - $\widehat{D} = N * \sqrt[N]{F} + P$
 - $\widehat{h}_i = \frac{\sqrt[N]{F}}{g_i} = \frac{c_{out-i(total)}}{c_{in-i}}$
- Capacitanța văzută la intrarea în fiecare stagiu
 - $c_{in-i} = \frac{c_{out-i(total)}}{\widehat{h}_i}$

Exemplu

Selectăm dimensiunile x și y ale porților pentru întârzierea minimă de la A la B



Exemplu

Efortul logic:

$$G = \frac{4}{3} * \frac{5}{3} * \frac{5}{3} = \frac{100}{27}$$

Efortul electric:

$$H = \frac{45}{8}$$

Efortul de ramură:

$$B = 3 * 2 = 6$$

Efortul căii:

$$F = GBH = 125$$

Efortul stagiului cel mai bun:

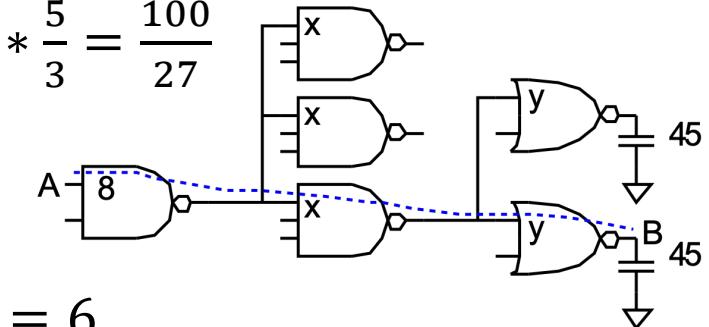
$$\hat{f} = \sqrt[3]{F} = 5$$

Întârzierea parazită

$$P = 2 + 3 + 2 = 7$$

Întârzierea

$$D = 3 * 5 + 7 = 22 = 4.4FO_4$$



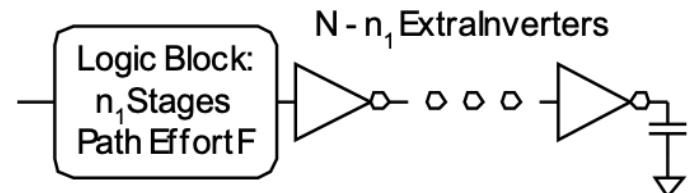
Derivare

Considerăm inversoare la finalul căii

- Câte ne oferă întârzierea minimă?

$$D = N \sqrt[N]{F} + \sum_{i=1}^{n_1} p_i + (N - n_1) p_{inv}$$

$$\frac{\partial D}{\partial N} = -\sqrt[N]{F} * \ln(\sqrt[N]{F}) + \sqrt[N]{F} + p_{inv} = 0$$

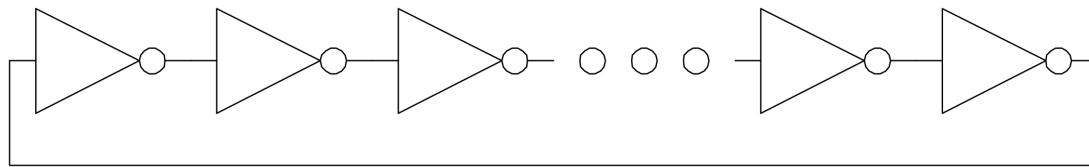


- Definirea efortului optim pe stagiu $\rho = \sqrt[\hat{N}]{F}$
- $p_{inv} + \rho(1 - \ln(\rho)) = 0$ nu are o soluție închisă
- Neglijând partea parazită ($p_{inv} = 0$), găsim $\rho = 2.718(e)$

Pentru $p_{inv} = 1$, găsim (numeric) $\rho = 3.59$

Exemplu: Oscilator tip inel

Estimăm frecvența unui oscilator de tip inel cu N stagii



Efortul logic: $g = 1$

Efortul electric: $h = 1$

Întârzierea parazită: $p = 1$

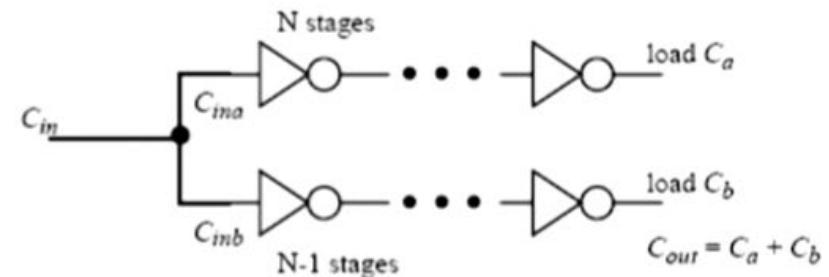
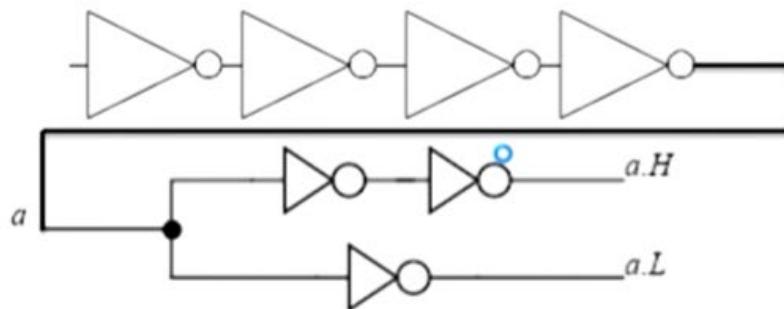
Întârzierea stagiului: $d = 2$

$$\text{Frecvența: } f_{osc} = \frac{1}{2*N*d} = \frac{1}{4N}$$

Un oscilator inel cu 31 stagii
în tehnologie $0.6 \mu\text{m}$ are o
frecvență de $\sim 200 \text{ MHz}$

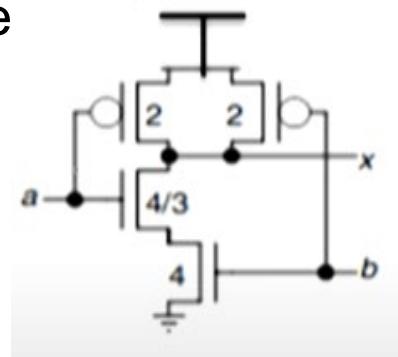
Proiectarea FORK

- Semnalele sunt deviate de la calea originală către o cale cu impedanță scăzută
- Ambele semnale primare (provenite dintr-o ieșire) ajung simultan $\Rightarrow C_{out} = C_a + C_b$
- Circuitul FORK poate fi proiectat utilizând efortul logic !!!!
- $d_{fork} = (N - 1)^{N-1} \sqrt{\left(\frac{C_b}{C_{inb}}\right)} + (N - 1) * p = N * \sqrt[N]{\left(\frac{C_a}{C_{ina}}\right)} + N * p$



Porti asimetrice

- O intrare este favorizată față de restul
- Plasăm intrarea critică cât mai aproape de ieșire
- Selectăm dimensiunile PUN și PDN ca să se potrivească cu dimensiunile inversorului
- Întârzierea portilor asimetrice bazate pe circuite logice poate fi calculată



Recapitulare

Termenul	Stagiul	Calea
Numărul de stagii	1	N
Efortul logic	g	$G = \prod g_i$
Efortul electric	$h = \frac{C_{\text{out}}}{C_{\text{in}}}$	$H = \frac{C_{\text{out-path}}}{C_{\text{in-path}}}$
Efortul de ramură	$b = \frac{C_{\text{on-path}} + C_{\text{off-path}}}{C_{\text{on-path}}}$	$B = \prod b_i$
Efort	$f = gh$	$F = GBH$
Întârzierea efortului	f	$D_F = \sum f_i$
Întârzierea parazită	p	$P = \sum p_i$
Întârzierea	$d = f + p$	$D = \sum d_i = D_F + P$

Metoda efortului logic

- 1) Calculăm efortul căii: $F = GBH$
- 2) Estimarea numărului de stagii optim: $N = \log_4 F$

Calea cu N stagii

- 1) Estimarea întârzierii optime: $D = N * \sqrt[N]{F} + P$
- 5) Determinarea efortului optim pe stagiu: $\hat{f} = \sqrt[N]{F}$
- 6) Determinarea dimensiunii portii: $C_{in_i} = \frac{g_i * C_{out_i}}{\hat{f}}$

Limitele Efortului Logic

Problema cu oul și găina

Este necesară o cale pentru determinarea lui G
Dar, nu cunoaștem numărul de stagii fără G

Modelul întârzierii este simplist

Se negligează efectele frontului pozitiv ale intrărilor.

Interconectarea

Se vor folosi fire în proiectare

Doar viteză maximă

Aria nu este minimă/Puterea ?

Concluzii

Efortul logic este util pentru a gândi întârzierile în circuite

- Efortul logic numeric caracterizează portile
- NAND-urile sunt mai rapide decât NORs în CMOS
- Căile sunt mai rapide când întârzierile efortului sunt ~4
- Întâziera căii este slab sensitivă la dimensiunile stagilor
- Utilizarea de stagi puține nu înseamnă că mai rapide
- Întâziera căii este $\log_4 F$ FO4 întârzierile inversorului
- Inversoarele și NAND2 cele mai bune pentru a conduce capacitați mari
- Este necesară experiență !!!!!!

CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Modulul 6

Circuite sevențiale

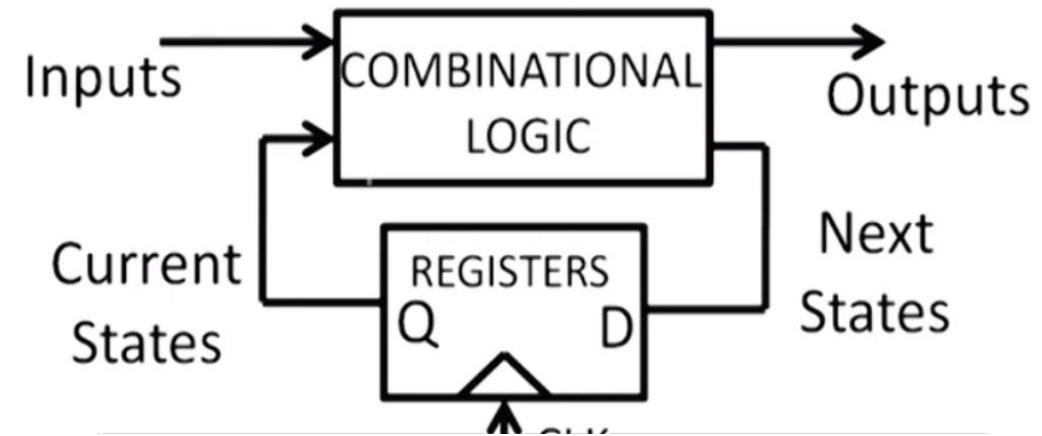
Toate pozele au ca și sursă: J.M. Rabaey, A. Chandrakasan and B. Nikolic "Digital Integrated Circuit"
PHI Learning Pvt. Ltd., 2011

Cuprins

- Introducere
- Metrici de timp pentru circuitele secvențiale
- Clasificarea elementelor de memorie
- Latch-uri statice și registre
- Principiul bi-stabilitate
- Latch-uri bazate pe multiplexoare
- Registre Master-Slave

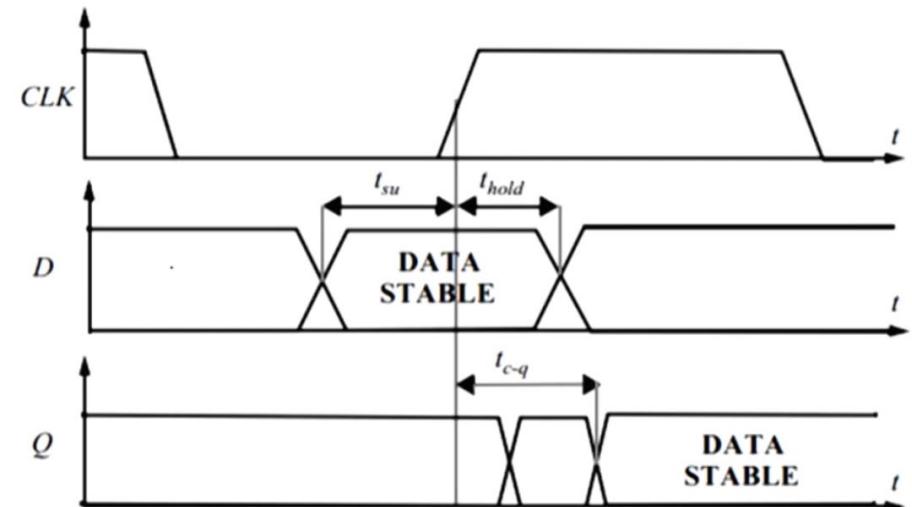
Introducere

- În cazul circuitelor combinaționale starea circuitului la momentul t_0 nu influențează starea circuitului la momentul t_1 .
- În cazul circuitelor secvențiale, ele sunt funcții de valorile curente ale intrărilor și a valorilor de intrare precedente
- Apare noțiunea de memorie



Metrici de timp

- Setup Time (t_{su}) este timpul pentru care datele de intrare trebuie să fie validă înainte de tranziția ceasului din 0 în 1
- Hold Time (t_{hold}) timpul pentru care datele de intrare trebuie să rămână valide după tranziția ceasului
- Perioada ceasului (T) este timpul pentru căre circuitul secvențial operează. Trebuie să acomodeze cea mai mare întârziere a fiecărui stagiu din rețea
- t_{plogic} reprezintă cea mai proastă propagare a întârzierii
- t_{cd} este întârzierea minimă sau întârzierea de contaminare



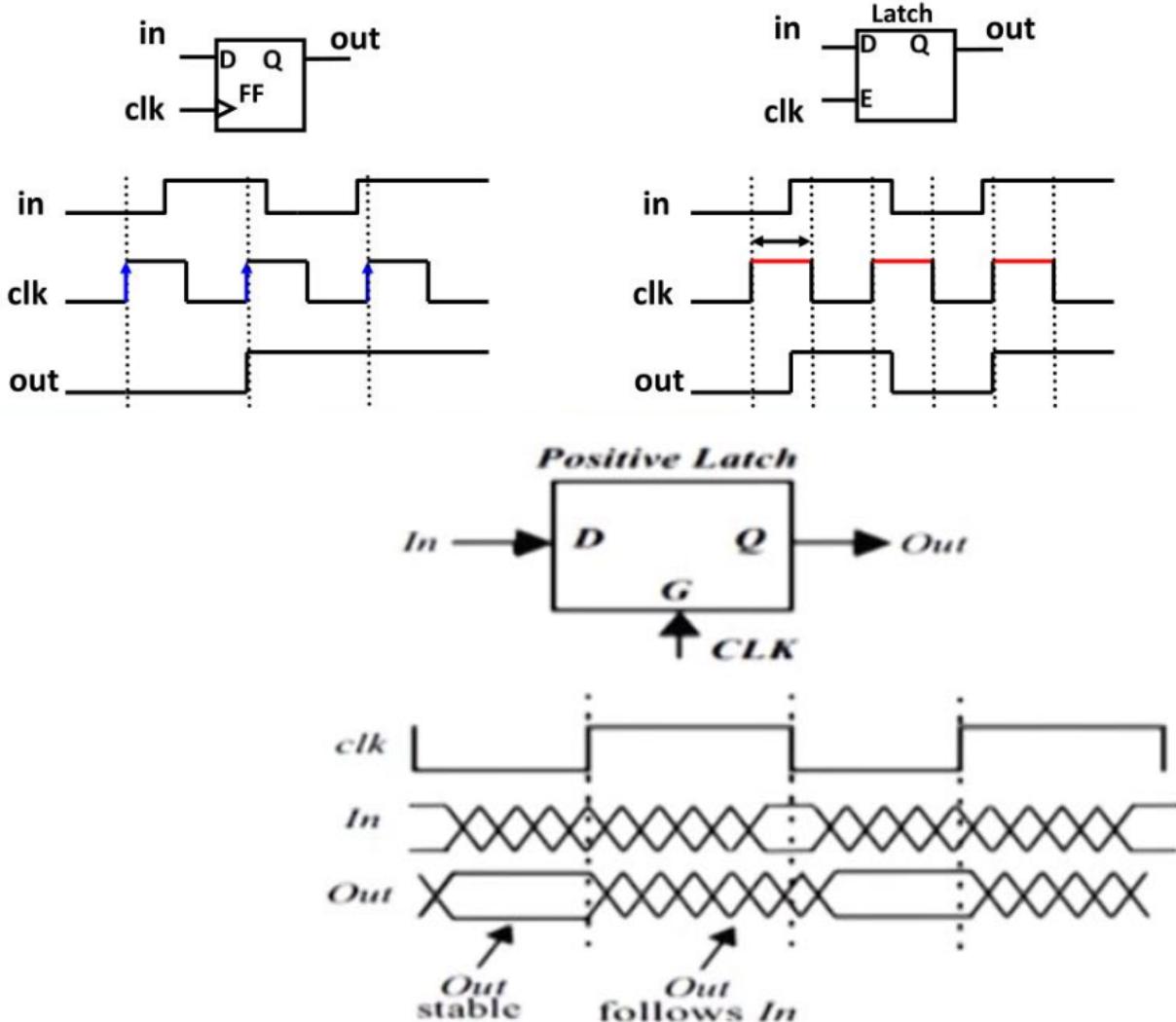
$$T \geq t_{cq} + t_{plogic} + t_{su}$$

$$t_{cdregister} + t_{cdlogic} \geq t_{hold}$$

Clasificarea elementelor de memorie

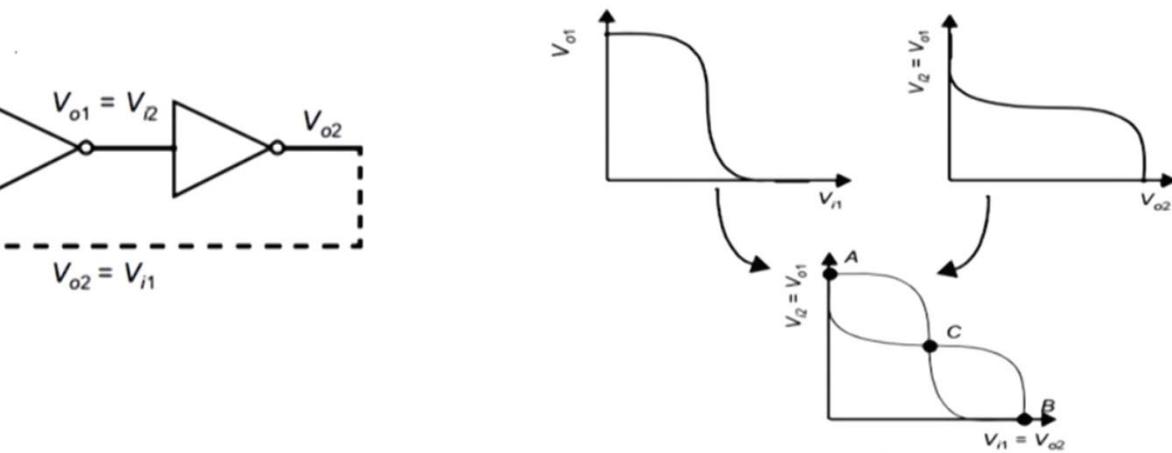
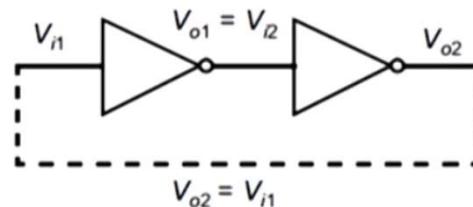
- Memoria care este inclusă în logică este o memorie ***foreground***; ea este adesea organizată ca registre individuale sau bank-uri de registre
- O memorie centralizată de capacitate mare este cunoscută ca memorie ***background***.
- Memoria statică își menține starea cât timp este alimentată. Ele sunt construite utilizând regenerarea sau feedback-ul pozitiv.
- Memoriile dinamice memorează date pentru o scurtă perioadă de timp (ms).

Latch-uri vs Registr



Principiul Bi-stability

- Presupunem că avem 2 inversoare statice în cascadă.
- Memoriile statice utilizează feedback-ul pozitiv pentru a crea un circuit bi-stabil, un circuit care are 2 stări stabile ce reprezintă 0 și 1
- Pozitive feedback sau regeneration loop.
- Acest positive feedback loop ne ajută să menținem ieșirea pe o perioadă mare de timp (1 - 0 - 1).
- Dacă intrarea va fi 1 atunci ieșirea va rămâne 0. Ieșirea va fi între cele 2 inversoare.



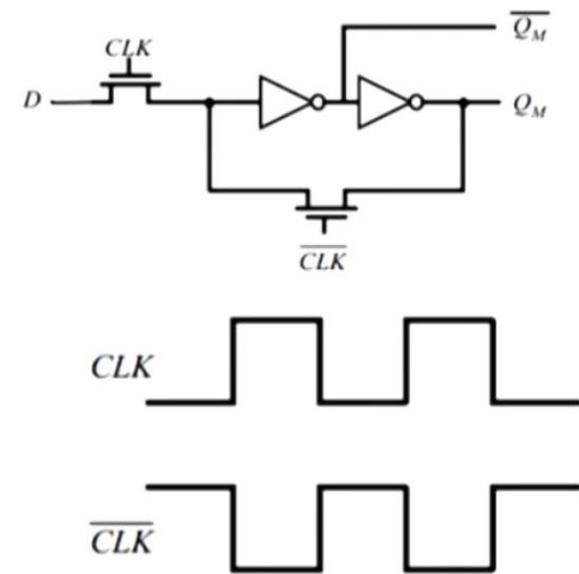
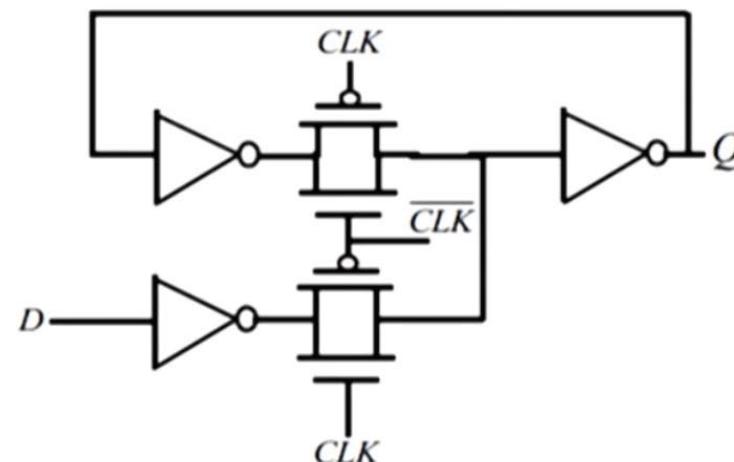
- Avem 3 puncte de intersecție.
- Punctele A și B sunt fixe
- Dacă avem o variație a intrării ΔV_{in} atunci C va fi mai la stânga sau mai la dreapta
- $\frac{\Delta V_{out}}{\Delta V_{in}}$ este mare \rightarrow C nu este un punct stabil.
- Deci, când intrarea este 1, C va trage către A iar când intrarea este 0, C va

Principiul Bi-stability

- Un circuit bistabil este cunoscut ca și flip-flop.
- El este util doar dacă există o motivare de a fi adus dintr-o stare în altă stare (FSM-urile)
- Prin aplicarea unei tensiuni de intrare pot ajunge din A în B sau din B în A fără a mai trece prin C – de aceea se numesc flip-flop-uri
- Renuntarea la loop-ul de feedback – dacă loop-ul de feedback este deschis, o nouă valoare poate fi ușor scrisă la ieșire.
- Supra-alimentarea loop-ului de feedback prin aplicarea unui semnal de trigger la intrarea unui flip-flop conduce ca o nouă valoare să fie forțată în celulă de supra-alimentare a valorii memorate.
- Trebuie să fim atenți la dimensionarea tranzistoarelor din loop-ul de feedback.

Multiplexer Based Latches

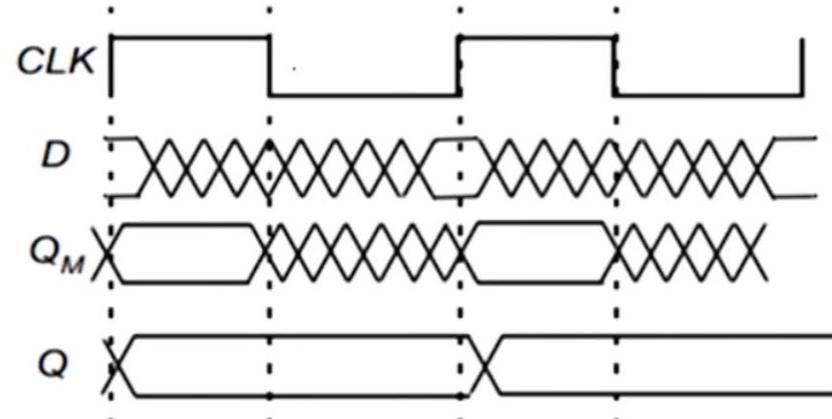
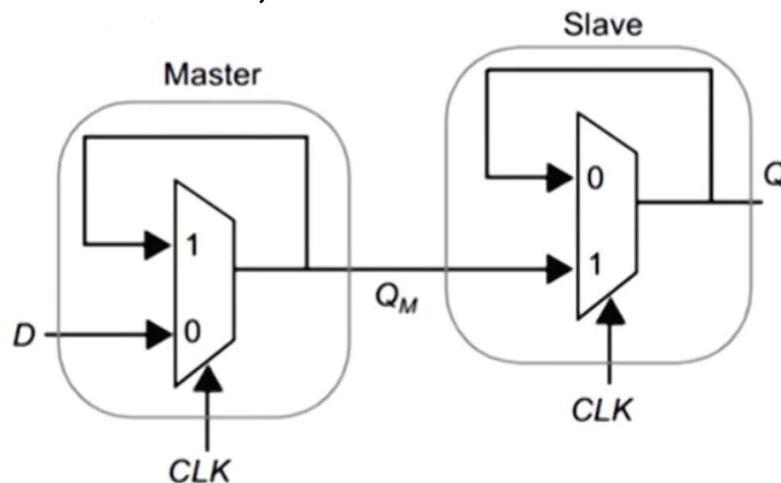
- Una din metodele robuste de construcție a unui latch este cea folosind TG
- Notăm cu TG1 poarta TG de jos și cu TG2 poarta TG de sus
- CLK și \overline{CLK} sunt mutual nesuprapuse.
- $CLK = 1$ atunci $\overline{CLK} = 0$ deci TG1 este ON iar TG2 este OFF deci \overline{D} va merge la intrarea inversorului de la ieșire ceea ce înseamnă că $Q = D$
- $\overline{CLK}=1$ și $CLK=0$ atunci TG2 este off și TG1 este ON. Deci loop-ul de sus va fi activ care nu face nimic altceva decât să mențină valoarea



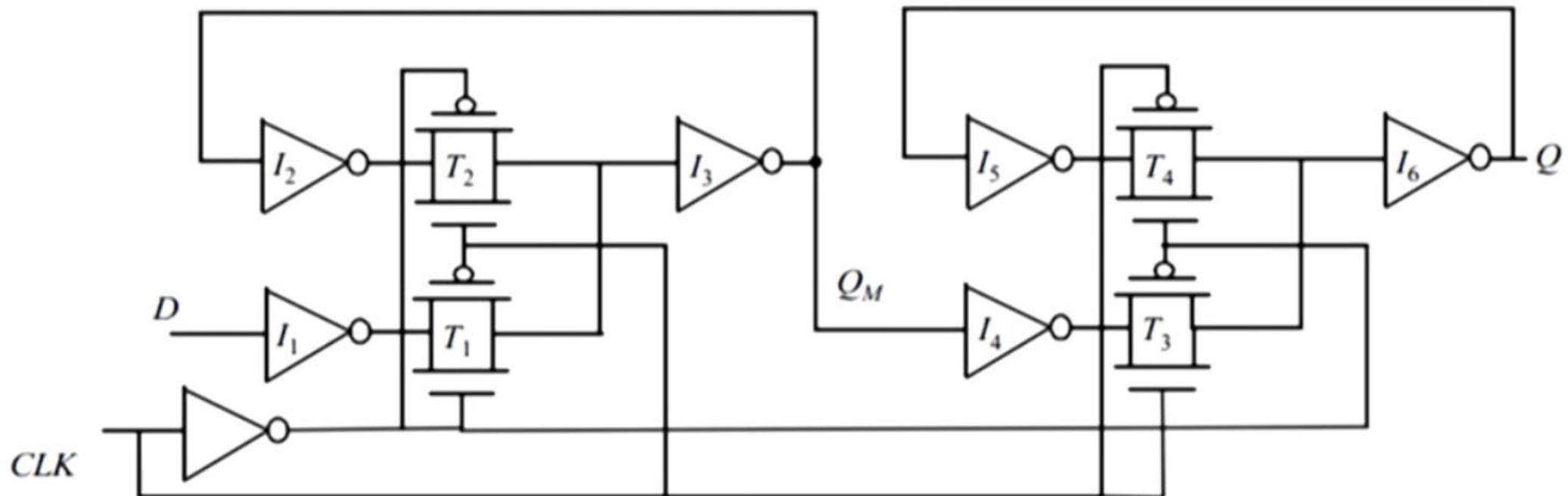
Problema cu această implementare este că apare o degradare a semnalului de ieșire (0 trece prin PMOS)

Multiplexer Based Latches

- Cea mai uzitată metodă de a construi un registru edge-triggered este să cascadăm un latch negativ (Master) cu unul pozitiv (Slave)
- Master-ul acceptă date dacă slave-ul este transparent – doar atunci slave-ul va produce date la ieșire depinzând de valoarea datei disponibile pe ieșire.
- Dacă nu dorim ca data să fie transmisă la ieșire doar închidem slave-ul și master-ul va evalua doar valoarea intrării la ieșire.



Multiplexer Based Latches



$$t_{su} = 3 \times t_{pd_inv} + t_{pd_tx}.$$

$$t_{c-q} = t_{pd_inv} + t_{pd_tx}.$$

$$t_{hold} = 0$$

Multiplexer Based Latches

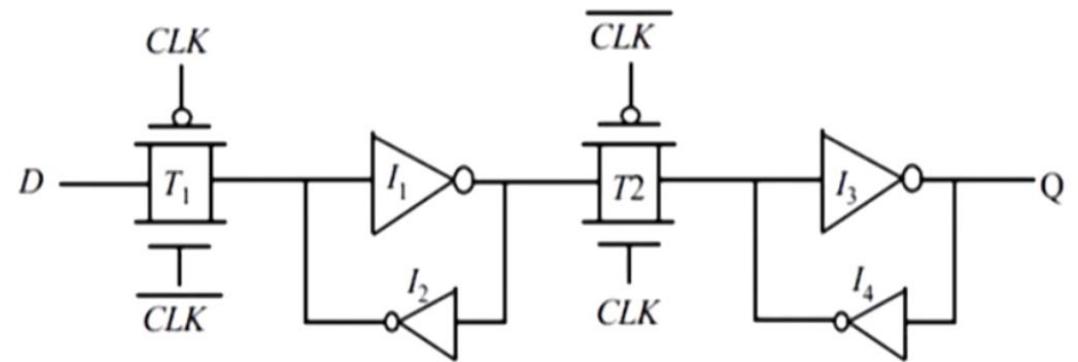
- CLK = 1 => T1 este OFF iar T3 este ON
- CLK = 0 => T1 este ON iar T3 este OFF
- CLK = 0 => T1 este ON dar T2 este OFF (avem 1 pe PMOS). Deci la intrarea lui I_3 vom avea \bar{D} => la intrarea lui I_4 avem D => T_3 va conduce D.
- T_3 este însă OFF iar T_4 este ON => feedback-ul « I_5, T_4, I_6 » de sus de la slave este activ și va menține valoarea anterioară a lui Q.
- CLK = 1 => T_1 este OFF dar T_2 este ON și T_3 este ON iar T_4 este OFF => pe Q vom avea noua valoare a lui D.
- $t_{su} = (I_1 + I_3 + I_2) + T_1 = 3 * t_{pdinv} + t_{pdtx}$
- Dacă nu se respectă acești timpi nu vom putea face deosebirea între noul D și vechiul D
- $t_{hold} = 0$ Deoarece Q_M instant va alimenta T_3 .

Multiplexer Based Latches

- *Problema 1 cu această implementare*
- CLK alimentează 8 tranzistoare => CLK este foarte mare și asta în cazul unui singur Master-Slave.
- Lucrurile se complică dacă avem n module Master-Slave. În acest caz capacitanța este de asemenea foarte mare.
- Nu contează aspect ratio ($\frac{W}{L}$) pentru T_1, T_2, T_3, T_4 .

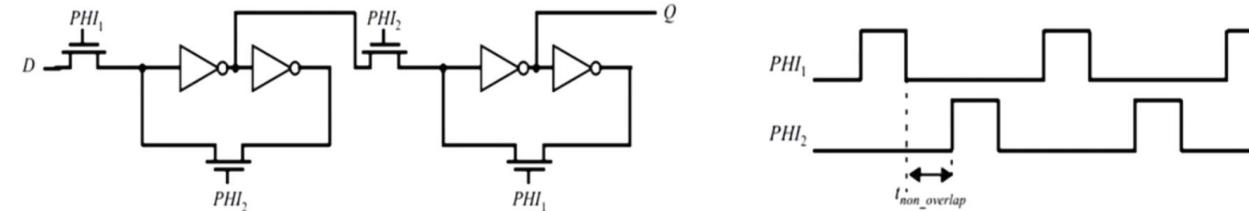
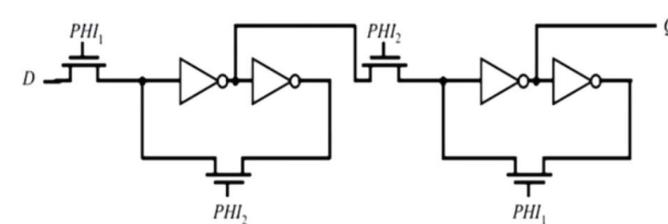
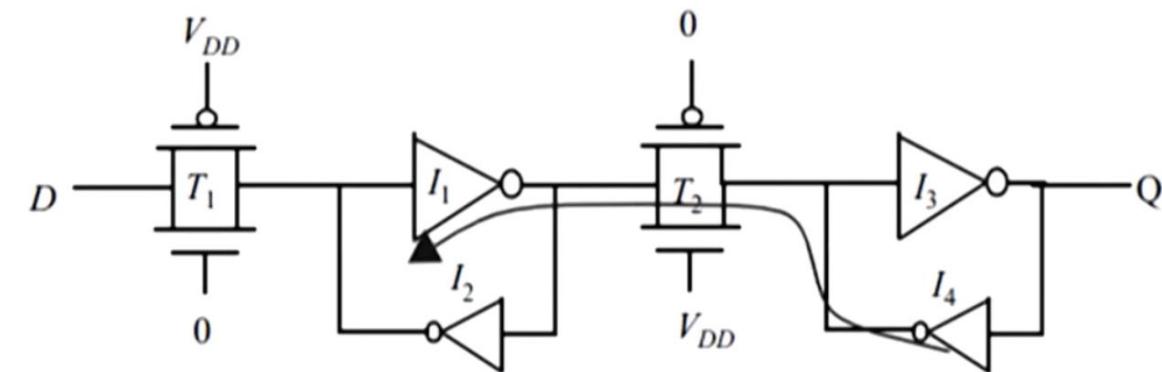
Multiplexer Based Latches

- *Soluție*
- Proiectăm circuitul vizând aspect ratio
- $CLK=0 \Rightarrow T1$ este ON și $T2$ este OFF \Rightarrow un loop infinit înainte de $T2$.
- $CLK = 1 \Rightarrow T1$ este OFF iar $T2$ este ON $\Rightarrow \bar{D}$ va ajunge la intrarea lui I_3 $\Rightarrow I_1$ și I_3 sunt mai strong decât I_2 și I_4
- Prin această implementare load-ul lui CLK este redus la jumătate.



Multiplexer Based Latches

- Problema 2 cu această implementare – conducția inversă
- T2 este ON și T1 este OFF \Rightarrow reverse de la Q deci T2 nu va mai știi ce date conduce.
- În anumite condiții CLK și \overline{CLK} se suprapun (fenomen cunoscut ca și clock skew)
- Dacă $CLK = 1$ și $\overline{CLK} = 1$ atunci există o sansă ca NMOS-ul lui T2 și al lui T1 să conducă \Rightarrow avem conducție inversă de la Q la D
- Solutia la această problemă este să folosim 2 ceasuri care nu se suprapun în



CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Modulul 6

Circuite sevențiale II

Toate pozele au ca și sursă: J.M. Rabaey, A. Chandrakasan and B. Nikolic "Digital Integrated Circuit"
PHI Learning Pvt. Ltd., 2011

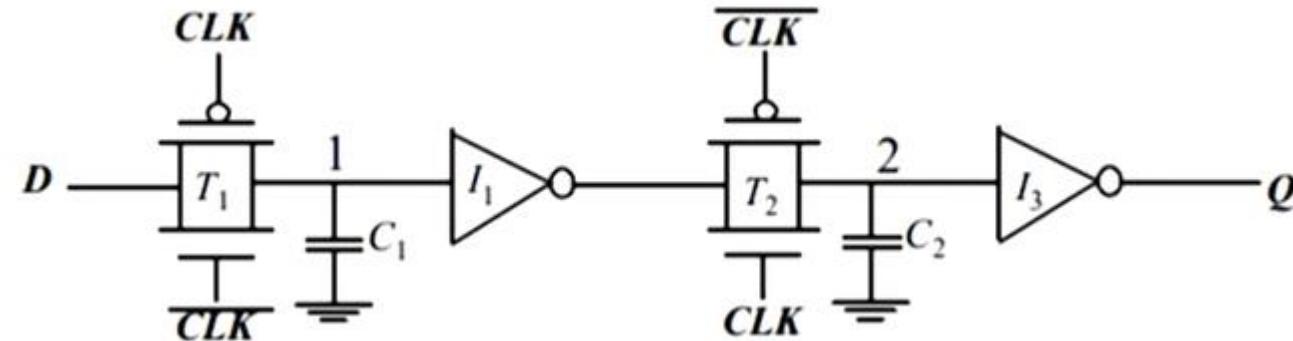
Cuprins

- Latch-uri dinamice și registre
 - Dynamic Transmission Gate Edge Triggered Registers
 - Registre C^2MOS
 - TSPCR (True Single Phase Clocked Register)
- Registre alternative
 - Registre puls

Latch-uri dinamice și registre

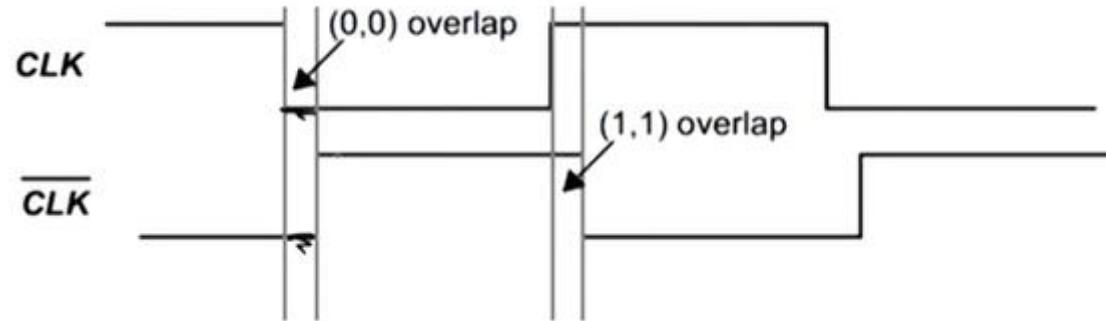
- Când registrele utilizate în cadrul circuitelor folosesc în mod constant ceasul, este necesar ca memoria să își mențină starea pentru perioade mari de timp
- Sarcină temporară memorată pe un capacitor parazit este utilizată pentru reprezentarea logică a semnalului
- Absența unei sarcini reprezintă 0 cât timp prezența unei sarcini reprezintă 1
- Pentru a menține integritatea semnalului, un refresh periodic este necesar pentru valoare – memorie dinamică

Activarea registrelor de frontul portilor dinamice de transmisie



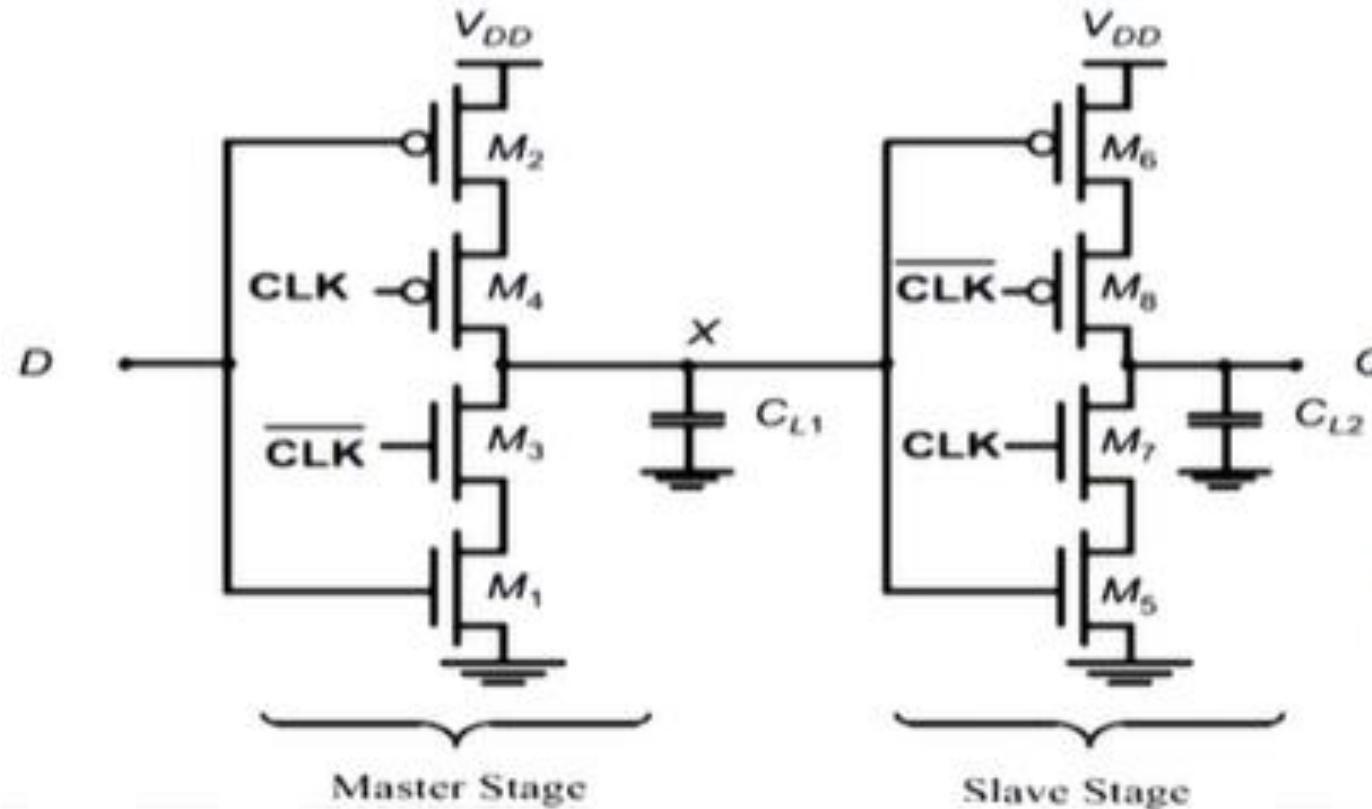
- Timpul de set-up pentru acest circuit este format din întârzierea portii de transmisie
- Timpul de hold este aproximativ 0 deoarece poarta de transmisie este închisă pe frontul ceasului și ca atare modificarea intrării este ignorată (T_1 și T_2 sunt mutuali exclusivi)
- Propagarea întârzierii este întârzierea celor 2 inversoare + întârzierea portii de transmisie (iesirea Q va fi disponibilă după întârzierea lui I_1 + întârzierea lui T_2 + întârzierea lui I_3)

Suprapunerea ceasurilor



- Pe durata suprapunerii 0-0, tranzistorul NMOS al lui T1 și tranzistorul PMOS al lui T2 sunt simultan ON și astfel se creează o cale directă a fluxului de la D la Q
- În suprapunerea 1-1 există o cale prin PMOS-ul lui T1 și NMOS-ul lui T2.

Registrul C^2MOS

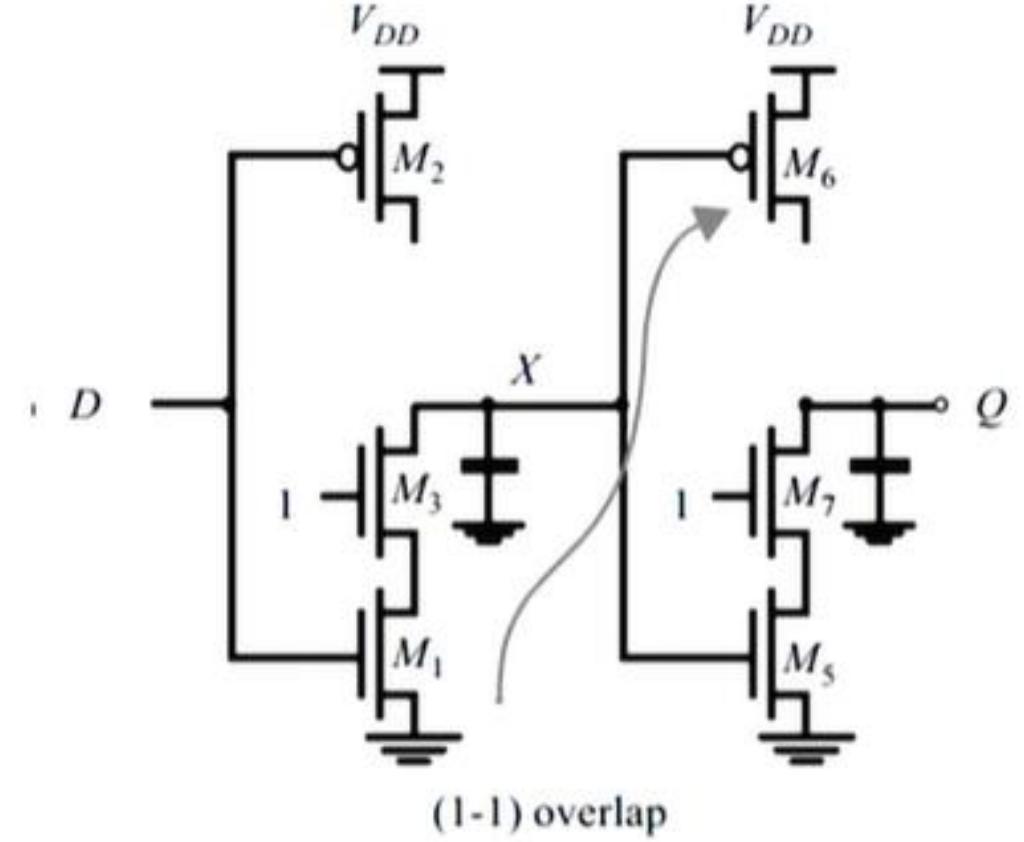
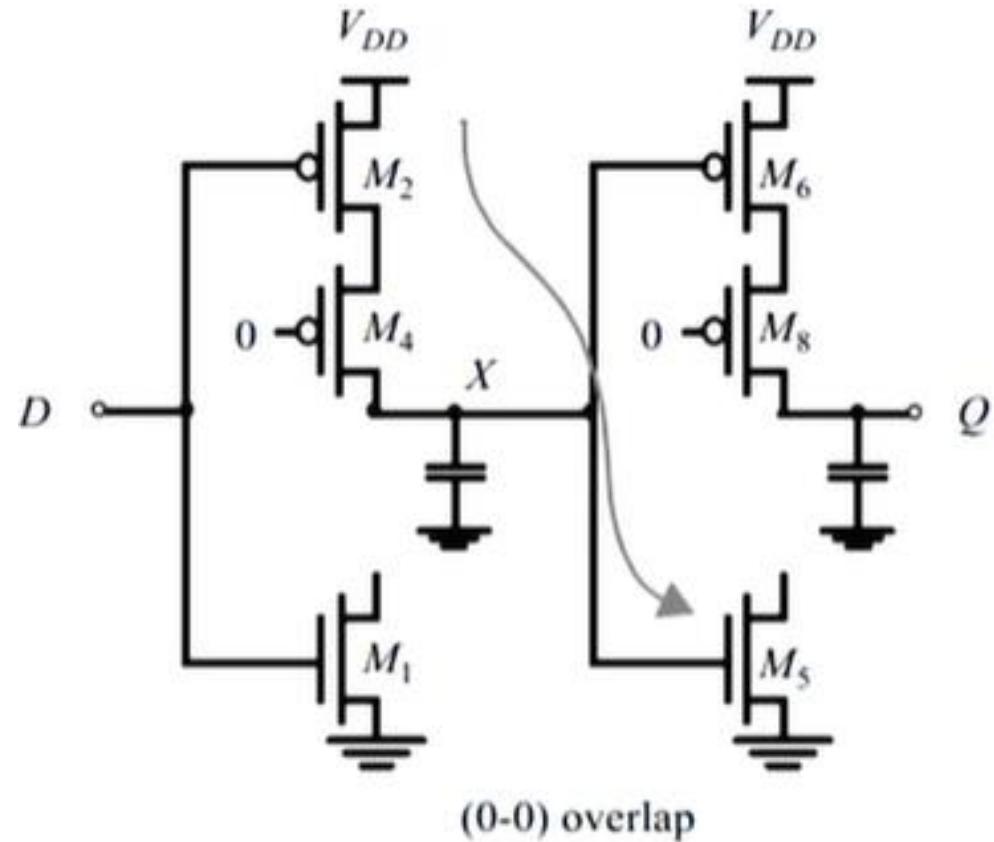


Rezolvă problema cu suprapunerea ceasurilor – un registru C^2MOS cu CLK și \overline{CLK} nu este sensiv la suprapunerea lor atât timp cât timpii de comutare 0-1 sau 1-0 sunt suficienți de mici

Pentru $CLK=0$, Master-ul este în modul evaluare iar Slave-ul este în modul hold.

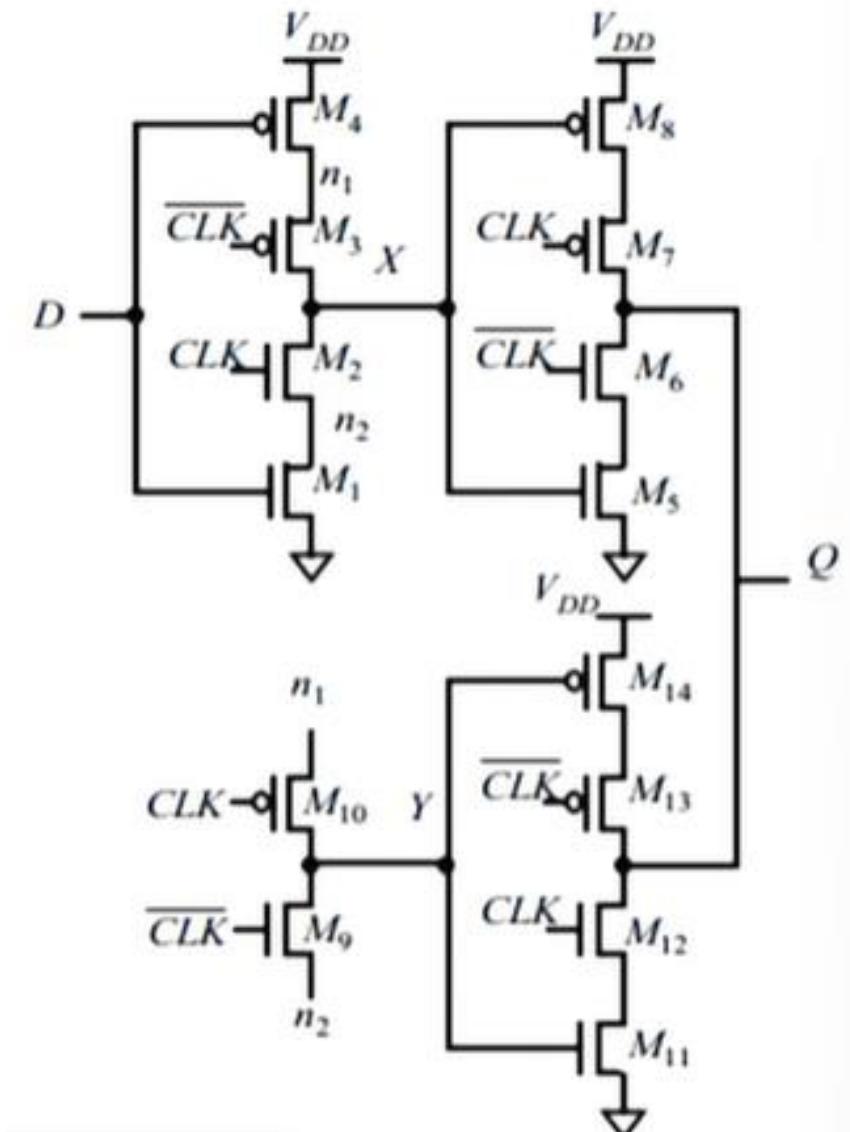
Pentru $CLK=1$ este invers

Registrul C^2MOS

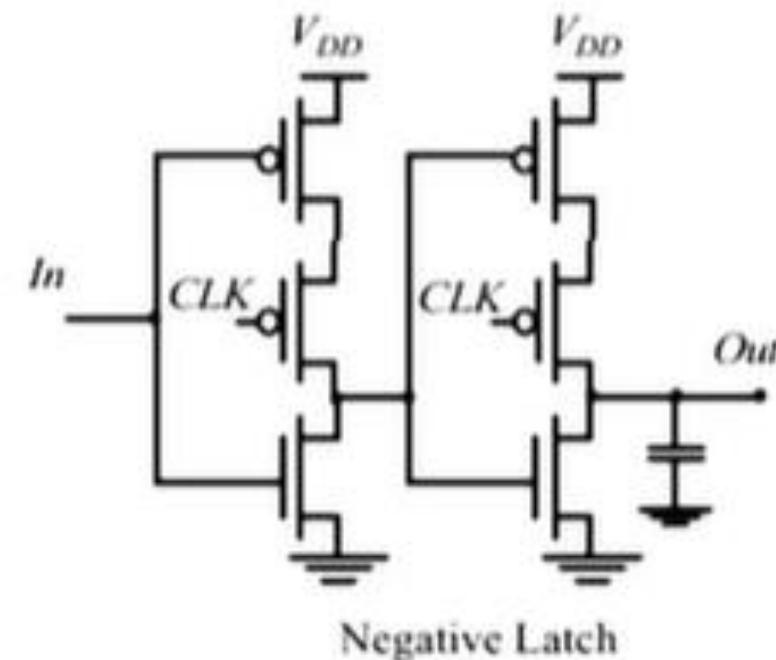
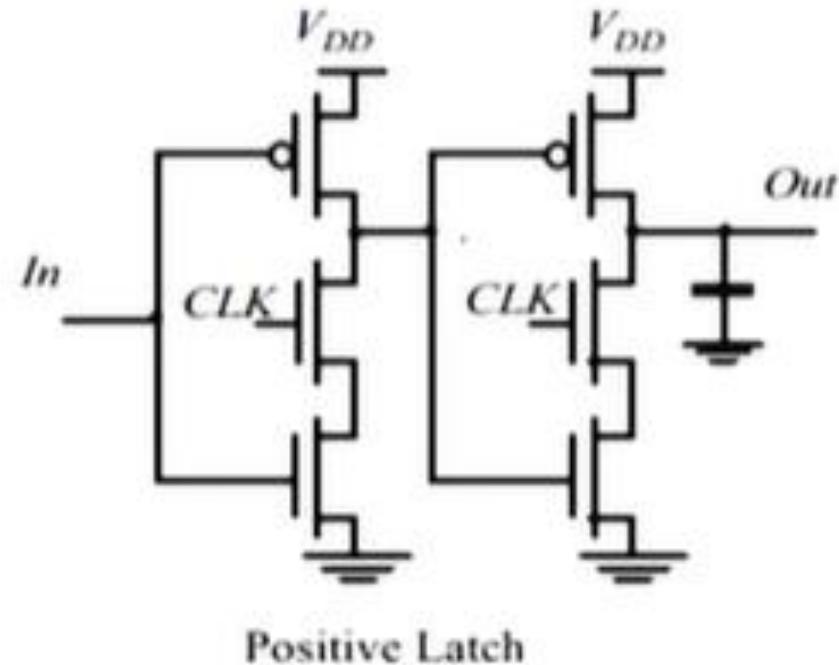


Registru activ pe ambele fronturi de ceas

- Este posibil să proiectăm un circuit secvențial care să preia date pe ambele fronturi de ceas
- Avantaj: o frecvență mică a ceasului este distribuită pentru același throughput funcțional => salvăm putere
- Presupune 2 registre în paralel de tip Master-Slave conduse pe front ale căror ieșiri sunt multiplexate prin utilizarea driver-lor tri-state
- Orice valoare memorată în X în următorul front de ceas va fi transportată în Q.
- Încărcarea ceasului – numărul total de MOS-uri care sunt direct conduse de CLK. Uzual încărcarea ceasului este 8.



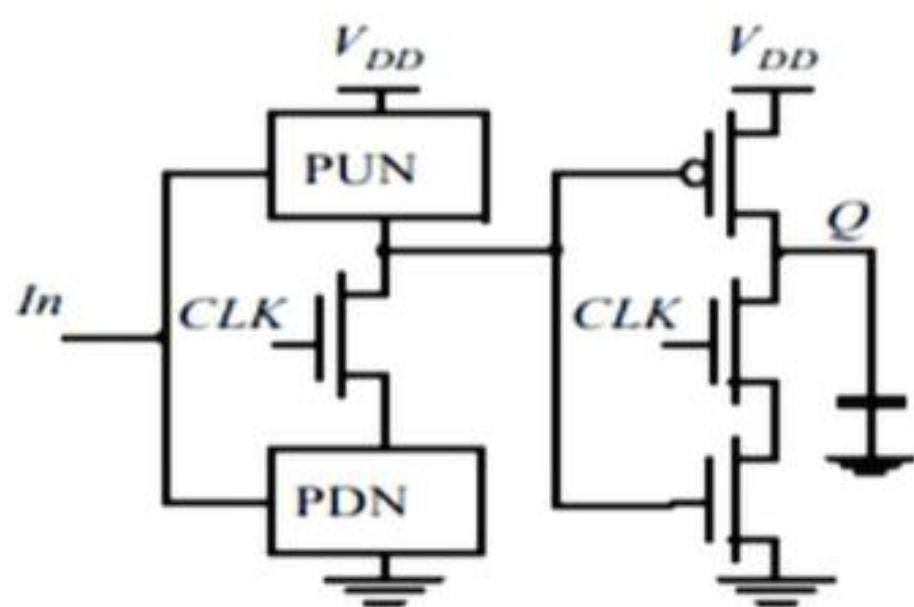
TSPCR – True Single Phase Clocked Register



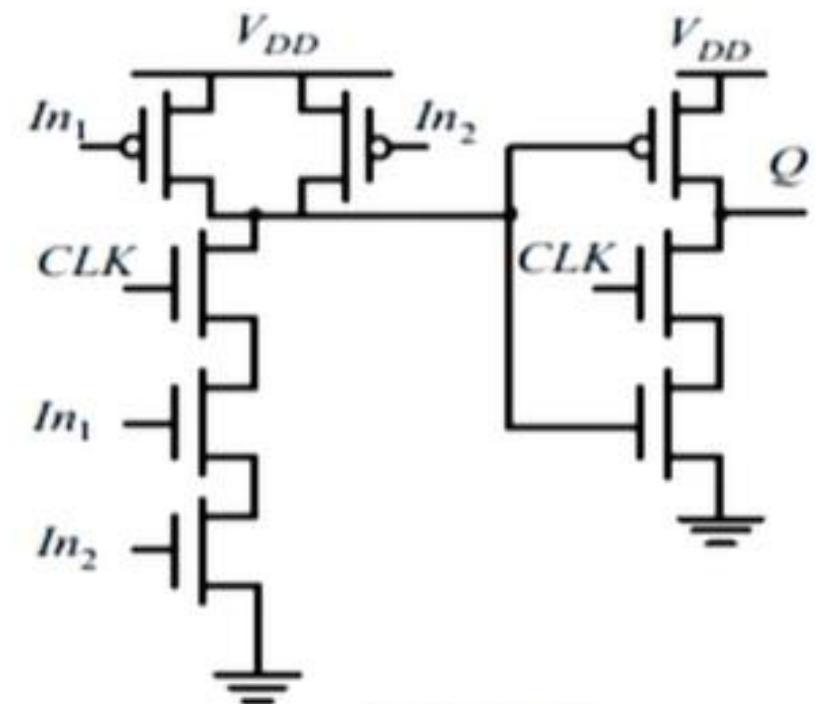
- Este posibil să proiectăm un registru care utilizează doar o singură fază a ceasului.
- Pentru latch-ul pozitiv, când $CLK = 1$, atunci latch-ul este în modul transparent și corespunde unor Inversoare cascadeate în număr de 2. Latch-ul este ne-inversor și propaghează intrarea către ieșire
- Dacă cascadăm latch-uri pozitive cu negative obținem un registru.

TSPCR – True Single Phase Clocked Register

- TSPC oferă un avantaj suplimentar de a include funcționalitate logică în latch-uri



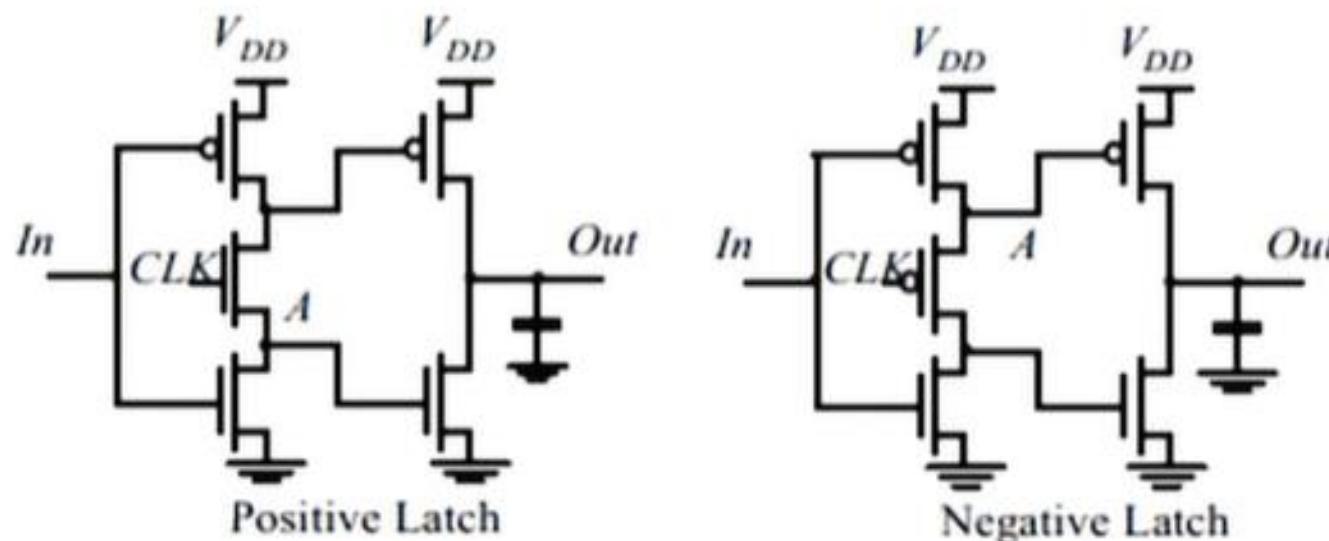
Including logic into the latch



AND latch

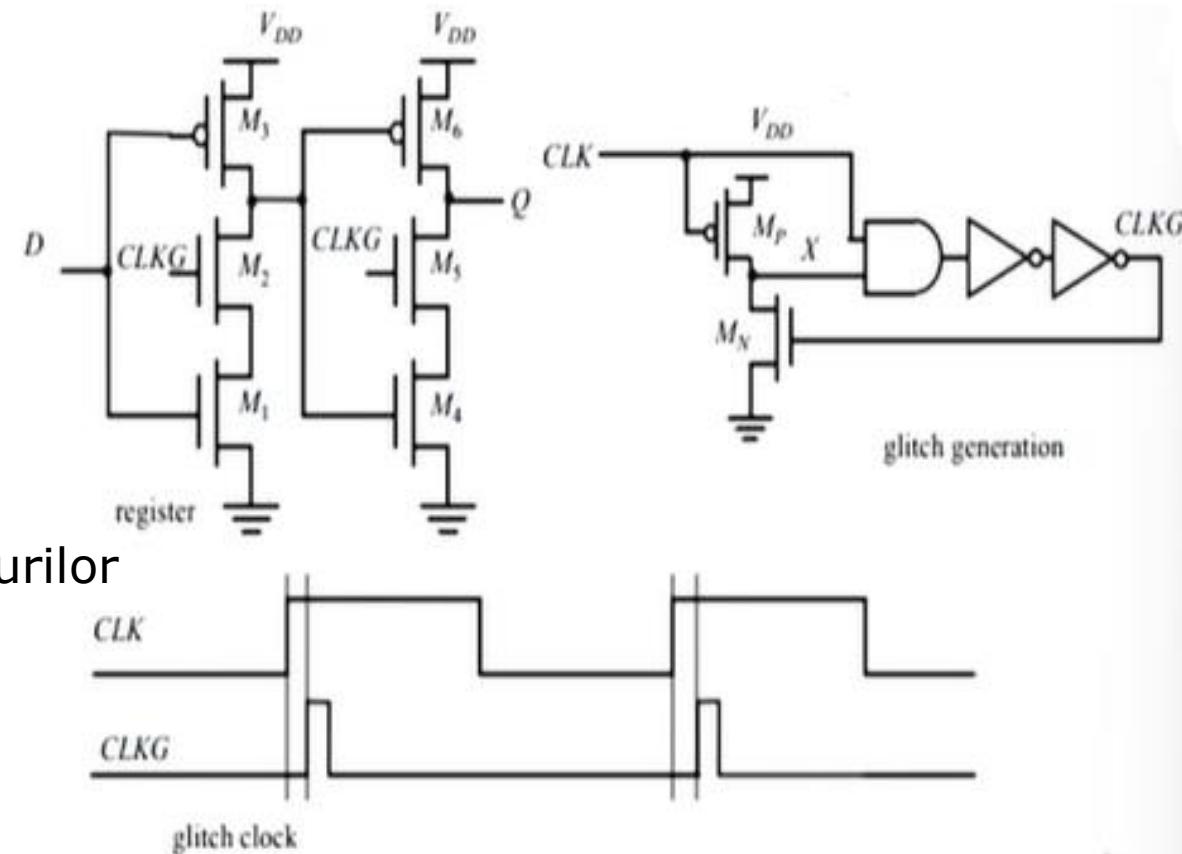
TSPCR – True Single Phase Clocked Register

- TSPC poate fi proiectat cu o complexitate scăzută – doar primul inversor să fie controlat de ceas
- Această metodă reduce load-ul clock-ului dar care ca și dezavantaj faptul că tensiunile tuturor nodurilor nu vor face o comutare logică completă.



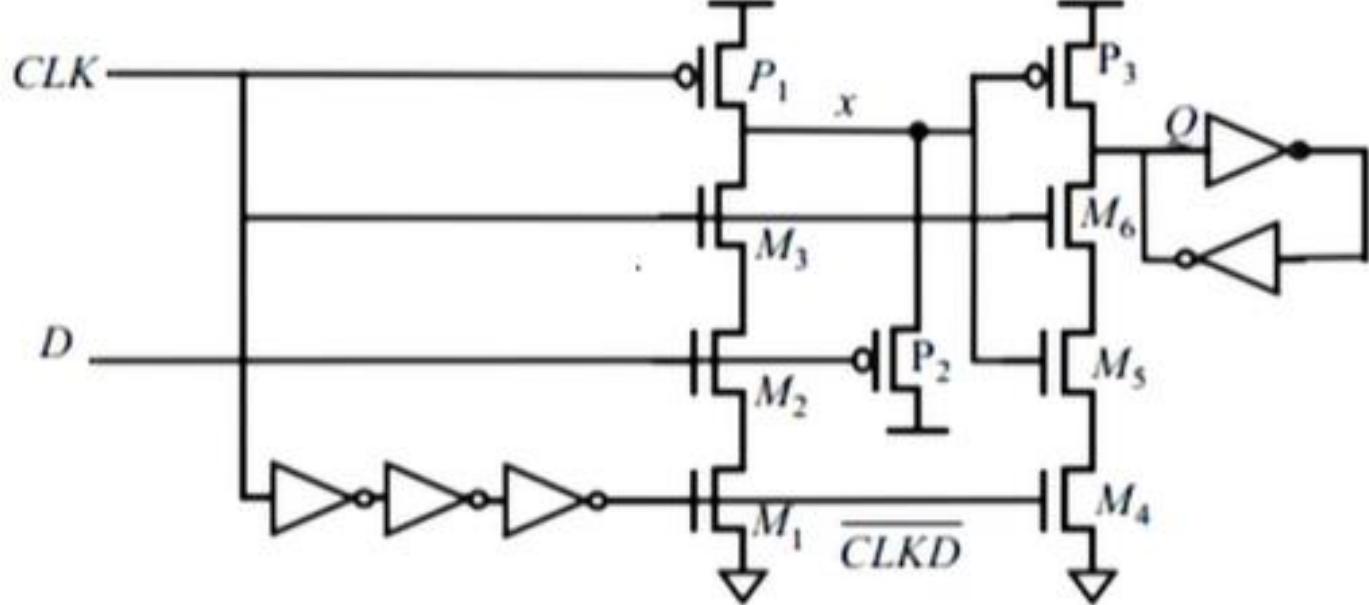
Registru pulse

- Ideea este să construim un scurt pulse în jurul frontului pozitiv sau negativ al ceasului. Eșantionarea datelor se va face peste o fereastră mică.
- Putem combina un circuit de generare a glich-urilor și latch rezultând un registru condus de frontul pozitiv al ceasului.



Registru pulse – o altă versiune

- Acest circuit utilizează un generator de pulse care este integrat în registru
- În acest circuit, timpul de setup este negativ



CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Modulul 7

Strategii legate de ceas

Toate pozele au ca și sursă: J.M. Rabaey, A. Chandrakasan and B. Nikolic "Digital Integrated Circuit"
PHI Learning Pvt. Ltd., 2011

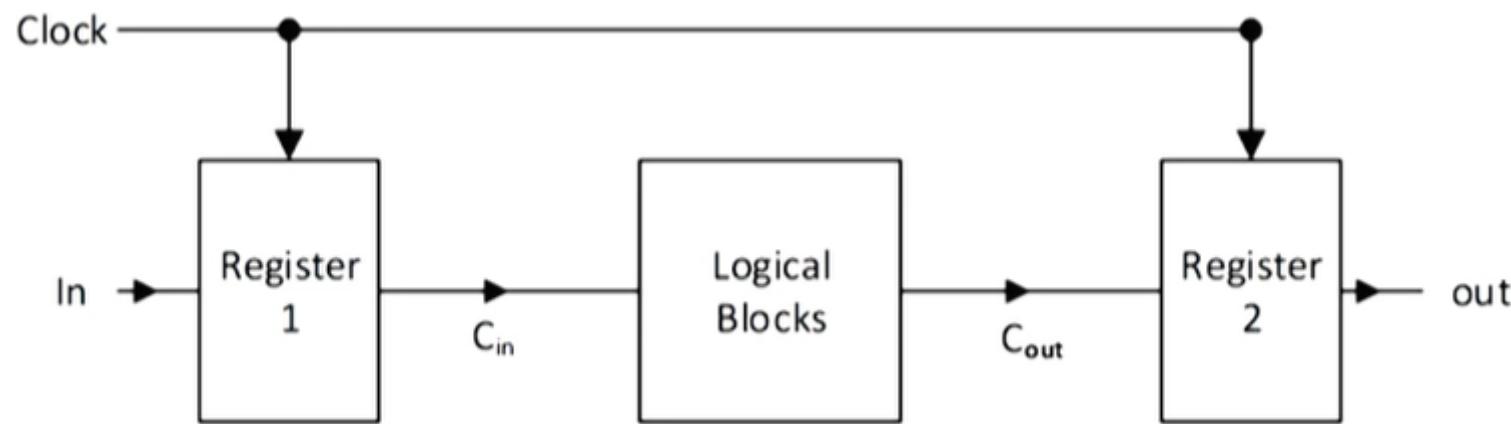
Cuprins

- Introducere
- Tehnici de proiectare a circuitelor sincrone
- Clock skew
- Clock jitter
- Impactul generat de clock skew și clock jitter
- Tehnici de proiectare pentru reducerea lui clock skew și clock jitter
- Distribuția ceasului
- Avantajele proiectării sincrone

Introducere

- Pe fiecare front pozitiv de ceas realizăm un sample pentru date
=» datele trebuie să fie disponibile înainte de apariția ceasului (timpul de set-up dar și timpul de hold).
- Comutarea sistematică asigură funcționarea corectă a circuitului
- **Abordarea sincronă** – toate elementele circuitului sunt simultan update-tate pe baza unui ceas global
- **Abordarea asincronă** – Folosim protocoale care măresc complexitatea. Nu este necesar un ceas global distribuit.

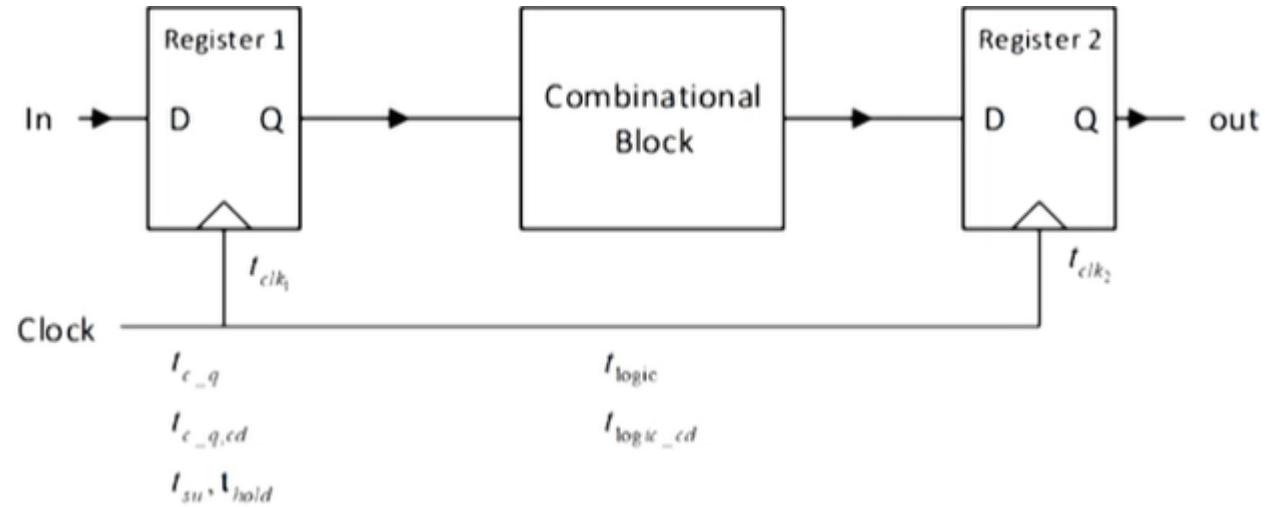
Tehnica de proiectare sincronă



- Un semnal sincron este un semnal care are exact aceeași frecvență ca și ceasul local și menține un offset de fază fix.
- Datele sunt sincronizate pe ceas !!!!
- Pe ceas putem face sample de date direct fără nici o incertitudine
- Cel mai utilizat mod de interconectare - BA

Timpii de sincronizare

- $t_{cq,cd}$ - timp de contaminare sau întârzierea minimă a registrului
- t_{cq} - întârzierea maximă a registrului
- t_{su} - setup time
- t_{hold} - hold time
- $t_{logic,cd}$ - întârzierea de contaminare a blocului combinațional
- t_{logic} - întârzierea maximă a blocului combinațional
- t_{clk1}, t_{clk2} - pozițiile fronturilor crescătoare ale ceasurilor CLK_1 și CLK_2 .



În cazul ideal $t_{CLK1} = t_{CLK2}$

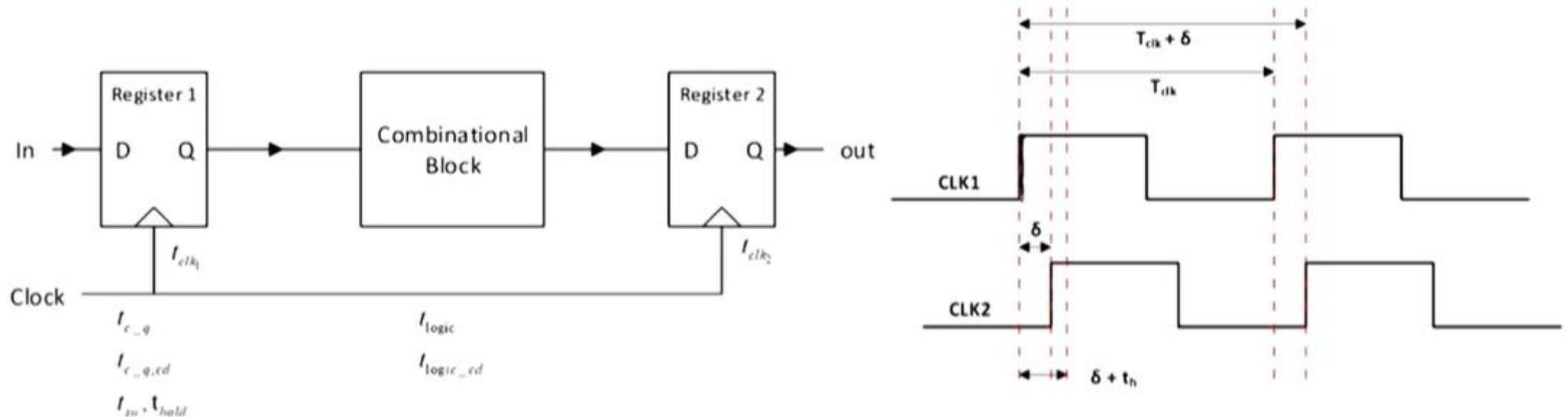
$$T > t_{cq} + t_{logic} + t_{su}$$

$$t_{hold} < t_{cq,cd} + t_{logic,cd}$$

Circuit mesochronoms

- În cazul a două ceasuri CLK_1 și CLK_2 care au aceeași frecvență dar faze diferite va exista o pierdere de date și ca urmare în cazul mecanismului de interconectare mesochronoms datele transmise prin intermediul acestui mecanism vor avea o diferență constantă de fază
- Dacă nu se cunoaște faza ceasului CLK_B va fi foarte dificil să determinăm data blocului B.
- Prin intermediul unității de control vom adăuga sau scădea o întârziere în circuit
- Astfel putem sincroniza cele două ceasuri iar data de ieșire a blocului B va fi sincronizată cu ceasul CLK_B
- În acest caz nu vom avea o întârziere fixă.

Clock Skew



Frontul pozitiv de ceas este întârziat cu δ la cel de al doilea regisztr.

CLK1 apare înaintea lui CLK2 atunci avem pozitive clock skew, altfel avem negative clock skew

Clock skew este constant de la un ciclu la alt ciclu de ceas

$$T + \delta > t_{cq} + t_{logic} + t_{su}$$

$$t_{hold} + \delta < t_{cq,cd} + t_{logic,cd}$$

Clock jitter

- Clock jitter – se referă la o variație temporară a perioadei ceasului într-un punct dat
- Jitter ciclu-ciclu se referă la variația deviației ceasului a unei singure perioade de ceas
- Într-o locație i avem: $T_{jitter,i}(n) = T_{i,n+1} - T_{i,n} - T_{CLK}$

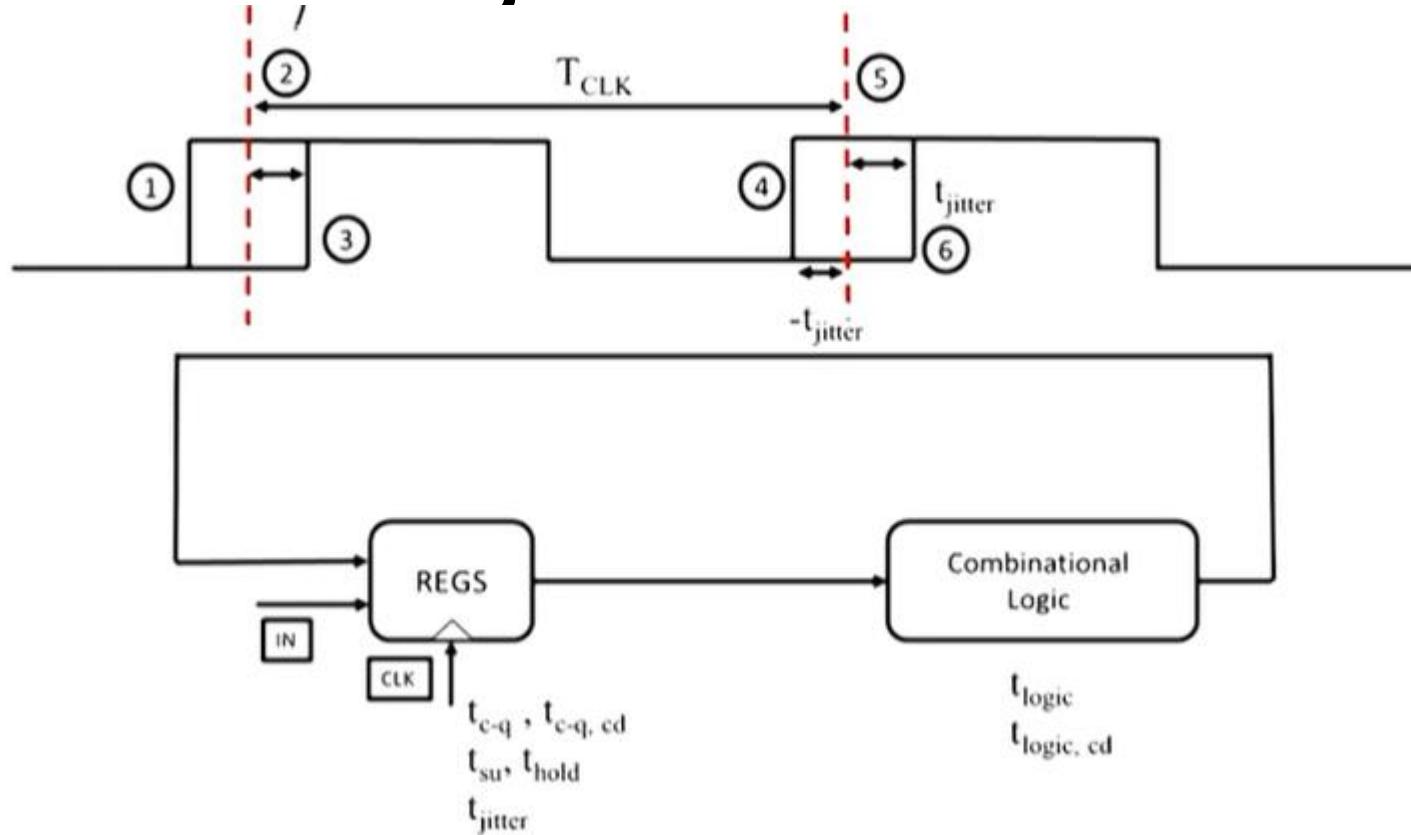
unde:

$T_{i,n}$ este perioada ceasului pentru perioada n

$T_{i,n+1}$ este perioada ceasului pentru perioada n+1

T_{CLK} este perioada nominală a ceasului

Clock jitter



- Jitter impactează în mod direct performanța sistemului secvențial

Timpul total disponibil pentru realizarea unei operații este redus de $2 * t_{jitter}$ în cel mai rău caz

$$T_{CLK} - 2t_{jitter} \geq t_{cq} + t_{logic} + t_{su}$$

Impactul lui clock skew and clock jitter

$$T_{CLK} + \delta - t_{jitter1} - t_{jitter2} \geq t_{cq} + t_{logic} + t_{su}$$

$$T \geq t_{cq} + t_{logic} + t_{su} - \delta + t_{jitter1} + t_{jitter2}$$

