

CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

Modulul 6

Circuite secvențiale

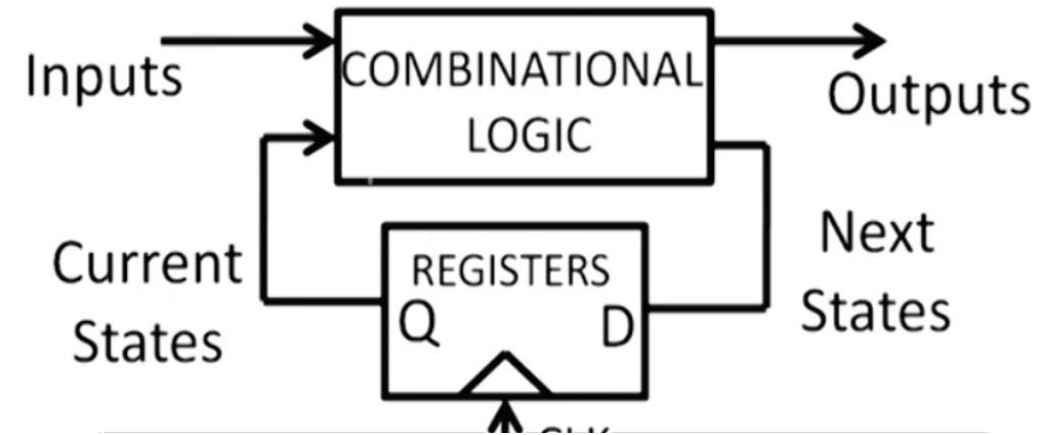
Toate pozele au ca și sursă: J.M. Rabaey, A. Chandrakasan and B. Nikolic "Digital Integrated Circuit"
PHI Learning Pvt. Ltd., 2011

Cuprins

- Introducere
- Metrice de timp pentru circuitele secvențiale
- Clasificarea elementelor de memorie
- Latch-uri statice și registre
- Principiul bi-stabilitate
- Latch-uri bazate pe multiplexoare
- Registre Master-Slave

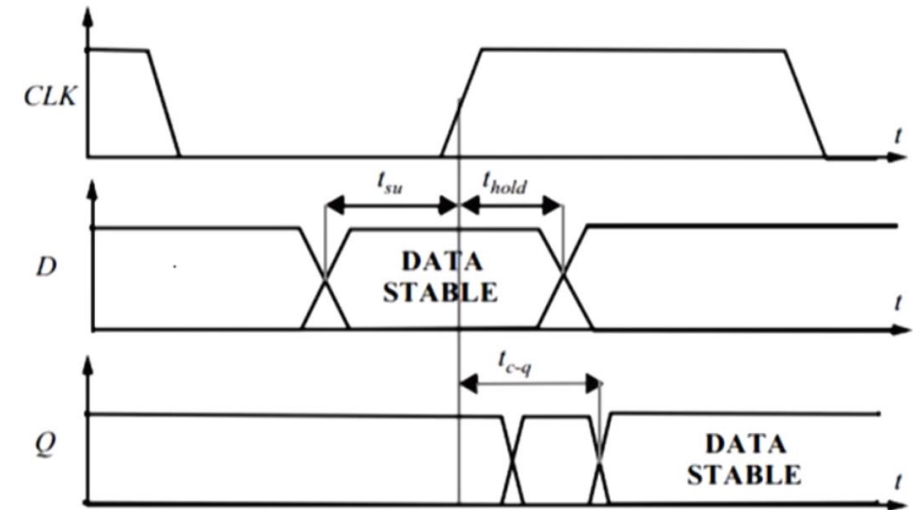
Introducere

- În cazul circuitelor combinaționale starea circuitului la momentul t_0 nu influențează starea circuitului la momentul t_1 .
- În cazul circuitelor secvențiale, ele sunt funcții de valorile curente ale intrărilor și a valorilor de intrare precedente
- Apare noțiunea de memorie



Metrice de timp

- Setup Time (t_{su}) este timpul pentru care data de intrare trebuie să fie validă înainte de tranziția ceasului din 0 în 1
- Hold Time (t_{hold}) timpul pentru care datele de intrare trebuie să rămâne valide după tranziția ceasului
- Perioada ceasului (T) este timpul pentru care circuitul secvențial operează. Trebuie să acomodeze cea mai mare întârziere a fiecărui stadiu din rețea
- t_{plogic} reprezintă cea mai proastă propagare a întârzierii
- t_{cd} este întârzierea minimă sau întârzierea de contaminare



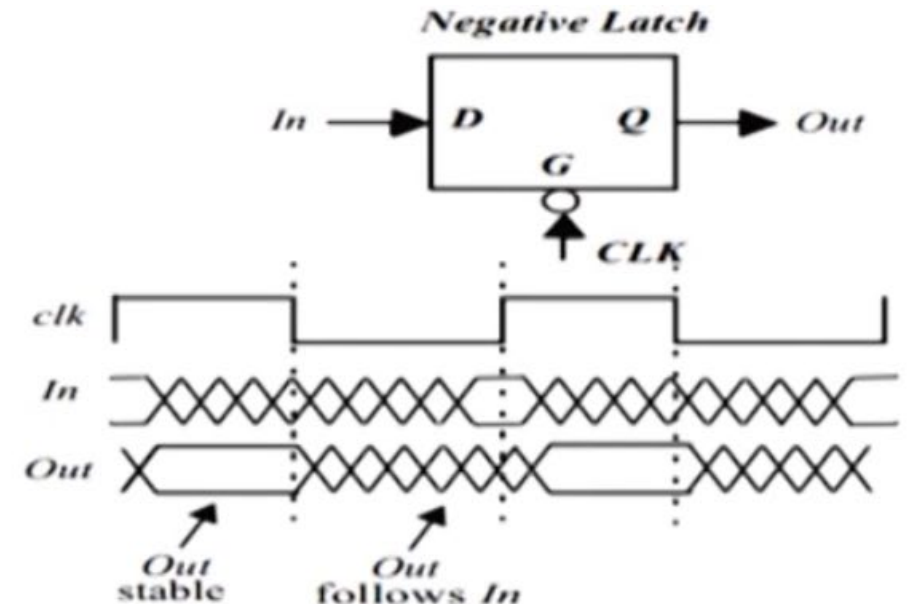
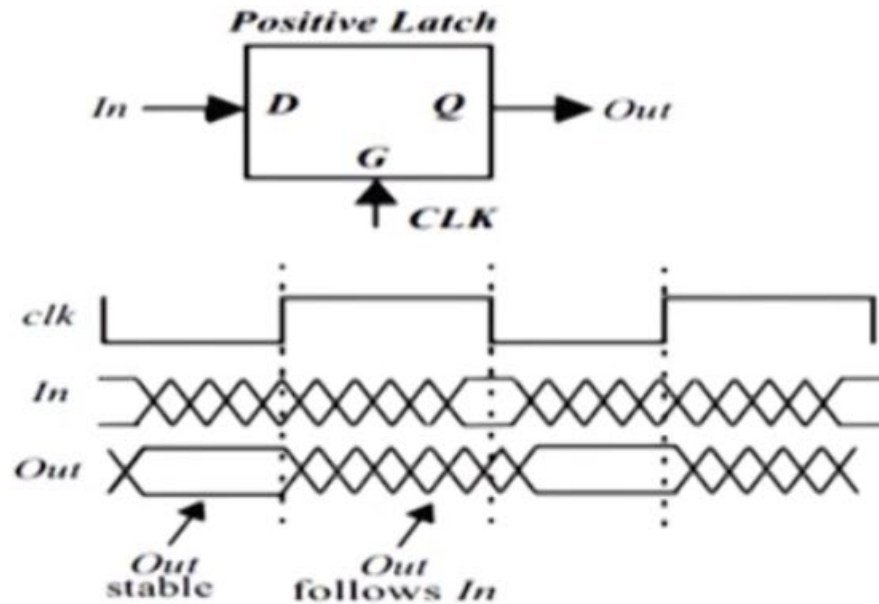
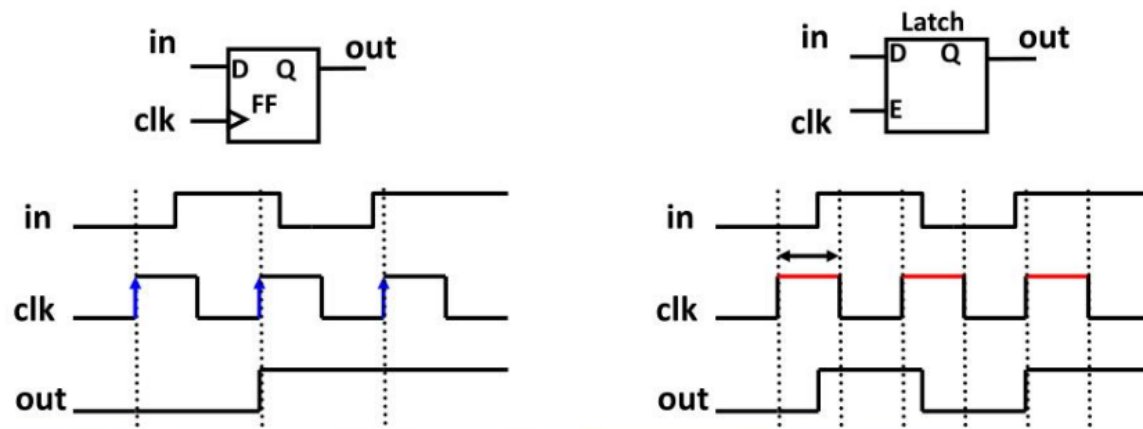
$$T \geq t_{cq} + t_{plogic} + t_{su}$$

$$t_{cdregister} + t_{cdlogic} \geq t_{hold}$$

Clasificarea elementelor de memorie

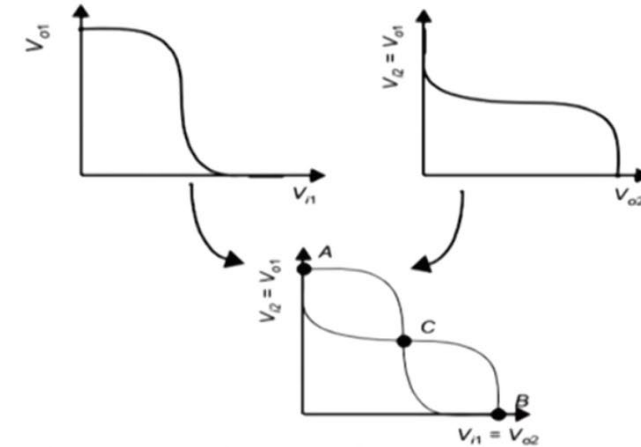
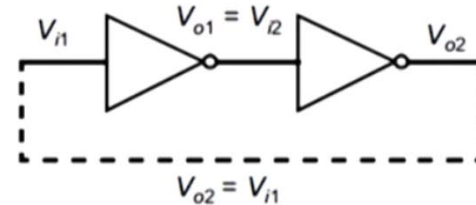
- Memoria care este inclusă în logică este o memorie **foreground**; ea este adesea organizată ca registre individuale sau bank-uri de registre
- O memorie centralizată de capacitate mare este cunoscută ca memorie **background**.
- Memoria statică își menține starea cât timp este alimentată. Ele sunt construite utilizând regenerarea sau feedback-ul pozitiv.
- Memoriile dinamice memorează date pentru o scurtă perioadă de timp (ms).

Latch-uri vs Registre



Principiul Bi-stability

- Presupunem că avem 2 inversoare statice în cascadă.
- Memoriile statice utilizează feedback-ul pozitiv pentru a crea un circuit bi-stabil, un circuit care are 2 stări stabile ce reprezintă 0 și 1
- Pozitive feedback sau regeneration loop.
- Acest positive feedback loop ne ajută să menținem ieșirea pe o perioadă mare de timp (1 - 0 - 1).
- Dacă intrarea va fi 1 atunci ieșirea va rămâne 0. Ieșirea va fi între cele 2 inversoare.



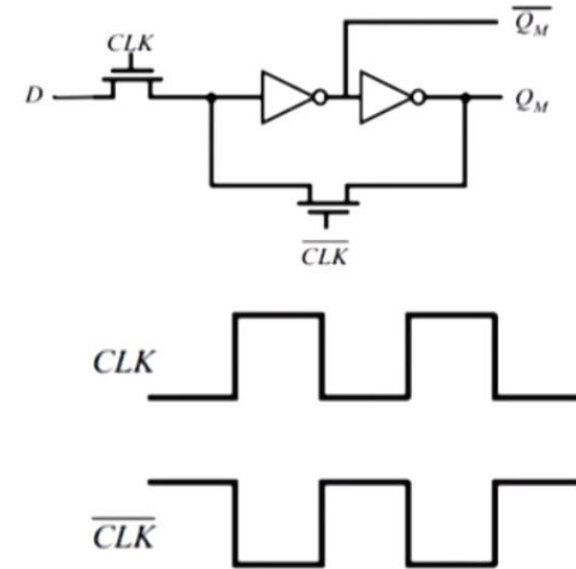
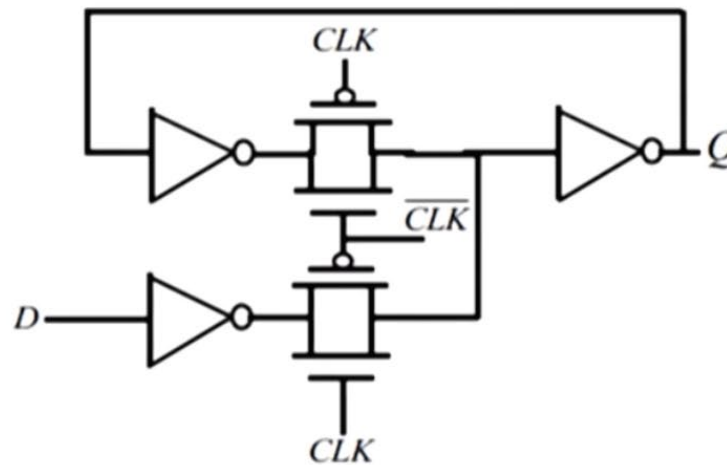
- Avem 3 puncte de intersecție.
- Punctele A și B sunt fixe
- Dacă avem o variație a intrării ΔV_{in} atunci C va fi mai la stânga sau mai la dreapta
- $\frac{\Delta V_{out}}{\Delta V_{in}}$ este mare \rightarrow C nu este un punct stabil.
- Deci, când intrarea este 1, C va trage către A, iar când intrarea este 0, C va

Principiul Bi-stability

- Un circuit bistabil este cunoscut ca și flip-flop.
- El este util doar dacă există o motivare de a fi adus dintr-o stare în altă stare (FSM-urile)
- Prin aplicarea unei tensiuni de intrare pot ajunge din A în B sau din B în A fără a mai trece prin C – de aceea se numesc flip-flop-uri
- Renunțarea la loop-ul de feedback – dacă loop-ul de feedback este deschis, o nouă valoare poate fi ușor scrisă la ieșire.
- Supra-alimentarea loop-ului de feedback prin aplicarea unui semnal de trigger la intrarea unui flip-flop conduce ca o nouă valoare să fie forțată în celulă de supra-alimentarea valorii memorate.
- Trebuie să fim atenți la dimensionarea tranzistoarelor din loop-ul de feedback.

Multiplexer Based Latches

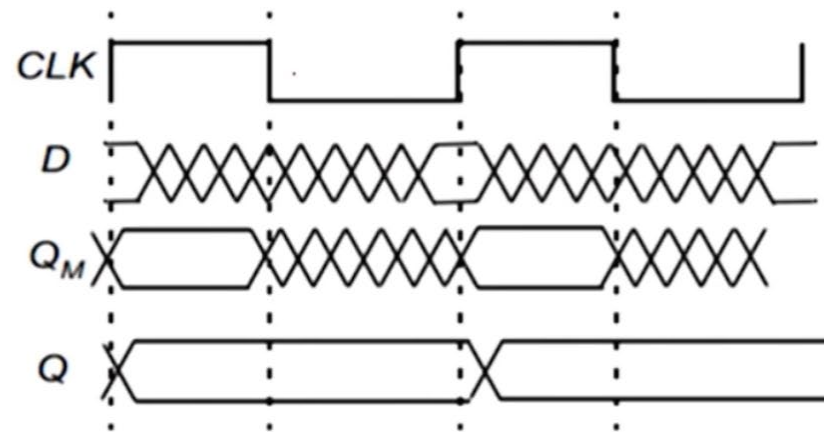
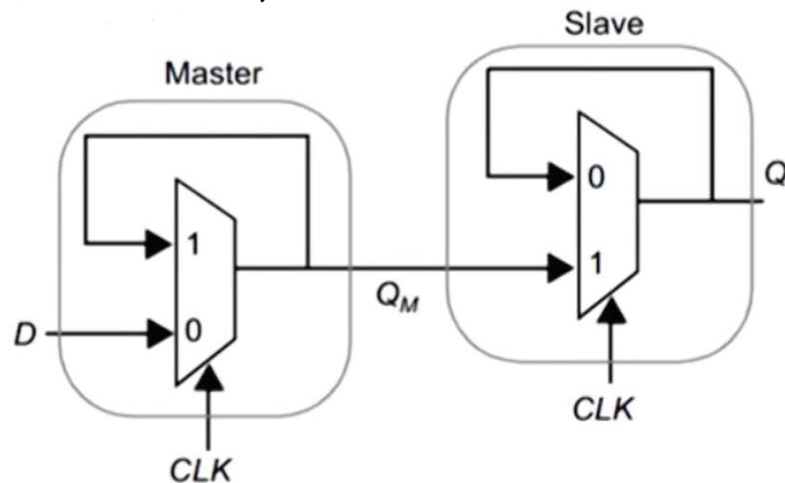
- Una din metodele robuste de construcție a unui latch este cea folosind TG
- Notăm cu TG1 poarta TG de jos și cu TG2 poarta TG de sus
- CLK și \overline{CLK} sunt mutual nesuprapuse.
- CLK = 1 atunci \overline{CLK} = 0 deci TG1 este ON iar TG2 este OFF deci \overline{D} va merge la intrarea inversorului de la ieșire ceea ce înseamnă că $Q = D$
- \overline{CLK} = 1 și CLK = 0 atunci TG2 este off și TG1 este ON. Deci loop-ul de sus va fi activ care nu face nimic altceva decât să mențină valoarea



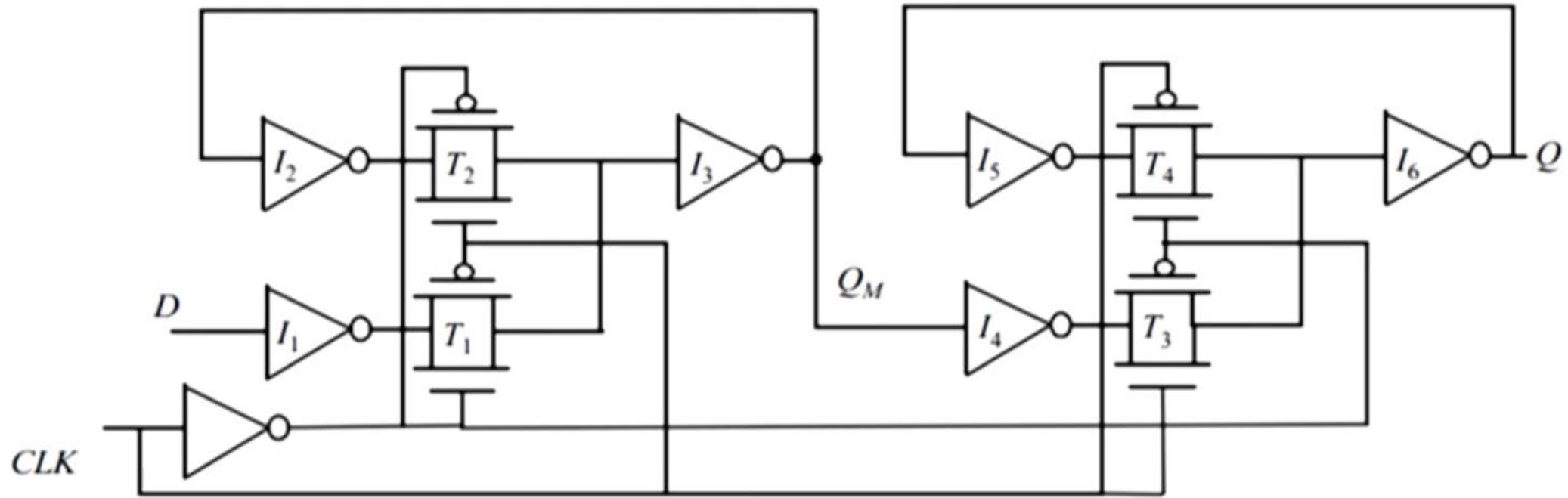
Problema cu această implementare este că apare o degradare a semnalului de ieșire (0 trece prin PMOS)

Multiplexer Based Latches

- Cea mai uzitată metodă de a construi un registru edge-triggered este să cascādăm un latch negativ (Master) cu unul pozitiv (Slave)
- Master-ul acceptă data dacă slave-ul este transparent – doar atunci slave-ul va produce date la ieșire depinzând de valoarea datei disponibile pe ieșire.
- Dacă nu dorim ca data să fie transmisă la ieșire doar închidem slave-ul și master-ul va evalua doar valoarea intrării la ieșire.



Multiplexer Based Latches



$$t_{su} = 3 \times t_{pd_inv} + t_{pd_tx}$$

$$t_{c-q} = t_{pd_inv} + t_{pd_tx}$$

$$t_{hold} = 0$$

Multiplexer Based Latches

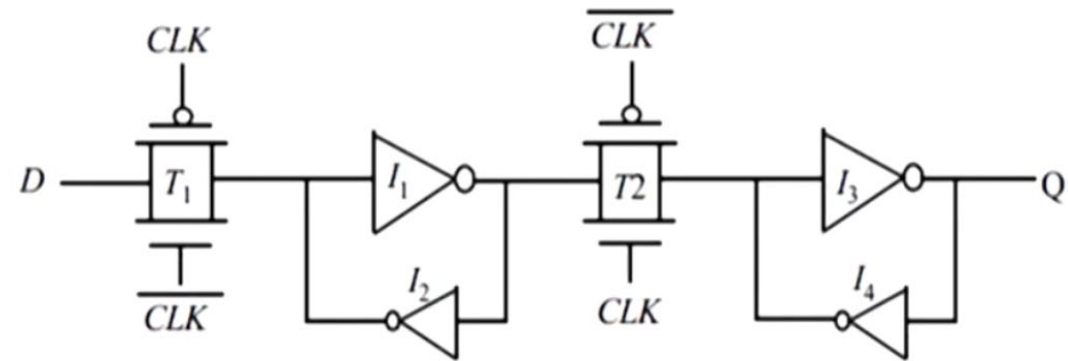
- $\text{CLK} = 1 \Rightarrow T_1$ este OFF iar T_3 este ON
- $\text{CLK} = 0 \Rightarrow T_1$ este ON iar T_3 este OFF
- $\text{CLK} = 0 \Rightarrow T_1$ este ON dar T_2 este OFF (avem 1 pe PMOS). Deci la intrarea lui I_3 vom avea $\bar{D} \Rightarrow$ la intrarea lui I_4 avem D $\Rightarrow T_3$ va conduce \bar{D} .
- T_3 este însă OFF iar T_4 este ON \Rightarrow feedback-ul « I_5, T_4, I_6 » de sus de la slave este activ și va menține valoarea anterioară a lui Q.
- $\text{CLK} = 1 \Rightarrow T_1$ este OFF dar T_2 este ON și T_3 este ON iar T_4 este OFF \Rightarrow pe Q vom avea noua valoare a lui D.
- $t_{su} = (I_1 + I_3 + I_2) + T_1 = 3 * t_{pdinv} + t_{pdtx}$
- Dacă nu se respectă acești timpi nu vom putea face deosebirea între noul D și vechiul D
- $t_{hold} = 0$ Deoarece Q_M instant va alimenta T_3 .

Multiplexer Based Latches

- *Problema 1 cu această implementare*
- CLK alimentează 8 tranzistoare \Rightarrow CLK este foarte mare și asta în cazul unui singur Master-Slave.
- Lucrurile se complică dacă avem n module Master-Slave. În acest caz capacitanța este de asemenea foarte foarte mare.
- Nu contează aspect ratio ($\frac{W}{L}$) pentru T_1, T_2, T_3, T_4 .

Multiplexer Based Latches

- *Soluție*
- Proiectăm circuitul vizând aspect ratio
- $CLK=0 \Rightarrow T1$ este ON și $T2$ este OFF \Rightarrow un loop infinit înainte de $T2$.
- $CLK = 1 \Rightarrow T1$ este OFF iar $T2$ este ON $\Rightarrow \bar{D}$ va ajunge la intrarea lui $I3 \Rightarrow I1$ și $I3$ sunt mai strong decât $I2$ și $I4$
- Prin această implementare load-ul lui CLK este redus la jumătate.



Multiplexer Based Latches

- *Problema 2 cu această implementare – conducția inversă*
- T2 este ON și T1 este OFF \Rightarrow reverse de la Q deci T2 nu va mai ști ce date conduce.
- În anumite condiții CLK și \overline{CLK} se suprapun (fenomen cunoscut ca și clock skew)
- Dacă CLK = 1 și \overline{CLK} = 1 atunci există o șansă ca NMOS-ul lui T2 și al lui T1 să conducă \Rightarrow avem conducție inversă de la Q la D
- Soluția la această problemă este să folosim 2 ceasuri care nu se suprapun în

