

# CMOS Digital VLSI Design

Prof. Habil. Dr. Ing. Decebal Popescu

## Modulul 6

# Circuite secvențiale II

Toate pozele au ca și sursă: J.M. Rabaey, A. Chandrakasan and B. Nikolic "Digital Integrated Circuit"  
PHI Learning Pvt. Ltd., 2011

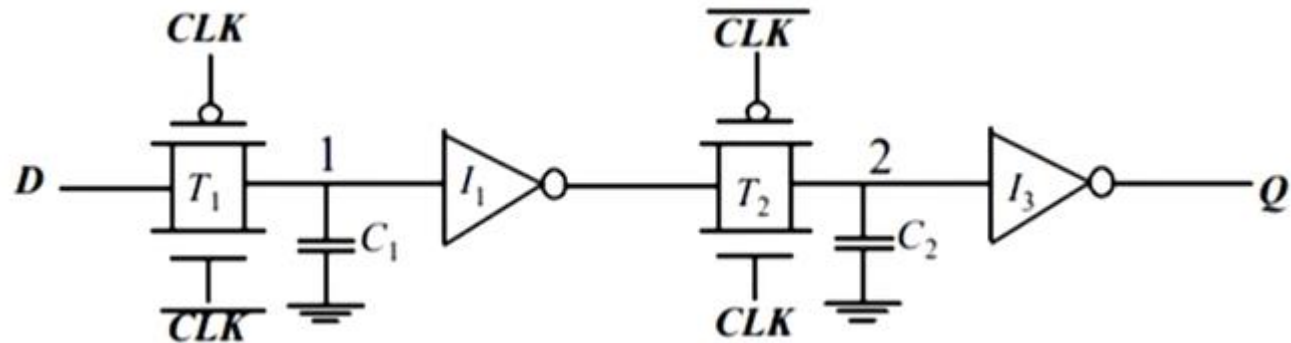
# Cuprins

- Latch-uri dinamice și registre
  - Dynamic Transmission Gate Edge Triggered Registers
  - Registre  $C^2MOS$
  - TSPCR (True Single Phase Clocked Register)
- Registre alternative
  - Registre puls

# Latch-uri dinamice și registre

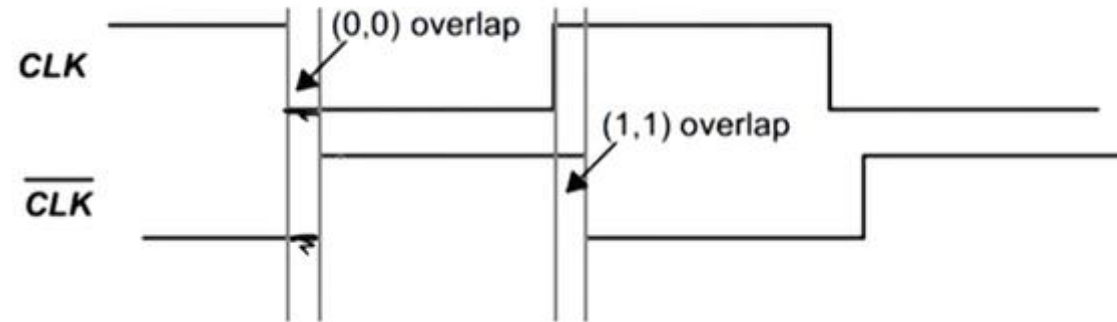
- Când registrele utilizate în cadrul circuitelor folosesc în mod constant ceasul, este necesar ca memoria să își mențină starea pentru perioade mari de timp
- Sarcina temporară memorată pe un capacitor parazit este utilizată pentru reprezentarea logică a semnalului
- Absența unei sarcini reprezintă 0 cât timp prezența unei sarcini reprezintă 1
- Pentru a menține integritatea semnalului, un refresh periodic este necesar pentru valoare – memorie dinamică

# Activarea registrelor de frontul porților dinamice de transmisie



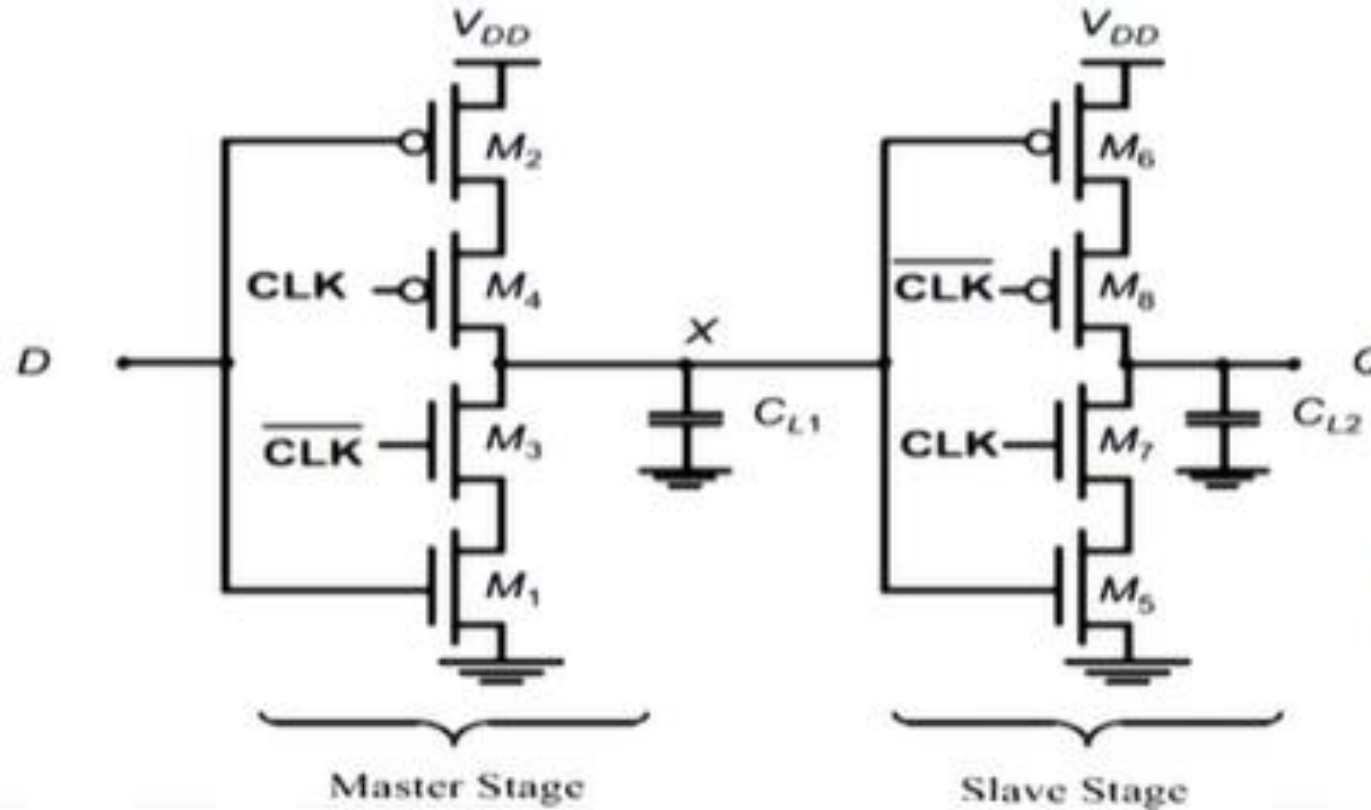
- Timpul de set-up pentru acest circuit este format din întârzierea porții de transmisie
- Timpul de hold este aproximativ 0 deoarece poarta de transmisie este închisă pe frontul ceasului și ca atare modificarea intrării este ignorată (T1 și T2 sunt mutuali exclusivi)
- Propagarea întârzierii este întârzierea celor 2 inversoare + întârzierea porții de transmisie (ieșirea Q va fi disponibilă după întârzierea lui I1 + întârzierea lui T2 + întârzierea lui I3)

# Suprapunerea ceasurilor



- Pe durata suprapunerii 0-0, tranzistorul NMOS al lui T1 și tranzistorul PMOS al lui T2 sunt simultan ON și astfel se creează o cale directă a fluxului de la D la Q
- În suprapunerea 1-1 există o cale prin PMOS-ul lui T1 și NMOS-ul lui T2.

# Registru $C^2MOS$

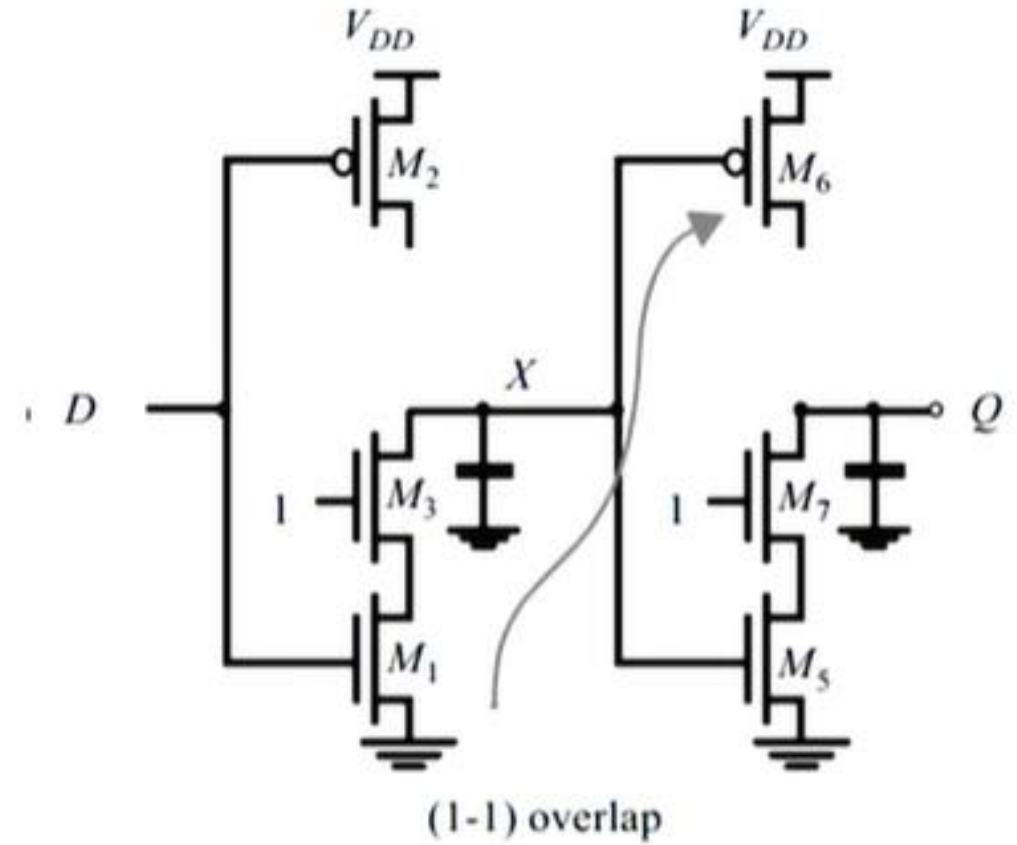
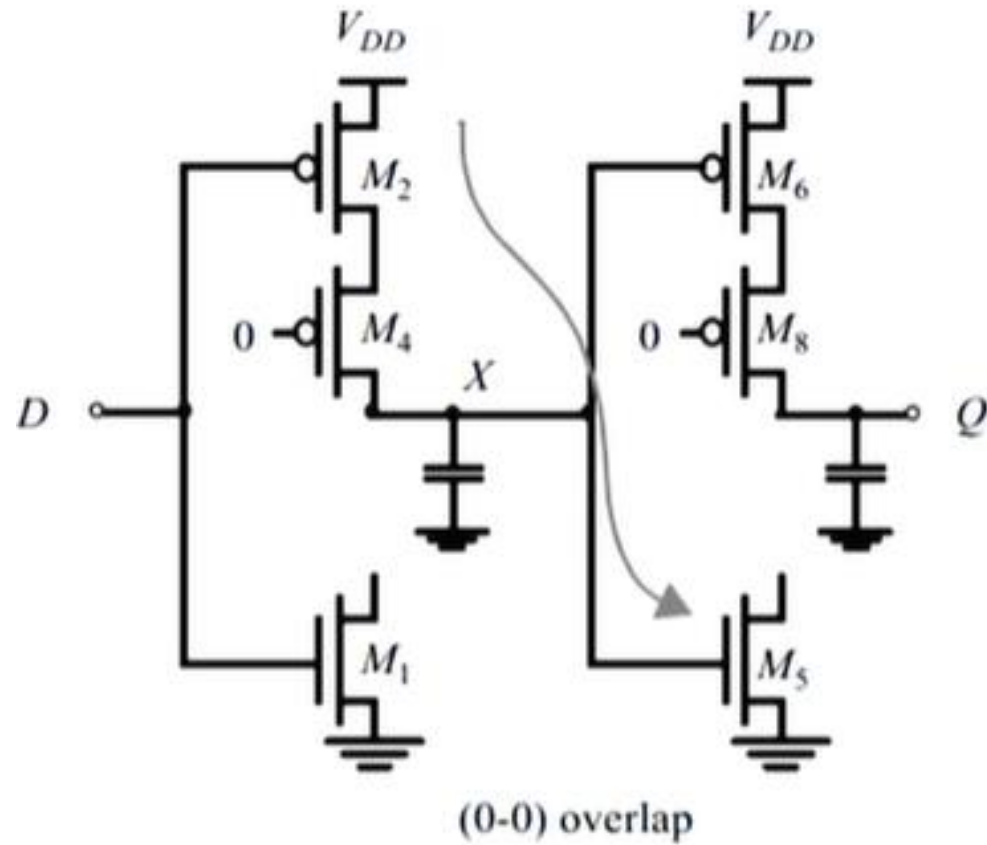


Rezolvă problema cu suprapunerea ceasurilor – un registru  $C^2MOS$  cu  $CLK$  și  $\overline{CLK}$  nu este sensibil la suprapunerea lor atâta timp cât timpii de comutare 0-1 sau 1-0 sunt suficienți de mici

Pentru  $CLK=0$ , Master-ul este în modul evaluare iar Slave-ul este în modul hold.

Pentru  $CLK=1$  este invers

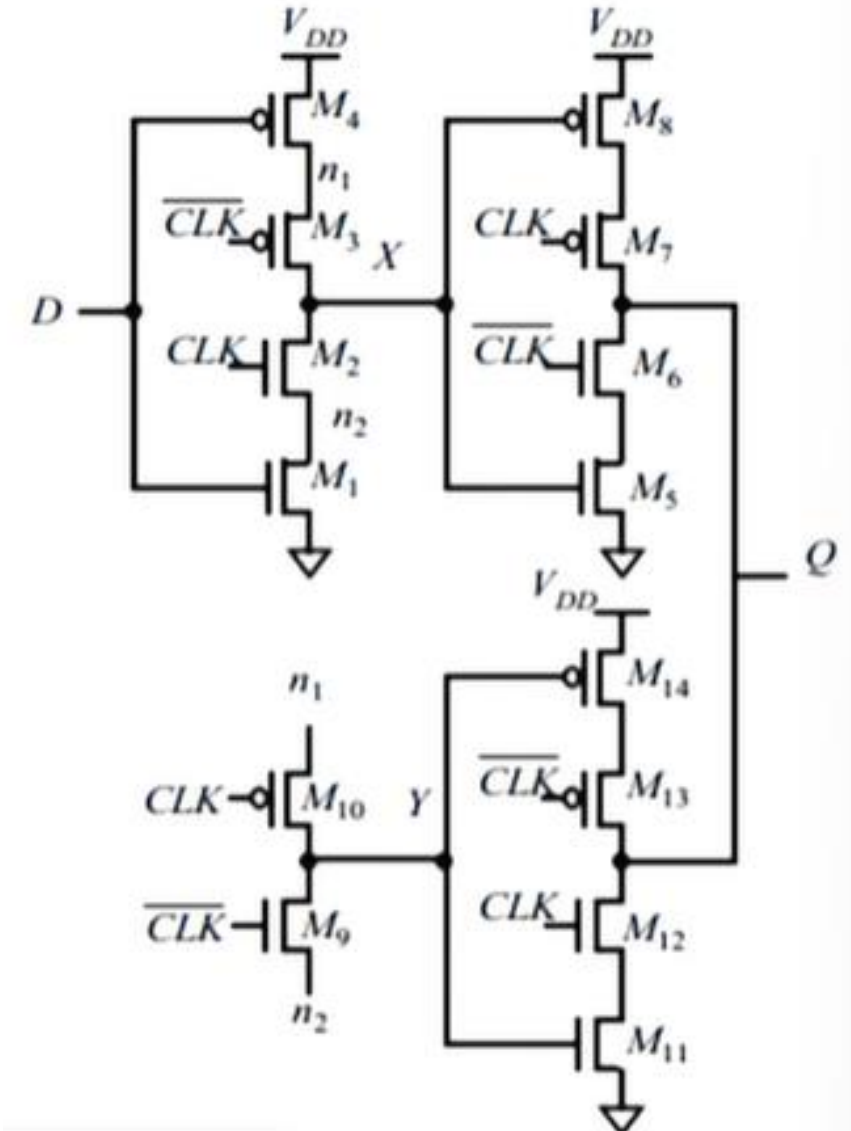
# Registru $C^2MOS$



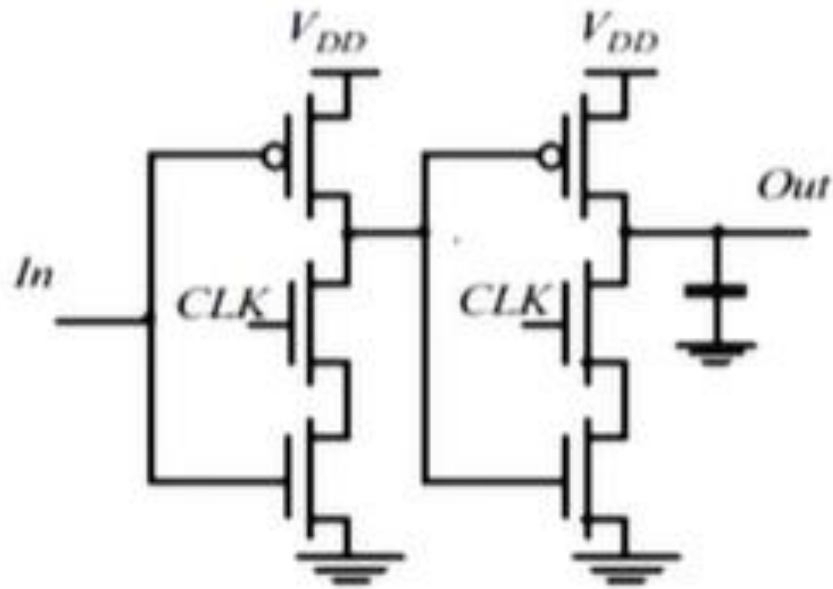


# Registru activ pe ambele fronturi de ceas

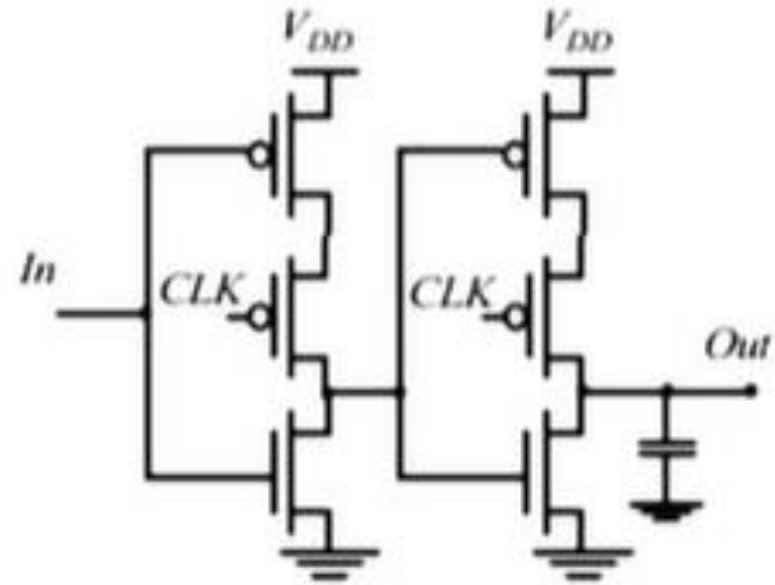
- Este posibil să proiectăm un circuit secvențial care să preia date pe ambele fronturi de ceas
- Avantaj: o frecvență mică a ceasului este distribuită pentru același throughput funcțional  $\Rightarrow$  salvăm putere
- Presupune 2 registre în paralel de tip Master-Slave conduse pe front ale căror ieșiri sunt multiplexate prin utilizarea driver-ilor tri-state
- Orice valoare memorată în X în următorul front de ceas va fi transportată în Q.
- Încărcarea ceasului – numărul total de MOS-uri care sunt direct conduse de CLK. Uzual încărcarea ceasului este 8.



# TSPCR – True Single Phase Clocked Register



Positive Latch

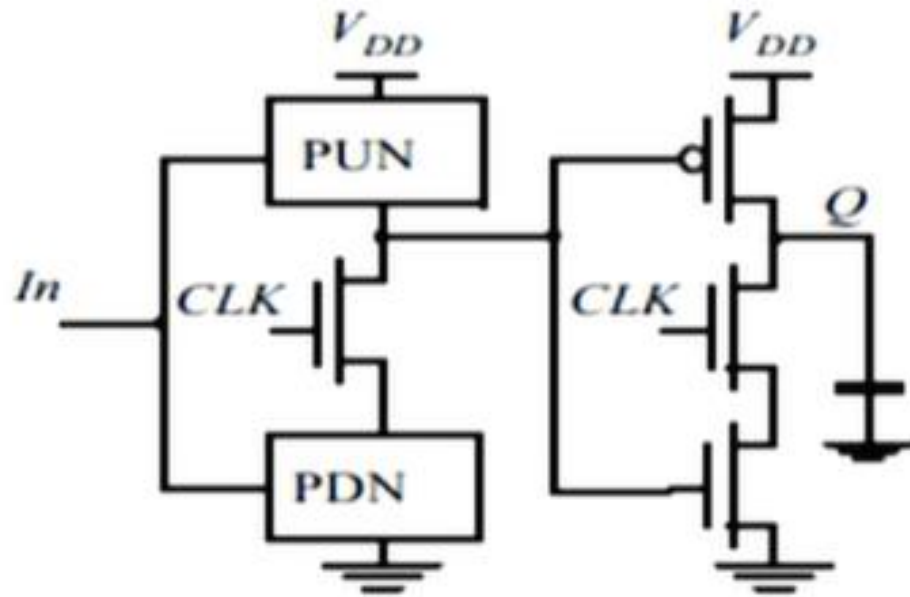


Negative Latch

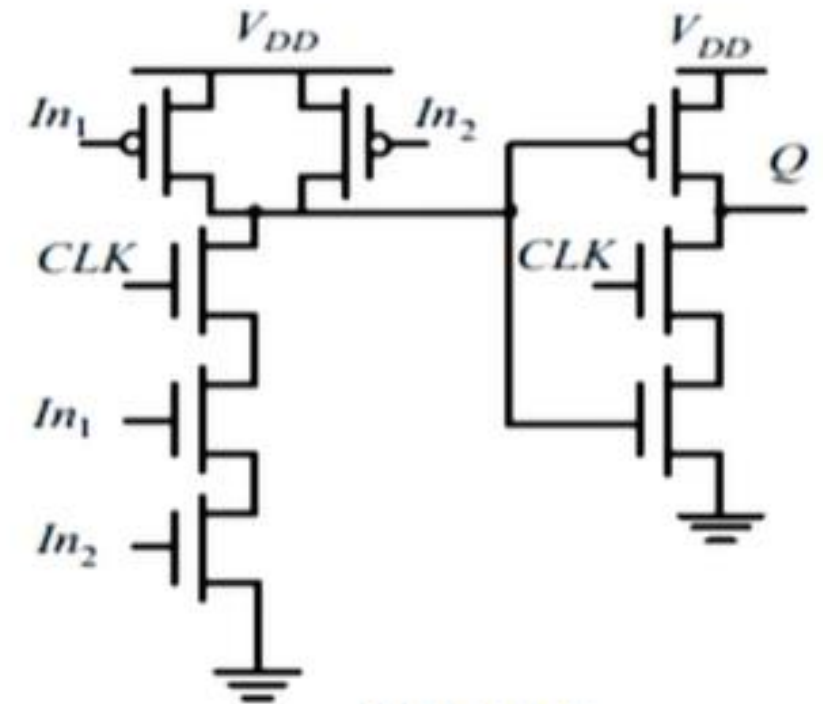
- Este posibil să proiectăm un registru care utilizează doar o singură fază a ceasului.
- Pentru latch-ul pozitiv, când  $CLK = 1$ , atunci latch-ul este în modul transparent și corespunde unor Inversoare cascade în număr de 2. Latch-ul este ne-inversor și propaghează intrarea către ieșire
- Dacă cascădam latch-uri pozitive cu negative obținem un registru.

# TSPCR – True Single Phase Clocked Register

- TSPC oferă un avantaj suplimentar de a include funcționalitate logică în latch-uri



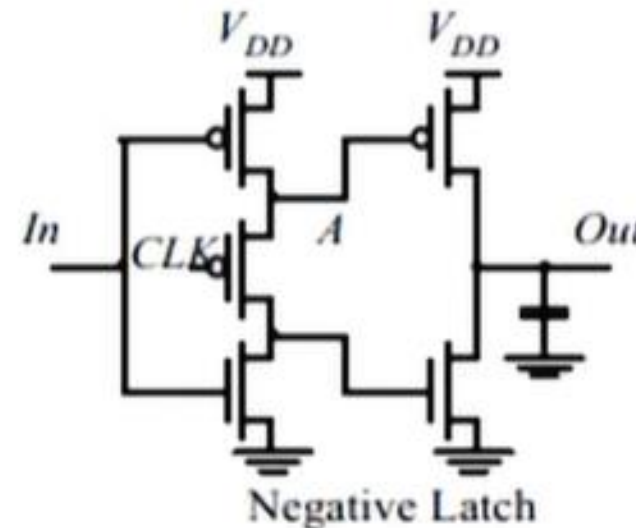
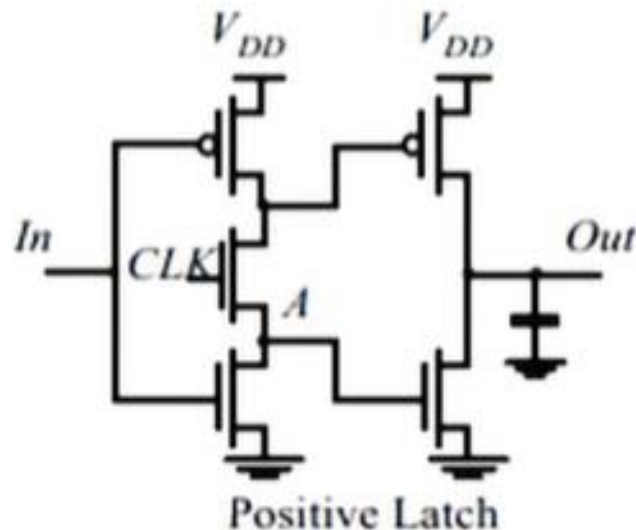
Including logic into the latch



AND latch

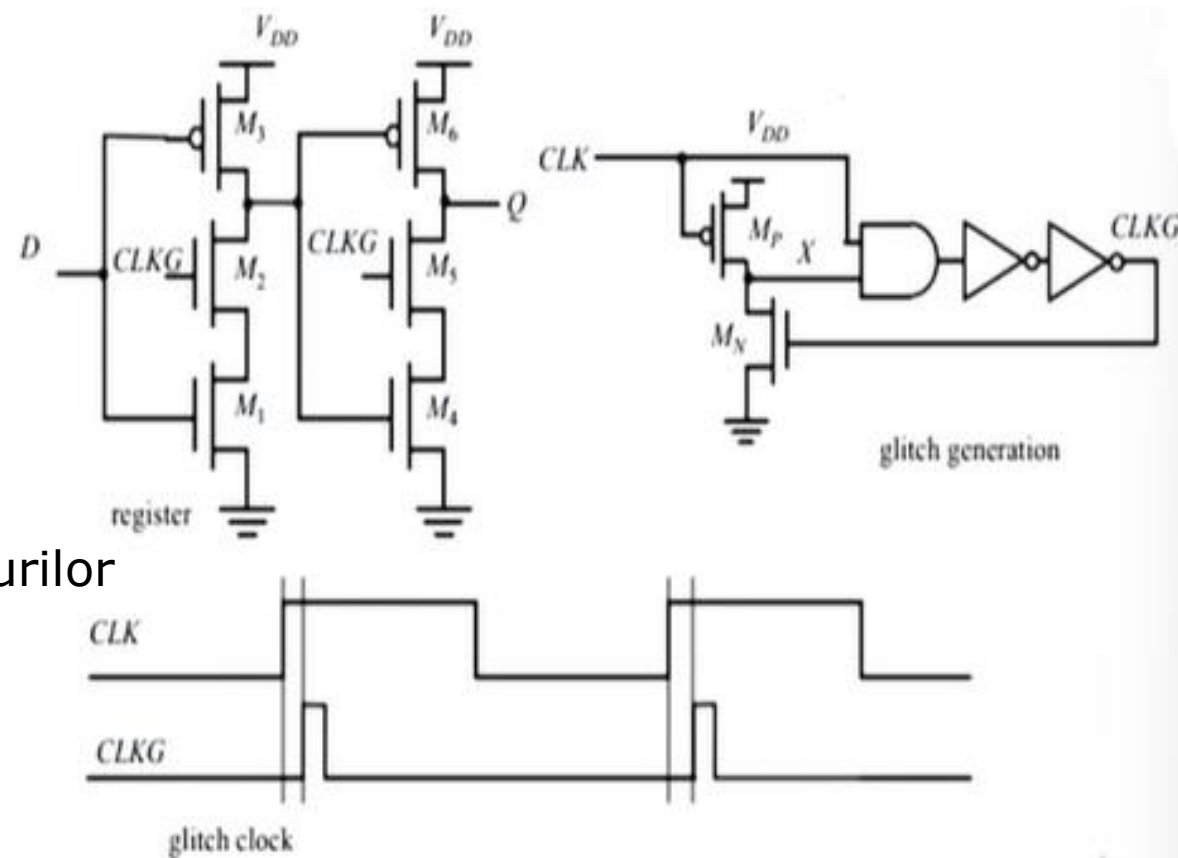
# TSPCR – True Single Phase Clocked Register

- TSPC poate fi proiectat cu o complexitate scăzută – doar primul inversor să fie controlat de ceas
- Această metodă reduce load-ul clock-ului dar care ca și dezavantaj faptul că tensiunile tuturor nodurilor nu vor face o comutare logică completă.



# Registru pulse

- Ideea este să construim un scurt pulse în jurul frontului pozitiv sau negativ al ceasului. Eșantionarea datelor se va face peste o fereastră mică.
- Putem combina un circuit de generare a glich-urilor și latch rezultând un registru condus de frontul pozitiv al ceasului.



# Registru pulse – o altă versiune

- Acest circuit utilizează un generator de pulse care este integrat în registru
- În acest circuit, timpul de setup este negativ

