

# My L<sup>A</sup>T<sub>E</sub>X Template

pastglory\*

## 目录

摘要 .....	1
第一章 简介 .....	1
第二章 测试 .....	1
2.1 结构 .....	2
2.2 代码 .....	2
参考文献 .....	2

## 摘要

这是一段摘要, 这个仓库主要保存我的 L<sup>A</sup>T<sub>E</sub>X 模版, 用于各种文档的书写, 目前实现的功能较少, 有待日后在使用中不断优化。

## 第一章 简介

你好, L<sup>A</sup>T<sub>E</sub>X! 这个仓库主要保存我的 L<sup>A</sup>T<sub>E</sub>X 模版, 用于各种文档的书写。为了实现自由扩

也有多种稀疏数据压缩存储的格式, 因此在设计硬件加速单元时, 如何优化计算展的需求, 一切格式上的改动都放在 `cls` 文件中, 并且所有实质性内容都放在 `src` 文件夹下, `main.tex` 只用于整理, 作为顶层。

为了测试参考文献格式是否正确, 使用一篇稀疏运算加速的论文<sup>[1]</sup> 以及一篇老化预测的论文<sup>[2]</sup> 作为参考文献样例。

## 第二章 测试

只是一个测试

---

\*sunyata000@hotmail.com

## 2.1 结构

下图为 FPGA 基本单元结构图。

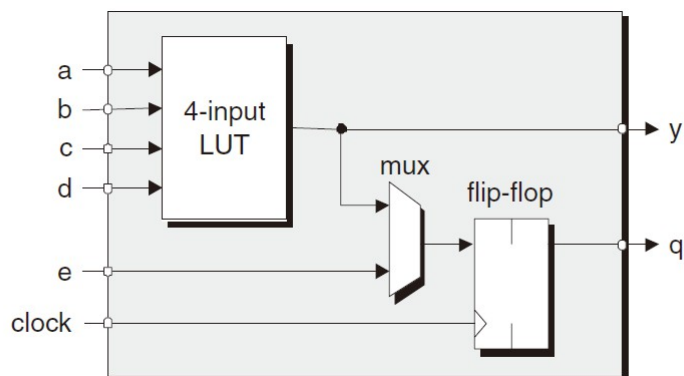


图 1: Slice of FPGA

## 2.2 代码

推荐的 verilog 代码风格如下所示。

### 参考文献

- [1] Z. Zhang, H. Wang, S. Han, and W. J. Dally, “Sparch: Efficient architecture for sparse matrix multiplication,” in *2020 IEEE International Symposium on High Performance Computer Architecture (HPCA)*. IEEE, 2020, pp. 261–274.
- [2] M. Sadi, G. K. Contreras, J. Chen, L. Winemberg, and M. Tehranipoor, “Design of reliable socs with bist hardware and machine learning,” *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 25, no. 11, pp. 3237–3250, 2017.