

Placa Digital

ULD

FPGA CYCLONE III
EP3C120F484C8

Bloco ROM

Ch1

Ch2

...

Ch7

Ch8

Controle de
ganho

CG1

CG2

...

CG7

CG8

Somador

+

CPU

Controlador
LCD

LCD (16X2)

Controlador
I/O

Selec.
Filtros
△ ▽

Controle
Ganho
△ ▽

Placa de controle

Placa analógica 1

DACs

DAC1

Tx-Ht 1

851-866MHz

DAC2

Tx-Ht 2

859-894MHz

DAC3

Tx-Ht 3

935-960MHz

DAC4

Tx-Ht 4

952.5-960MHz

DAC5

Tx-Ht 5

1805-1880MHz

DAC6

Tx-Ht 6

1975-1980MHz

DAC7

Tx-Ht 7

851-866MHz

DAC8

Tx-Ht 8

2110-2165MHz

Programação
PLL

Placa analógica 2