

Électronique
TD n°1: Numérisation

Auteur(s) : PR
Date : 2023
Version : V1

Recommandations pour le déroulement du cours - TD :

- 15' Introduction à la chaîne de traitement numérique du signal : diapos 1 à 14
- 5' répondre au QCM portant sur le cours

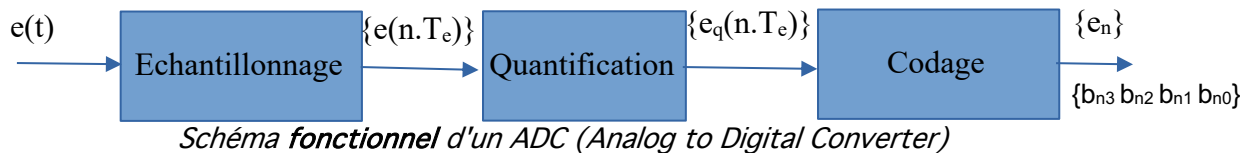


- 10' parcourir les diapo 16 à 19 : remarquer que le TD traite le problème remontant du calculateur vers la tension analogique d'entrée, donc dans le sens inverse au flux d'information, car les contraintes de la numérisation sont fixées par le calculateur
- 1H15 TD partie A questions a et b : respecter les échelles et travailler sur papier millimétré
- PAUSE
- 1H TD partie A question c : respecter les échelles et travailler sur papier millimétré
- 30' TD partie B

PARTIE A – CE QU'IL FAUT SAVOIR ABSOLUMENT (DURÉE 2H15)

Objectif :

Comprendre les conséquences sur le signal des trois sous-fonctions toujours présentes dans une numérisation : l'échantillonnage, la quantification et le codage.

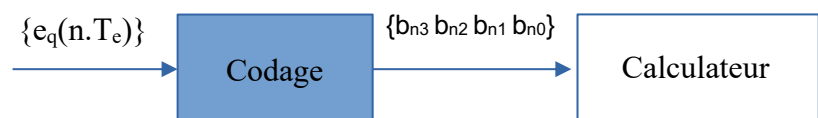


Remarque technologique : dans cet exercice nous travaillerons avec un ADC présentant une **quantification idéale de 4 bits**. Dans la réalité il n'existe pas de quantification *idéale*, toute quantification comporte des erreurs qui font que pour un code binaire certains bits (ceux de poids faible) sont faux. La documentation technique du composant permet de prévoir en fonction des conditions d'utilisation combien de bits sont perdus et choisir l'ADC adapté à l'application réalisée. Les ADC 8 bits les moins performants, ceux intégrés aux microcontrôleurs économiques, présentent si on ne prend pas de précaution une *quantification effective (réelle)* de 4 bits, ce qui rend l'hypothèse 4 bits de ce TD réaliste.

La plage d'acquisition **pleine échelle (P.E.)** de l'ADC est de **[0 ;5V]**. Dans les documentations (datasheet) c'est le terme anglais **Full Scale Range (FSR)** qui est utilisé.

La **fréquence d'échantillonnage** de l'ADC est de **1kHz**. Dans les documentations (datasheet) c'est le terme anglais **Sample Rate** qui est utilisé, et l'unité est le **SPS** ou **S/s** (samples per second).

a) Sous-fonction **Codage** :



Rôle : remplacer une tension quantifiée (nombre réel issu d'un ensemble fini de valeurs) **par un code binaire** utilisable par le calculateur (processeur).

Pourquoi ? Le rôle de l'ADC est de remplacer la tension analogique $e(t)$ en entrée par une suite de valeurs entières **codées en binaire** $\{b_{n3} b_{n2} b_{n1} b_{n0}\}$.

- **Établir un tableau à trois colonnes.** Sur la première case de la première colonne indiquer le nom « $(b_{n3} b_{n2} b_{n1} b_{n0})_2$ » et remplir les autres cases par les codes binaires naturels que peut générer un ADC 4 bits.

Remarque : il s'agit des valeurs que génère l'ADC à sa sortie. Celle-ci seront souvent intégrées à un certain protocole de communication pour le calculateur, par exemple le protocole I2C.

- Remplir la deuxième colonne avec l'entier naturel correspondant à chaque code binaire. N'oubliez pas d'indiquer le nom de la colonne « e_n ».
- Remplir la troisième colonne avec la valeur de la tension quantifiée qui lui correspond grâce à la formule du cours. Le nom de la colonne est « $e_q(n.T_e)$ ».

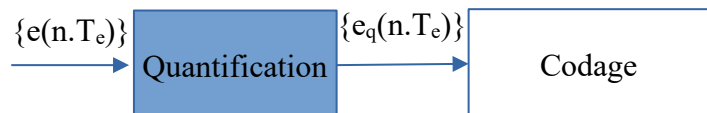
- **Est-ce que j'ai bien compris ? Travail autonome (2 min)**

QCM : combien de valeurs différentes de la tension à son entrée la sous-fonction codage peut-elle coder ?

- 2 valeurs
- 16 valeurs
- Une valeur quelconque entre 0 et 5V
- N'importe quelle valeur

Après conversion par un ADC 6 bits de PE 0-5V on obtient l'entier 57 : quelle est la tension quantifiée correspondante ?

b) Sous-fonction **Quantification** :



Rôle : remplacer une tension analogique (valeur appartenant à un ensemble continu de réels) par une tension quantifiée (valeur appartenant à ensemble fini de réels) pour être utilisables par la fonction Codage.

Pourquoi ? La fonction codage ne peut fonctionner que pour un ensemble fini de valeurs de la tension, ensemble établi à la question a, c'est le rôle de la sous-fonction quantification de remplacer toutes les autres valeurs possibles de la tension analogique d'entrée par une des valeurs autorisées.

- En s'appuyant sur le tableau du a), représenter la **caractéristique entrée/sortie** de la sous-fonction **quantification** de l'ADC, c'est à dire les valeurs de la tension quantifiée e_q en fonction de la tension d'entrée e .

Échelle conseillée : 1/3 V par carreau sur la première feuille de papier millimétré.

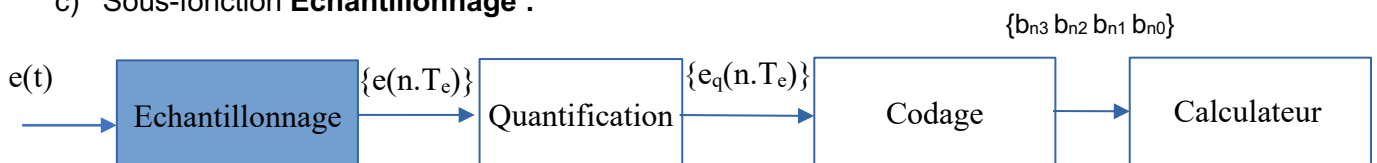
- **Est-ce que j'ai bien compris ? Travail autonome (2 min)**

Après conversion par un ADC 6 bits de PE 0-5V on obtient l'entier 57 : A quelle plage de tensions peut correspondre cette valeur ?

QCM : la quantification est-elle à l'origine d'une perte de précision de la valeur numérisée ?

- Non
- Oui, mais on peut la majorer si le quantum est connu
- Oui, l'erreur peut prendre n'importe quelle valeur réelle

c) Sous-fonction **Echantillonnage** :



Rôle : fournir au système numérique un échantillon de la tension d'entrée tous les T_e , la période d'échantillonnage

Pourquoi ? Pour laisser le temps de réaliser la quantification et le codage de l'échantillon, et aussi au calculateur de traiter les données binaires reçues précédemment. Aussi, pour limiter la quantité de valeurs à mémoriser ou à traiter, pour des raisons économiques ou technologiques.

Mise en garde : dans les tracés ci-dessous, veuillez être précis *en indiquant le nom de TOUS les signaux*.

- Pour illustrer l'effet de l'échantillonnage, nous supposons que l'ADC traite une tension d'entrée triangulaire, d'amplitude crête-à-crête 4V, centrée sur 2,5V, de période 6,66ms. **Représenter** (au crayon) ce signal sur la deuxième feuille de papier millimétré en respectant les échelles 0,25V/carreau et 0,5ms/carreau.
- **Représenter par une croix** de couleur chaque échantillon de la tension et écrire le nom du signal « **$\{e(n.T_e)\}$** » avec la même couleur. Les instants d'échantillonnage seront notés **T_e , $2.T_e$, $3.T_e$**
- Recopier dans le tableau suivant les 10 premières valeurs de $\{e(n.T_e)\}$ et en dessous la valeur quantifiée correspondante $\{e_q(n.T_e)\}$ selon la caractéristique établie au b.

n	0	1	2	3	4	5	6	7	8	9
$\{e(n.T_e)\}$										
$\{e_q(n.T_e)\}$										

- **Représentez par une croix d'une couleur différente** les valeurs de la tension quantifiée $\{e_q(n.T_e)\}$.

Est-ce que j'ai bien compris ? Travail autonome (1 min)

Quelles sont les 3 conséquences majeures de la numérisation ?

PARTIE B – CARACTÉRISTIQUES DES ADC À PARTIR DES DOCUMENTS CONSTRUCTEURS

Les ADC les moins chers (tableau 1)

Distinguez deux grandes catégories d'ADC en se basant sur la résolution et la fréquence d'échantillonnage.

Vérifiez que ces deux catégories correspondent à des technologies différentes.

Quelles sont des applications typiques de ces deux catégories d'après les documentations 1 et 2 ?

Les ADC les plus rapides (tableau 2)

Quelles sont les plus hautes fréquences d'échantillonnage ?

Que dire de la résolution ?

Quelle est la technologie employée ?

A quelles applications sont-ils destinés d'après la documentation 3 ?

Les ADC les plus précis (tableau 3)

Quelle est la plus haute précision atteinte actuellement ? Avec quelle technologie ?

Voir la documentation 4.

Application à la précision d'un capteur de signal « lent » (du point de vue de l'électronique !).

Part #	Resolution (Bits)	ADC_Sample_Rate	Conv Time	US Price 1000 to 4999	Cin	ENOBs	ADC Circuit Architecture
<input type="button" value="Apply Parameters"/>	<input type="text" value="12"/>	<input type="text" value="100 SPS"/>	<input type="text" value="10ms"/>	<input type="text" value="\$ US"/>	<input type="text" value="F"/>	<input type="text" value="12 bit"/>	<input type="text" value=""/>
<input type="button" value="Actions"/>							
<input type="checkbox"/> AD7170	12	-	8ms	\$0.95	-	12bit	Sigma-Delta
<input type="checkbox"/> AD7171	16	-	8ms	\$1.15	-	16bit	Sigma-Delta
<input type="checkbox"/> AD7148	16	250KSPS	-	\$1.21	-	-	Sigma-Delta
<input type="checkbox"/> AD7147A	16	111SPS	9ms	\$1.25	-	-	Sigma-Delta
<input type="checkbox"/> AD7156	12	100SPS	10ms	\$1.25	-	-	-
<input type="checkbox"/> AD7143	16	-	25ms	\$1.25	-	-	Sigma-Delta
<input type="checkbox"/> AD7147	16	-	9ms	\$1.28	-	-	Sigma-Delta
<input type="checkbox"/> AD7150	12	-	10ms	\$1.37	-	-	Sigma-Delta
<input type="checkbox"/> AD7151	12	-	10ms	\$1.37	-	-	Sigma-Delta
<input type="checkbox"/> AD7142	16	250KSPS	36ms	\$1.37	-	-	Sigma-Delta
<input type="checkbox"/> AD7091	12	1MSPS	1µs	\$1.60	7pF	-	SAR
<input type="checkbox"/> AD7278	8	3MSPS	333.3ns	\$1.65	42pF	7.8bit	SAR
<input type="checkbox"/> AD7277	10	3MSPS	333.3ns	\$1.75	42pF	9.8bit	SAR
<input type="checkbox"/> AD7153	12	200SPS	5ms	\$1.77	-	-	Sigma-Delta
<input type="checkbox"/> AD7276	12	3MSPS	333.3ns	\$1.85	42pF	11bit	SAR
<input type="checkbox"/> AD7152	12	200SPS	5ms	\$1.97	-	-	Sigma-Delta
<input type="checkbox"/> AD7457	12	100KSPS	1.6µs	\$2.07	30pF	11.3bit	

Tableau 1



CapTouch Programmable Controller for Single-Electrode Capacitance Sensors

AD7147A

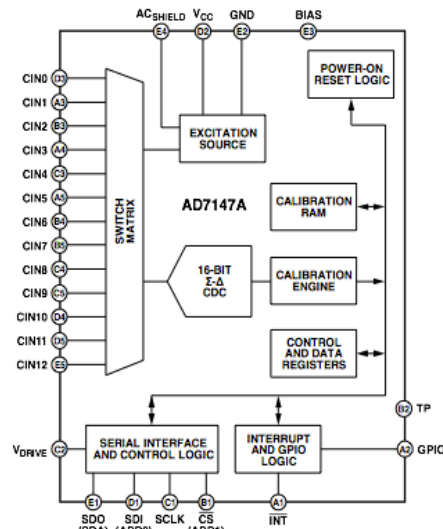
FEATURES

- Programmable capacitance-to-digital converter (CDC)
- Femtofarad (fF) resolution
- 13 capacitance sensor inputs
- 9 ms update rate, all 13 sensor inputs
- No external RC components required
- Automatic conversion sequencer
- On-chip automatic calibration logic
 - Automatic compensation for environmental changes
 - Automatic adaptive threshold and sensitivity levels
- Register map is compatible with the AD714x
- On-chip RAM to store calibration data
- Serial peripheral interface (SPI) (AD7147A)
- I²C-compatible serial interface (AD7147A-1)
- Separate V_{DRIVE} level for serial interface
- Interrupt output and general-purpose input/output (GPIO)
- 25-ball, 2.3 mm × 2.1 mm WLCSP
- 2.6 V to 3.6 V supply voltage
- Low operating current
 - Full power mode: 1 mA
 - Low power mode: 28.96 μ A

APPLICATIONS

- Cell phones
- Personal music and multimedia players
- Smart handheld devices
- Television, A/V, and remote controls
- Gaming consoles

FUNCTIONAL BLOCK DIAGRAM



NOTES
1. PIN NAMES IN PARENTHESES ARE FOR THE AD7147A-1.

Figure 1.

Documentation 1



1 MSPS, Ultralow Power, 12-Bit ADC in 8-Lead LFCSP

Data Sheet

AD7091

FEATURES

- Fast throughput rate of 1 MSPS
- Specified for V_{DD} of 2.09 V to 5.25 V
- INL of ± 1 LSB maximum
- Analog input range of 0 V to V_{DD}
- Ultralow power
 - 367 μ A typical at 3 V and 1 MSPS
 - 324 nA typical at 3 V in power-down mode
- Reference provided by V_{DD}
- Flexible power/throughput rate management
- High speed serial interface: SPI[®]-/QSPI[™]-/MICROWIRE[®]-/DSP-compatible
- Busy indicator
- Power-down mode
- 8-lead, 2 mm × 2 mm LFCSP package
- Temperature range: -40°C to +125°C

APPLICATIONS

- Battery-powered systems
 - Handheld meters
 - Medical instruments
 - Mobile communications
- Instrumentation and control systems
- Data acquisition systems

FUNCTIONAL BLOCK DIAGRAM

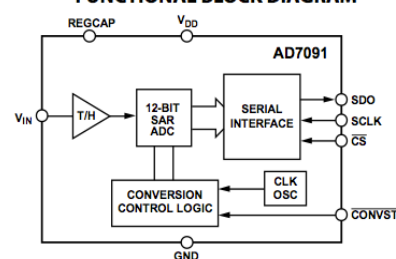
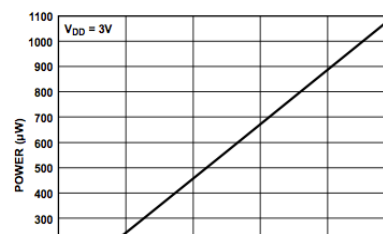


Figure 1.



Documentation 2

Part #	Resolution (Bits) ▾	ADC_Sample_Rate ▾	Conv Time ▾	US Price 1000 to 4999 ▾	Cin ▾	ENOBs ▾	ADC Circuit Architecture ▾
Apply Parameters	<= ▾ ▾	=> ▾ SPS ▾	<= ▾ μs ▾	\$ US	<= ▾ F ▾	<= ▾ bit	▾
Actions ▾							
<input type="checkbox"/> AD6641-500	12	500MSPS	-	**	1.3pF	10.7bit	-
<input type="checkbox"/> AD6677	11	250MSPS	-	\$44.20	2.5pF	10.6bit	Pipelined
<input type="checkbox"/> AD6672	11	250MSPS	4ns	\$44.20	5pF	10.6bit	Pipelined
<input type="checkbox"/> AD6673	11	250MSPS	-	\$74.80	-	-	-
<input type="checkbox"/> AD6643-250	11	250MSPS	4ns	\$74.80	2.5pF	-	Pipelined
<input type="checkbox"/> AD6649	14	250MSPS	-	\$83.30	-	-	Pipelined
<input type="checkbox"/> AD6643-200	11	200MSPS	5ns	\$63.92	2.5pF	-	Pipelined
<input type="checkbox"/> AD6642	11	200MSPS	-	\$70.13	5pF	10.7bit	Pipelined
<input type="checkbox"/> AD6657A	11	200MSPS	-	\$111.35	-	10.6bit	Pipelined
<input type="checkbox"/> AD6657	11	200MSPS	-	\$129.71	5pF	10.7bit	Pipelined
<input type="checkbox"/> AD6655-150	14	150MSPS	-	\$98.67	8pF	-	Pipelined
<input type="checkbox"/> AD6655-125	14	125MSPS	-	\$84.50	-	-	Pipelined
<input type="checkbox"/> AD10200	12	105MSPS	100ns	**	-	10.7bit	Pipelined
<input type="checkbox"/> AD6645-105	14	105MSPS	9.5ns	\$56.67	1.5pF	12.2bit	Pipelined
<input type="checkbox"/> AD6655-105	14	105MSPS	-	\$72.36	-	-	Pipelined

Tableau 2



250 MHz Bandwidth DPD Observation Receiver AD6641

FEATURES

SNR = 65.8 dBFS at f_{in} up to 250 MHz at 500 MSPS
ENOB of 10.5 bits at f_{in} up to 250 MHz at 500 MSPS (–1.0 dBFS)
SFDR = 80 dBc at f_{in} up to 250 MHz at 500 MSPS (–1.0 dBFS)
Excellent linearity
DNL = ± 0.5 LSB typical, INL = ± 0.6 LSB typical
Integrated $16k \times 12$ FIFO
FIFO readback options
12-bit parallel CMOS at 62.5 MHz
6-bit DDR LVDS interface
SPORT at 62.5 MHz
SPI at 25 MHz
High speed synchronization capability
1 GHz full power analog bandwidth
Integrated input buffer
On-chip reference, no external decoupling required
Low power dissipation
695 mW at 500 MSPS
Programmable input voltage range
1.18 V to 1.6 V, 1.5 V nominal
1.9 V analog and digital supply operation
1.9 V or 3.3 V SPI and SPORT operation
Clock duty cycle stabilizer
Integrated data clock output with programmable clock and data alignment

APPLICATIONS

Wireless and wired broadband communications
Communications test equipment
Power amplifier linearization

GENERAL DESCRIPTION

The AD6641 is a 250 MHz bandwidth digital predistortion (DPD) observation receiver that integrates a 12-bit 500 MSPS ADC, a $16k \times 12$ FIFO, and a multimode back end that allows users to retrieve the data through a serial port (SPORT), the SPI interface, a 12-bit parallel CMOS port, or a 6-bit DDR LVDS port after being stored in the integrated FIFO memory. It is optimized for outstanding dynamic performance and low power consumption and is suitable for use in telecommunications applications such as a digital predistortion observation path where wider bandwidths are desired. All necessary functions, including the sample-and-hold and voltage reference, are included on the chip to provide a complete signal conversion solution.

The on-chip FIFO allows small snapshots of time to be captured via the ADC and read back at a lower rate. This reduces the constraints of signal processing by transferring the captured data at an arbitrary time and at a much lower sample rate. The FIFO can be operated in several user-programmable modes. In the single capture mode, the ADC data is captured when signaled via the SPI port or the use of the external FILL \pm pins. In the continuous capture mode, the data is loaded continuously into the FIFO and the FILL \pm pins are used to stop this operation.

Documentation 3

Part #	Resolution (Bits)	ADC_Sample_Rate	Conv Time	US Price 1000 to 4999	Cin	ENOBs	ADC Circuit Architecture
Apply Parameters	<=	=>	<=	\$ US	<=	<=	
Actions		SPS	µs		F	bit	
<input type="checkbox"/> AD1555	24	256KSPS	100µs	\$74.61	-	18bit	Sigma-Delta Modulator
<input type="checkbox"/> AD1556	24	256KSPS	100µs	\$24.86	-	18bit	Sigma-Delta, Sigma-Delta Modulator
<input type="checkbox"/> AD7192	24	4.8KSPS	-	\$4.90	-	-	Sigma-Delta
<input type="checkbox"/> AD7191	24	120SPS	8.3ms	\$3.80	-	-	Sigma-Delta
<input type="checkbox"/> AD7176-2	24	-	-	\$10.25	-	-	Sigma-Delta
<input type="checkbox"/> AD7195	24	-	-	\$6.90	-	-	Sigma-Delta
<input type="checkbox"/> AD7194	24	-	-	\$6.40	-	-	Sigma-Delta
<input type="checkbox"/> AD7193	24	-	-	\$5.40	-	-	Sigma-Delta
<input type="checkbox"/> AD7190	24	-	-	\$5.90	-	-	Sigma-Delta
<input type="checkbox"/> AD6650	16	52MSPS	-	\$20.64	-	-	Pipelined
<input type="checkbox"/> AD7401A	16	20MSPS	-	\$3.80	10pF	13.3bit	Sigma-Delta Modulator
<input type="checkbox"/> AD7401	16	20MSPS	-	\$3.80	10pF	11.5bit	Sigma-Delta Modulator
<input type="checkbox"/> AD7400A	16	10MSPS	-	\$3.50	10pF	12.5bit	Sigma-Delta Modulator
<input type="checkbox"/> AD7400	16	10MSPS	-	\$3.50	10pF	11.5bit	Sigma-Delta Modulator
<input type="checkbox"/> AD73360L	16	2.05MSPS	-	\$5.82	-	-	Sigma-Delta
<input type="checkbox"/> AD73360	16	2.05MSPS	-	\$6.34	-	-	Sigma-Delta

Tableau 3



Pin-Programmable, Ultralow Noise, 24-Bit, Sigma-Delta ADC for Bridge Sensors

AD7191

FEATURES

Pin-programmable output rate
Output data rate: 10 Hz, 50 Hz, 60 Hz, 120 Hz
Pin-programmable PGA
Gain: 1, 8, 64, 128
Pin-programmable power-down and reset
RMS noise: 15 nV @ 10 Hz (gain = 128)
Up to 21.5 noise free bits (gain = 1)
Internal or external clock
Bridge power-down switch
Offset drift: 5 nV/°C
Gain drift: 1 ppm/°C
Specified drift over time
Simultaneous 50 Hz/60 Hz rejection
Internal temperature sensor
Power supply: 3 V to 5.25 V
Current: 4.35 mA
Temperature range: -40°C to +105°C
Package: 24-lead TSSOP

INTERFACE

2-wire serial
SPI, QSPI™, and MICROWIRE™ compatible
Schmitt trigger on SCLK

GENERAL DESCRIPTION

The AD7191 is a low noise, complete analog front end for high precision measurement applications. It contains a low noise, 24-bit sigma-delta ($\Sigma\Delta$) ADC. The on-chip low noise gain stage means that signals of small amplitude can be interfaced directly to the ADC. It contains two differential analog inputs. The part also includes a temperature sensor that can be used for temperature compensation.

For ease-of-use, all the features of the AD7191 are controlled by dedicated pins. The on-chip PGA has a gain of 1, 8, 64, or 128, supporting a full-scale differential input of ± 5 V, ± 625 mV, ± 78 mV, or ± 39 mV. The output data rate can be programmed to 10 Hz, 50 Hz, 60 Hz, or 120 Hz. Simultaneous 50 Hz and 60 Hz rejection is obtained when the output data rate is set to 10 Hz or 50 Hz; 60 Hz only rejection is obtained when the output data rate is set to 60 Hz. The AD7191 can be operated with the internal clock, or an external clock can be used.

The part operates with a power supply of 3 V to 5.25 V. It consumes a current of 4.35 mA. It is available in a 24-lead TSSOP package.

Documentation 4