

Trabajo sobre "Interconnection networks"

Patrick Xavier Márquez Choque

Univesidad Católica San Pablo

Arequipa, Perú

Email: `patrick.marquez@ucsp.edu.pe`

Abril 2021

Abstract

Este trabajo tiene como objetivo investigar sobre los actuales mecanismos de interconexión en memoria compartida y memoria distribuida que cada vez se descubren más cosas con las últimas investigaciones tomando como punto de referencia el segundo capítulo del libro de Peter Pacheco llamado "An Introduction to Parallel Programming (1)".

1 Interconexión en Memoria Compartida

Para la memoria compartida(2) existen varias nomenclaturas para la organización de la estructura de procesadores paralelos que utilizan memoria compartida de varios tipos, estos son:

- Arquitectura de tipo **UMA**(3): UMA significa "Uniform Memory Access" que significa que todos los procesadores se conectan a la memoria a través de un bus, alguna red de múltiples etapas o un crossbar dependiendo de la propia memoria caché que se utilice.

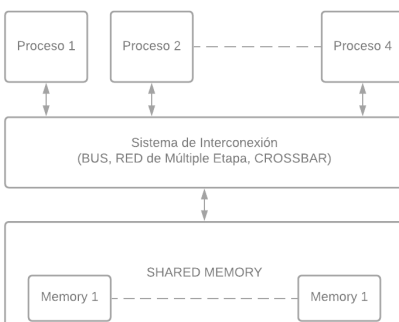


Figure 1: Estructura de la Memoria Compartida

Dentro de la Figura 1 se puede observar como es la estructura del Modelo UMA este proceso es la organización más común entre procesadores personales comerciales constando de un protocolo para la transferencia de datos con la memoria con un arbitraje del acceso al bus para poder utilizarlo y en caso que se utilice caches locales entonces se reducirá el tiempo y la utilización de este bus compartida del procesador.

- Arquitectura de tipo **NUMA**(3): NUMA significa "Non Uniform Access" que presenta en manera de tiempos como la memoria compartida depende de la ubicación de cada elemento del proceso a través de una red y a la vez dentro de la memoria.

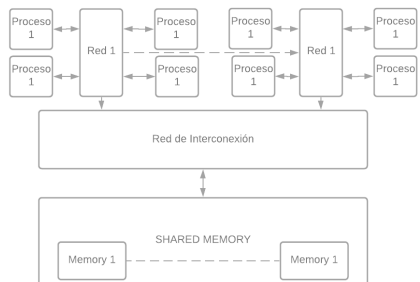


Figure 2: Estructura de la Interconexión de la Memoria Compartida

Dentro de la Figura 2 se puede observar como es la estructura del Modelo NUMA se caracteriza ya que representa el diseño de memoria utilizado en multiprocesamiento donde toda la memoria se accede en posiciones relativas de otros procesos dentro de cada uno donde se

coloca una interconexión con alguna red disponible, esto tiene varios ejemplos dependiendo del tipo de red que se esté utilizando.

Dentro de la estructura de la memoria compartida existe la conexión por bus compartida esta organización utiliza los **buses** como medios con los que se conectan todos los dispositivos o procesos relacionados a cada una de las arquitecturas mencionadas, estos permiten un bajo costo de acceso de memoria, flexibilidad, reduciendo el número de interacciones con el procesador mejorando el rendimiento. Esto se utiliza en conjunto con los **switches** para alcanzar un control definido através de rutinas utilizando un **crossbar**.

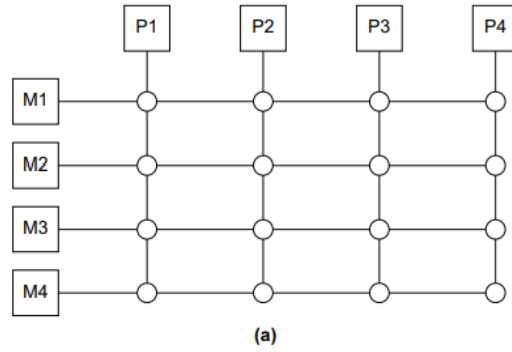


Figure 3: Switches en un Crossbar dentro de la memoria compartida

Existen también conexiones por red multietapa, estos representan una alternativa intermedia de conexión entre el bus y el crossbar ya que necesitan de menor complejidad que el crossbar pero mayor que un bus simple componiendose de varias etapas alternativas de switches simples y redes de interconexión comúnmente utilizadas en la arquitectura NUMA de la siguiente manera:

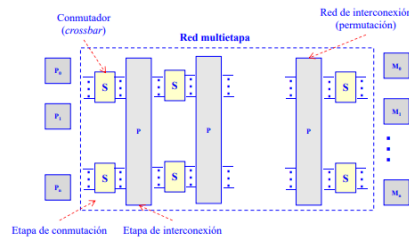


Figure 4: Conexiones por red multietapa

Y por último, recientemente se utiliza una cierta red multietapa llamada **Red Omega** esta red se trata de una red multietapa compuesta de conmutadores básicos de 2 entradas y 2 salidas con estados para cada conmutador: paso directo y cruce. Esta interconexión entre etapas se realiza con un patrón fijo denominado barajadura perfecta. Un ejemplo de esto cuando se quiere conectar una red de 3 etapas que conecta 8 procesadores con 8 módulos de memoria sería el siguiente:

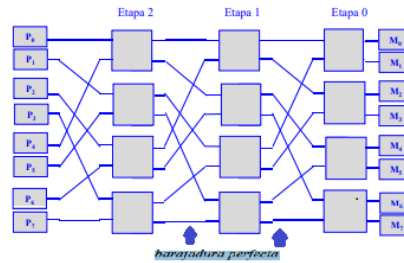


Figure 5: Conexión por red multietapa Omega

1.1 Interconexión en Memoria Distribuida

La memoria distribuida necesita de técnicas de sincronización para acceder a las variables compartidas y la contención en la memoria puede reducir significativamente la velocidad ya que no son fácilmente escalables a un gran número de procesadores(4). Estas desventajas ya que cada procesador tiene su propia memoria local, incluida la caché, y se comunican por paso de mensajes a través de la red.

Esta Memoria Distribuida(5) utiliza los llamados **Interconexión Directa** donde cada switch está conectado con el procesador de la memoria de diferentes orientaciones llamadas como tipos de topologías:

- A través de Anillos, donde cada switch tiene 3 links, 2 links para cada procesador que se utiliza.

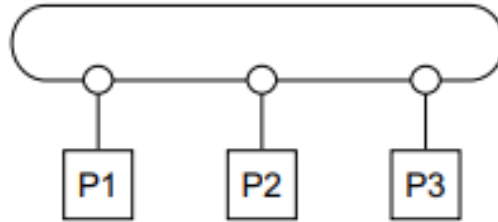


Figure 6: Interconexión por Anillos(2)

- A través de una Malla Toroidal, donde cada switch tiene 5 links para cada procesador que se utiliza.

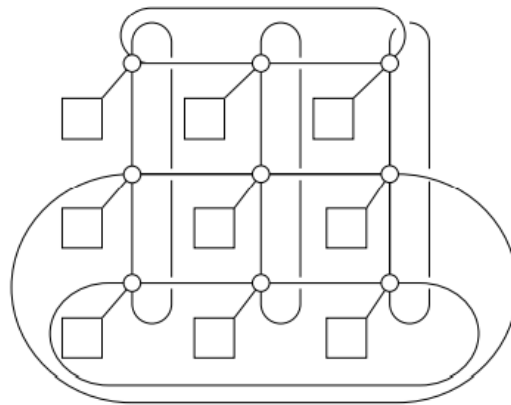


Figure 7: Interconexión por Mallas Toroidales(2)

- A través de un árbol, donde switch hasta 2 links dependiendo del nivel en que se encuentre.

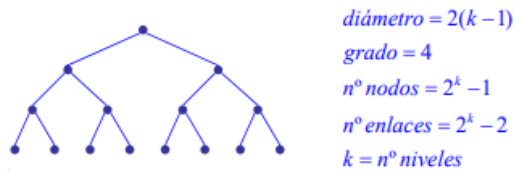


Figure 8: Interconexión por arboles(4)

- A través de una estrella cada switch tiene hasta $n-1$ de links para cada switch dentro de cada procesador que se utiliza.

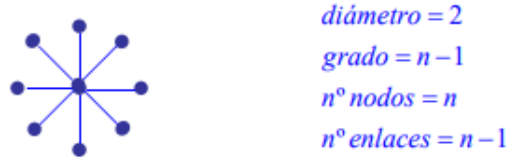


Figure 9: Interconexión por estrellas(4)

Estas topologías también tiene una nueva versión utilizando un cubo- n o hipercubo de dimensión n consta de 2^n de nodos extendidos a lo largo de n dimensiones. Existen n caminos disjuntos entre cualquier par de nodos y cada nodo se etiqueta con un número binario de n bits de tal modo asignados que dos vértices conectados se diferencian en un solo bit.

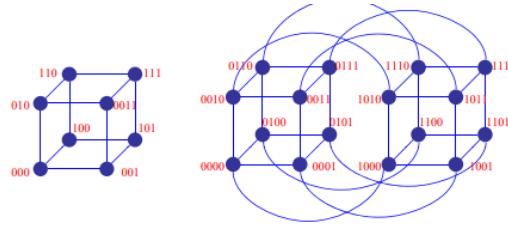


Figure 10: Interconexión por un n -cubo

Existen mejoras mencionadas en el libro (2) que se pueden explicar como mejoras utilizando un modelo de bisección híbrido donde el número de links pueden ser removidos dentro de un slit partiendo en 2 partes como medida que se puede hacer simultaneamente de dos formas:

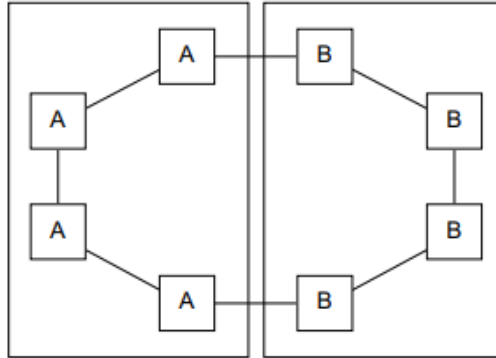


Figure 11: Separando todos los nodos dentro de 2 grupos

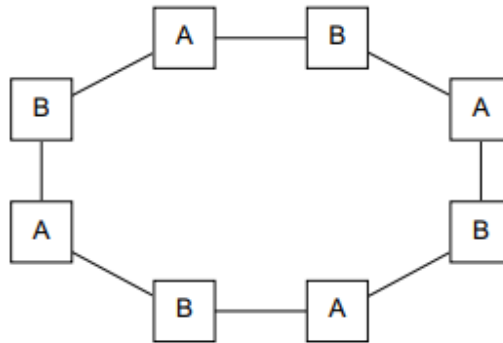


Figure 12: Organización original de los nodos

De igual manera como las **conexiones de red multietapa de memoria compartida** también existe la conexión de red multietapa Omega para las memorias distribuidas pero se diferencia ya que utiliza una morfología con 2 x 2 crossbars utilizando esta distribución.

Esta distribución sigue la lógica de la utilización de memorias distribuidas solo que cada uno de los dispositivos o procesos estas relacionados directamente y a través de la utilización de esos switches esto permite una mejor disposición de la memoria dentro de una malla de crossbar como se puede apreciar en la Figura 13

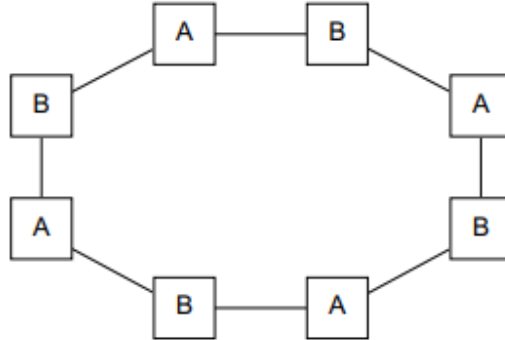


Figure 13: Organización de la Conexión de Red Multietapa Omega en memorias distribuidas

References

- [1] P. Pacheco, *An introduction to parallel programming*. Elsevier, 2011.
- [2] W. K. Giloi and S. Montenegro, “Choosing the interconnect of distributed memory systems by cost and blocking behavior,” in *[1991] Proceedings. The Fifth International Parallel Processing Symposium*. IEEE, 1991, pp. 438–444.
- [3] 2021. [Online]. Available: https://users.exa.unicen.edu.ar/catedras/arqui2/arqui2/filminas/Sistemas%20de%20Procesadores%20paralelos_PARTE%20I.pdf
- [4] P. J. J. Cruz, 2021. [Online]. Available: <http://www.fdi.ucm.es/profesor/jjruiz/EC-IS/Temas/Tema%208-Procesadores%20de%20memoria%20compartida%20y%20distribuida.pdf>
- [5] H. Wang, N. C. Audsley, and W. Chang, “Addressing resource contention and timing predictability for multi-core architectures with shared memory interconnects,” in *2020 IEEE Real-Time and Embedded Technology and Applications Symposium (RTAS)*. IEEE, 2020, pp. 70–81.