

《 数字电路与逻辑设计 A 》 期末试卷 B

院(系)_____ 班级_____ 学号_____ 姓名_____

题号	一	二	三	四	五	六	七	八	九	总分
得分										

得 分

一、填空题（每空 1 分，共 25 分）

1. 保证不低于原精度，十进制小数 $(0.85)_{10}$ 对应的二进制数是_____。

2. 当 $U_{GS(th)} \geq U_{GS}$ 时，N 沟道增强型 MOS 管_____，漏源间等效为开关_____。

3. 逻辑函数 $F = \overline{A+B+\overline{C+D+E}}$ 的反函数 $\overline{F} =$ _____，对偶函数 $F' =$ _____。

4. 已知 $Y(A,B,C) = \overline{A}BC + AC + \overline{B}C$ ，则 $Y(A,B,C) = \Sigma$ m(_____)。

5. 如图 1 所示电路中，当 $A=1, B=0$ 时， T_{N2} 管_____， T_{P1} 管_____， T_{P2} 管_____。此电路输出逻辑函数表达式 $F =$ _____。

6. 有一个 ADC 电路， $U_{REF} = 6V$ ， $n = 3$ ，如果 $u_I = 4.2V$ ，采用“舍尾”和“四舍五入”量化方案转换后的数字量分别为_____和_____。

7. 一个倒 T 网络的 10 位 D/A 转换器的最小输出电压为 $0.01V$ ，则当输入为 $(1100000100)_2$ 时，对应的输出电压为_____V。

8. 衡量 A/D 和 D/A 转换器性能优劣的主要指标是_____和_____。

9. ROM 和 PLA 在结构上的区别，主要是 ROM 的与阵列_____编程；而 PLA 的与阵列_____编程。

10. 某 $64K \times 8RAM$ ，它有地址线_____条。

11. HDL 是利用高级语言来描述硬件电路的_____、_____以及各器件间的_____。

12. 区分数字系统和类似 74161 功能部件的标志是_____。

13. 在数字系统的系统设计阶段，使用最多的描述工具是_____和算法流程图。

14. 在数字系统的三大设计方法中，综合考虑各项指标，_____常用于设计超大规模数字系统。

15. 在数字系统设计中，可以采用每态一个触发器方案，从_____中导出控制器的逻辑

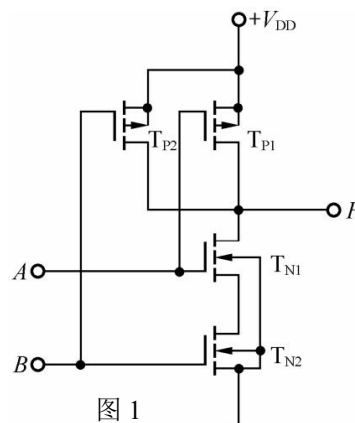


图 1

表达式。

得 分

二、(10 分) 采用卡诺图化简下面的逻辑函数 (请完成图 2 的卡诺图, 没有过程不得分)。

$$F = \overline{B}C\overline{D} + \overline{A}\overline{B}CD + \overline{A}B\overline{D} + \overline{B}C\overline{D}, \text{ 约束条件: } AD + BC = 0。$$

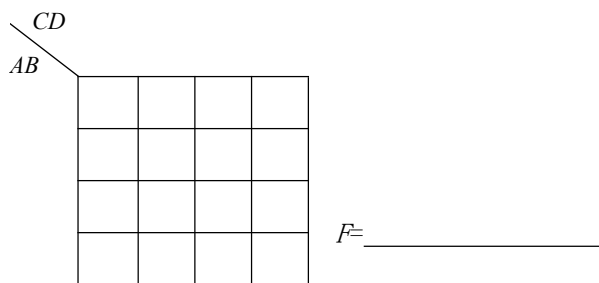


图 2

得 分

三、(6 分) 在图 3-1 所示电路中, 输入信号为图 3-2 所示信号。设 Q_1 、 Q_2 初始状态为 1, 试写出各触发器的次态方程并画出输出端 Q_1 、 Q_2 的波形。

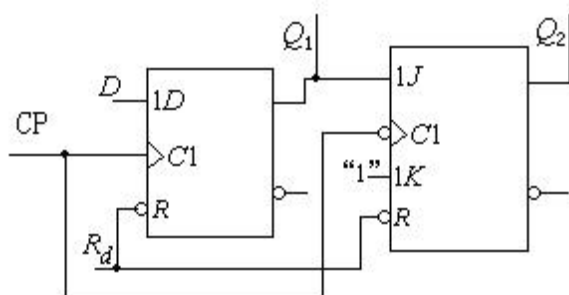


图 3-1

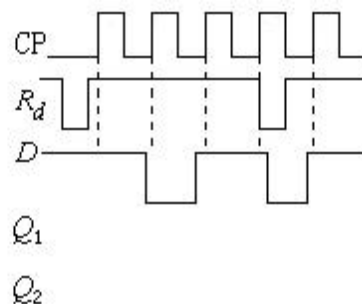


图 3-2

得 分

四、(6 分) 试用图 4 所示的 74153 加上若干门电路设计一个一位全减器。其中 A 、 B 、 C 、 F_1 、 F_2 分别表示被减数、减数、来自低位的借位、本位差、本位向高位的借位 (要求列出真值表, 画出完整的电路设计图)。(6 分)

A	B	C	F_1	F_2

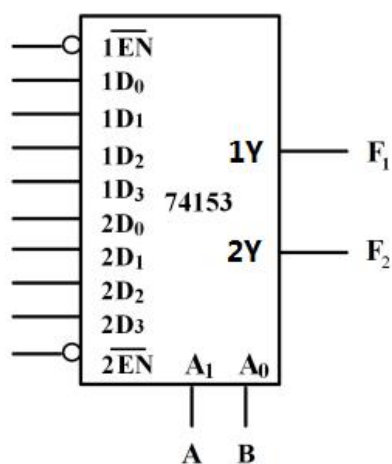


图 4

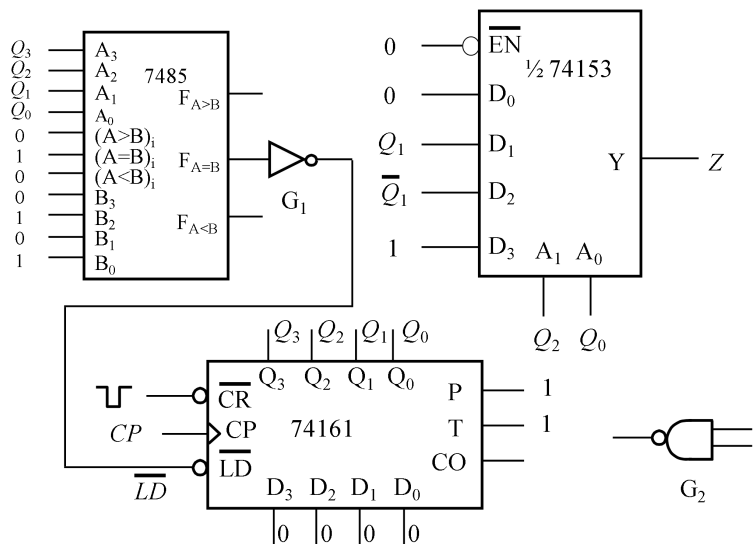


图 7-1

图 7-2

得分

八、(6 分) 设 ABC 为三位二进制数，若该数是偶数，则输出 F 为 1，否则为 0，试用 ROM 实现该电

路。(1) 列出真值表；(2) 在图 8 上画出阵列图。

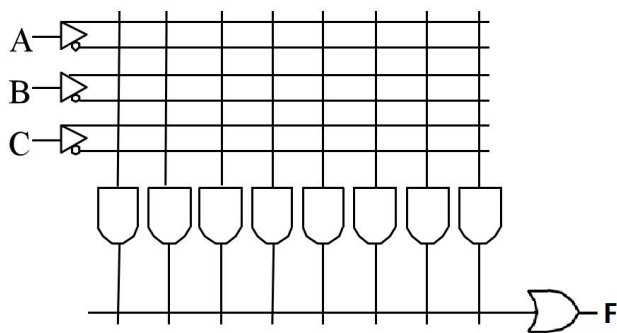


图 8

得分

九、(12 分) 数字系统部分 ASM 图如图 9 所示：

(1) 该图共有种状态；

(2) 设当前状态处于 S_0 状态，则：当 $A=0$ ， $C=1$ 时进入__状态；当或者_时进入 S_2 状态；当__时进入 S_1 状态；

(3) $Q_1 \leftarrow 1$ 这个赋值操作发生在什么时候？

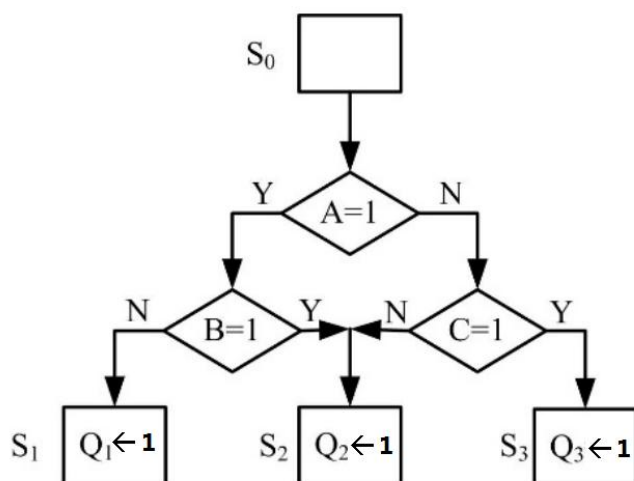


图 9