

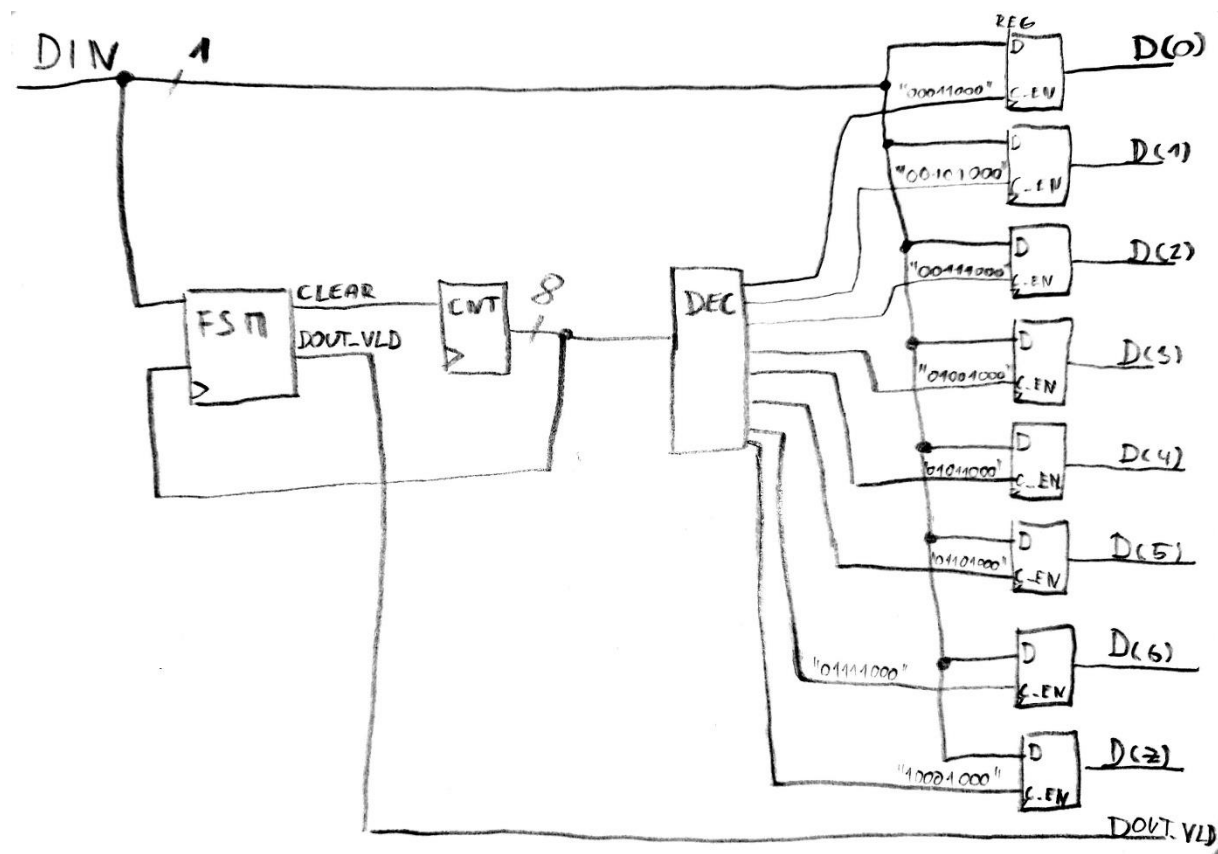
# Výstupní zpráva - UART

Jméno: Patrik Mokruša

Login: xmokrup00

## Schéma architektury

### Návrh

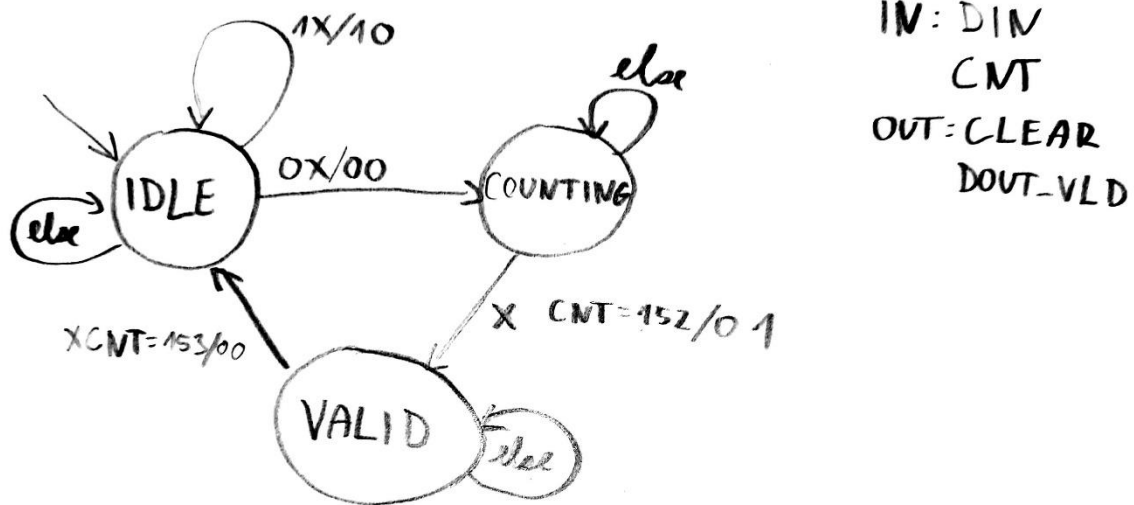


### Popis

- REG – D-KO pro výstup (0-7)
- DEC – osmibytový dekodér, reaguje jen na:
  - D(0) – 00011000 – 24
  - D(1) – 00101000 – 40
  - D(2) – 00111000 – 56
  - D(3) – 01001000 – 72
  - D(4) – 01011000 – 88
  - D(5) – 01101000 – 104
  - D(6) – 01111000 – 120
  - D(7) – 10001000 – 136
- FSM – automat viz obrázek 2
- CNT – osmibytový counter

# Nákres grafu přechodů

## Nákres



## Popis:

Mealyho automat

Formát IN/OUT u přechodů: DIN, CNT / CLEAR, DOUT\_VLD

X znamená not defined (je to jedno)

- Začíná v IDLE
- Když je na DIN 1, tak nuluje counter signálem CLEAR
- FSM čeká na nulu z DIN (start bit)
- Až mu dojde nula, tak dá CLEAR na 0 (přestane nulovat counter) a přepne se do COUNTING
- V COUNTING zůstane, dokud CNT nenapočítá do 152, pak se přepne se do VALID a nastaví DOUT\_VLD na 1
- Ve VALID zůstane, dokud CNT nenapočítá do 153 (o jeden clk později), přepne se do IDLE a nastaví DOUT\_VLD na

Ubuntu 64-bit - VMware Workstation 17 Player (Non-commercial use only)

Player

Activities

GTKWave

Apr 25 10:42

GTKWave - sim.ghw

File Edit Search Time Markers View Help

From: 0 sec To: 514648437 Marker: 944 us | Cursor: 1452 us

Waves

1100 us 1200 us 1300 us 1400 us 1500 us 1600 us 1700 us 1800 us 1900 us 2 ms 2100 us 2200 us 2300 us 2400 us 2500 us 2600 us

stop idle start d0 d1 d2 d3 d4 d5 d6 d7 stop idle

+00 01 05 15 55 00

Signals

Time

Main Interface

clk=1

rst=0

din\_state=d7

din=0

dout[7:0]=47

dout[7]=0

dout[6]=1

dout[5]=0

dout[4]=0

dout[3]=0

dout[2]=1

dout[1]=1

dout[0]=1

dout\_vld=u

Other Signals

Filter:

Append Insert Replace

Search

10:42

25.04.2024