Relatório 6 - Polarização e Resposta em Frequência

Patrik Loff Peres (20103830) Universidade Federal de Santa Catarina (UFSC) Departamento de Engenharia Elétrica e Eletrônica (DEEL)

I. Introdução

Neste laboratório foi implementado um amplificador fonte comum como no laboratório anterior, mas desta vez é incluido o circuito de polarização como mostra a topologia da figura 1. Foi adicionado ao amplificador fonte comum, um espelho de corrente NMOS e um filtro passa altas passivo para fazer o acoplamento do circuito. A partir da teoria e dos resultados das simulações, foram determinados os valores de largura (W), comprimento do canal (L) dos transistores MOS, da corrente de polarização, da resistencia (R) e da capacitancia (C) com objetivo de obter um valor alto da figura de mérito ($FoM = \frac{A_v}{A \times IDD}$).

II. PREVISÃO TEÓRICA

Sabe-se que para um estágio de amplificação fonte comum com um transistor ativo e outro desempenhando a carga passiva a função transferência é de segunda ordem, com dois polos, um associado ao nó de entrada e outro à saída, mais um zero do capacitor C_{qd} do transistor ativo (M1).

Na região de ganho máximo, função transferência é aproximadamente igual a A_{v0} , o ganho sem a influência das capacitâncias de acoplamento e de desvio, que já foi calculado no último relatório como sendo:

$$A_{v0} = \frac{-gm_1}{gmd_2 + gmd_1} = \frac{-28,15\mu}{289,6n + 283,0n} = 49,1$$
 (1)

Com um resistor $R=800k\Omega$ entre o pino i_{ref} e o gate de M1, e uma capacitância de acoplamento na entrada de C=10pF, tendo em vista que as capacitâncias parasitas no transistor M1 são da ordem de fento Farads, a frequência de 3dB:

$$fp1 \approx \frac{1}{2 * \pi * R * C} = 19,9kHz$$
 (2)

Considerando que no nó de saída, a capacitância de 10fF é dominante em relação as capacitâncias intrínsecas (na ordem de pico ou atto farads) a frequência alta de 3dB:

$$fp2 \approx \frac{g_{md1} + g_{md2}}{2 * \pi * C_L} = \frac{300n + 283n}{2 * \pi * 10f} = 9,28MHz$$
 (3)

III. ESQUEMÁTICO

Inicialmente foi criado um esquemático do circuito proposto, mostrado na figura 1, em que os transistores NMOS estão desempenhando o espelhamento de corrente i_{ref} , o resistor e capacitor fazem o acoplamento da entrada e o bloco amp_cs é o amplificador fonte comum do relatório 5. Para o

devido espelhamento de corrente e buscando minimizar a área e potencia consumida dentro das especificações de ganho e frequências especificados, foram escolhidos NMOS do espelho com $L=1\mu m$ e $W=2\mu m$, $R=800k\Omega$, C = 10pF, e dentro do amplificador, os PMOS com $L=2\mu m$ e $W=5\mu m$, NMOS com $L=1,2\mu m$ e $W=2\mu m$.

Para posteriormente criar o leiaute do circuito, foram substituídos os componentes ideais, resistores e capacitores, por modelos reais. No caso do capacitor de saída CL, foi substituído por um NMOS com os terminais de fonte e dreno aterrados, e gate ligado ao nó vout, com tamanho $L=W=1\mu m$.

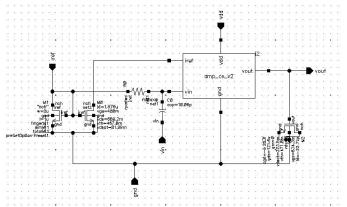


Fig. 1: Esquemático do espelho de corrente

IV. SIMULAÇÃO

Foi criado um *testbench* para simular o circuito com uma capacitância externa, como mostra a figura 2. Foi realizada uma simulação DC para verificar o ponto de operação dos transistores, especialmente o transistor NMOS que atua como amplificador principal e o PMOS que atua como carga, como mostra a figura 3.

Realizando uma simulação AC, com magnitude do sinal de entrada 1, obtemos o resultado na figura 4. Podemos ver que o ganho $A_{v0}=19V/V,\ fp1\approx 90kHz$ e $fp2\approx 35Mhz.$ Os valores de frequência de corte foram aproximadamente próximos, considerando que foram feitas várias aproximações na previsão teórica, levando em conta apenas os polos dominantes, mas o ganho foi abaixo do previsto de 49V/V para apenas 19V/V.

Realizando uma simulação transiente, com tensão de entrada uma senoide de amplitude 1mV e frequência de 500kHz, obtemos o resultado da figura 5. A amplitude do sinal de

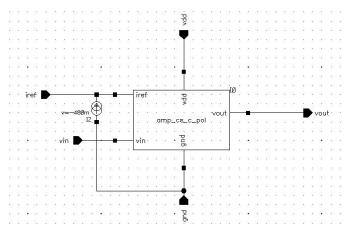


Fig. 2: Testbench

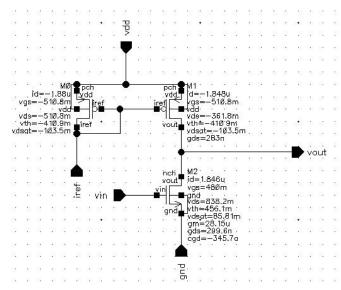
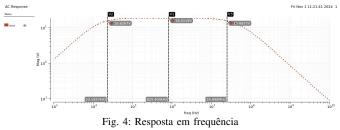


Fig. 3: Ponto de operação

saída é $V_{out_a}=\frac{884-789}{2}=47,5mV$ e, portanto, o ganho é $A_V=\frac{47,5mV}{1mV}=47,5$, próximo do valor teórico.

V. LEIAUTE

Com os resultados da simulação validando o funcionamento do circuito, foi criado o leiaute da figura 6, que não passou nos checking's DRC e LVS, pois no DRC tiveram erros de falta de densidade em todas as camadas de metal e no LVS tiveram erros no resistor.



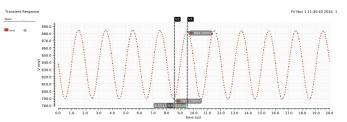
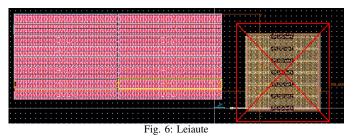


Fig. 5: Resultado da simulação transiente



VI. FIGURA DE MÉRITO

A figura de mérito depende da corrente consumida da fonte, que foi determinada por simulação como sendo $3,7\mu A$, sendo assim o valor de FoM é:

$$FoM = \frac{A_v}{A \times I_{DD}} = \frac{30}{308,665\mu \times 105,065\mu \times 3,7\mu}$$
 (4)

$$FoM = 3,08 \frac{10^{-4}}{\mu^3 m^2 \times A} \tag{5}$$