

Relatório 2 - Simulação DC e espelhos de corrente

Patrik Loff Peres (20103830)

Universidade Federal de Santa Catarina (UFSC)

Departamento de Engenharia Elétrica e Eletrônica (DEEL)

I. INTRODUÇÃO

Neste laboratório foi implementado um espelho de corrente simples, contendo apenas dois transistores com dimensões iguais, de modo a manter o fator de espelhamento de corrente 1:1, com a topologia básica mostrada na figura 1. A partir de sucessivas simulações, foram determinados os valores de largura do transistor (W) e largura do canal (L) com objetivo de obter a maior figura de mérito ($FoM = \frac{r_o}{W \times L}$) possível com $V_{dd} = 1.2V$, $V_{DC} = 0.5V$ e $i_{ref} = 1\mu A$.

II. ESQUEMÁTICO

Inicialmente foi criado um esquemático do espelho de corrente simples, mostrado na figura 1, em que o NMOS M1 está ligado a um pino i_{ref} , que simboliza a corrente que se quer espelhar e o NMOS M2 ligado ao pino i_{out} , a corrente de saída. Ambos os transistores tem o terminal de porta ligados ao mesmo ponto e as fontes e substratos aterrados.

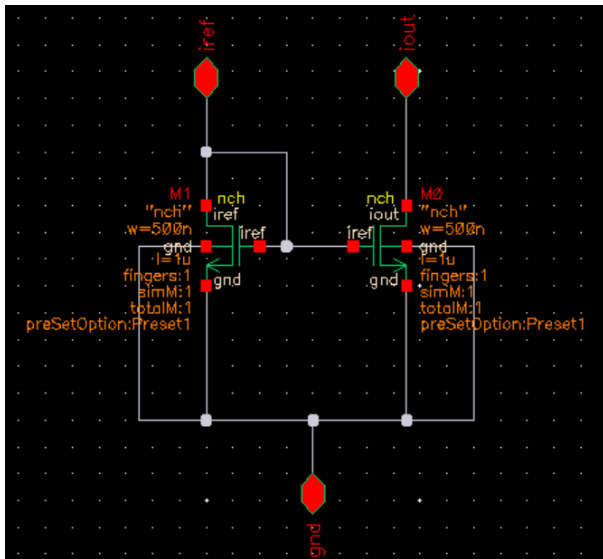


Fig. 1: Esquemático do espelho de corrente

Com o esquemático do espelho de corrente, foi criado outro esquemático para ser utilizado como *testbench*, mostrado na figura 2, que liga o pino v_{dd} na resistência R_{Bias} para gerar a corrente i_{ref} e o pino v_m ligado a saída i_{out} .

III. SIMULAÇÕES

A. Varredura de R_{bias}

Foi realizada uma simulação DC com os valores de projeto e transistores com $L = 60nm$ e $W = 500nm$, variando R_{bias}

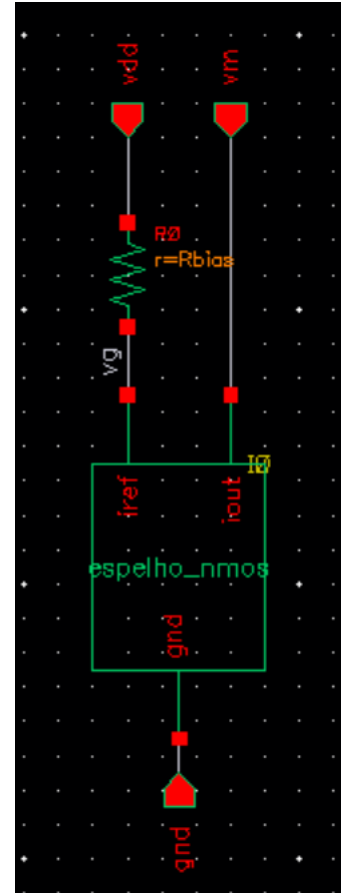


Fig. 2: Testbench do espelho de corrente

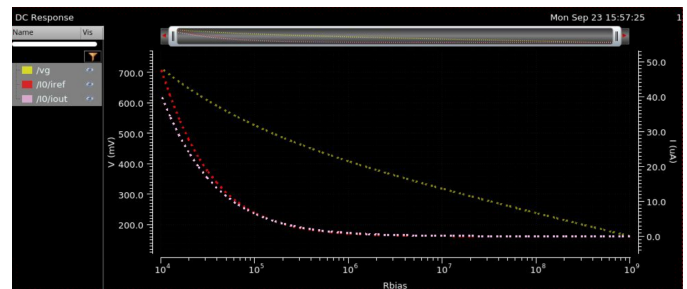


Fig. 3: V_g , i_{ref} e i_{out} em função de R_{bias}

de $10k\Omega$ até $1G\Omega$. Na figura 3 temos a tensão de dreno V_g do transistor M1 e as correntes i_{ref} e i_{out} . Na figura 4 temos a corrente i_{ref} em função da tensão V_g , como o transistor está com porta conectada ao dreno, ele está saturado a menos que a corrente de dreno seja muito baixa.

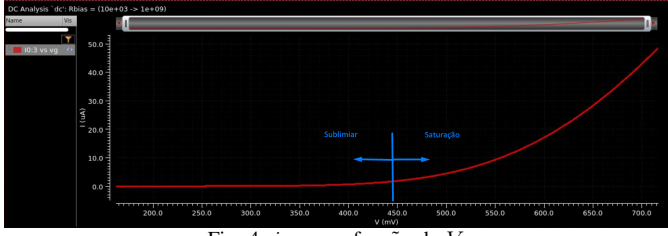


Fig. 4: i_{ref} em função de V_g

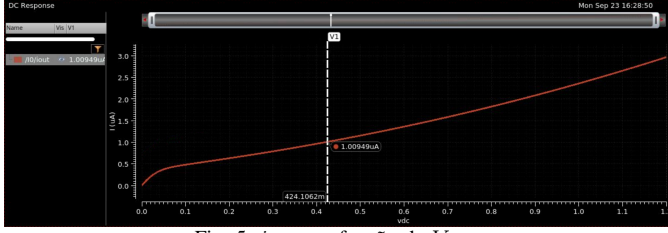


Fig. 5: i_{out} em função de $V_{d_{m2}}$

B. Varredura de v_{dc}

Mantendo R_{bias} fixo em $780k\Omega$ para garantir um corrente i_{ref} de $1\mu A$ foi feita uma simulação DC variando v_{dc} de 0 a 1.2V, resultando no gráfico da figura 5. Podemos notar que, para valores baixos de v_{dc} o transistor M2 está cortado, mesmo que o M1 esteja conduzindo, pois não há uma queda de tensão V_{DS} suficiente para ligá-lo.

Calculando o recíproco da derivada da corrente em relação à tensão, obtemos a resistência de saída r_o , como mostrado na figura 6, de $500k\Omega$

IV. OTIMIZAÇÃO

Foram realizadas sucessivas simulações seguindo o mesmo feito no item III-B para vários valores diferentes de L e W, buscando o maior valor de FoM mantendo os requisitos propostos que resultou na tabela I. Os valores experimentados

que tiveram o melhor resultado foi $L = 1\mu m$, $W = 200nm$ e $R_{bias} = 630k\Omega$, como mostra a figura 7.

L	W	ro[kΩ]	Rbias[kΩ]	FoM	FoM/1e12
6.00E-08	2.00E-07	669	750	6,11E+12	6.11
6.00E-08	2.00E-05	300	970	2,74E+11	0.27
1.00E-06	2.00E-07	5800	630	1,30E+13	12.97
1.00E-06	2.00E-06	4400	755	3,11E+12	3.11
1.00E-05	2.00E-07	3700	250	2,62E+12	2.62
1.00E-05	2.00E-06	19500	630	4,36E+12	4.36
1.00E-05	2.00E-05	8500	630	6,01E+11	0.60

TABLE I: Tabela de resultados da otimização

Sabe-se que para o transistor M2 do espelho de corrente simples:

$$r_o = \frac{1}{g_{md}} = \frac{-L}{\mu W Q_D} \quad (1)$$

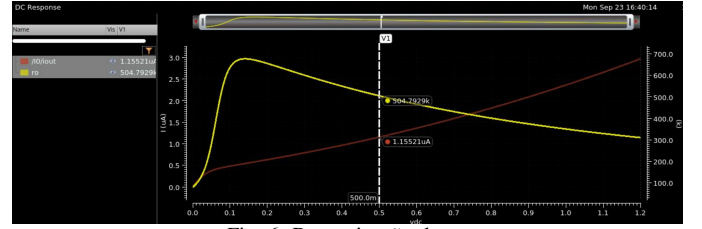


Fig. 6: Determinação de r_o

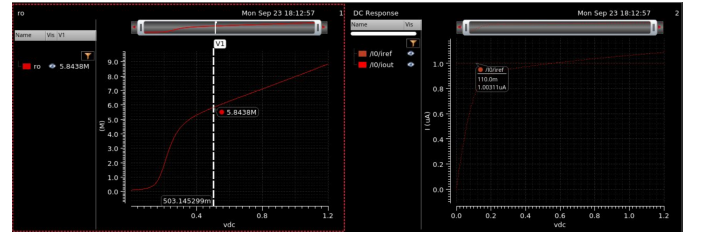


Fig. 7: Resultados da otimização

Então espera-se que para maximizar a FoM o valor de L deve ser aumentado e W diminuído, para maximizar a resistência mantendo a área ocupada baixa.