Relatório 10 - Amplificador Operacional

Patrik Loff Peres (20103830) Universidade Federal de Santa Catarina (UFSC) Departamento de Engenharia Elétrica e Eletrônica (DEEL)

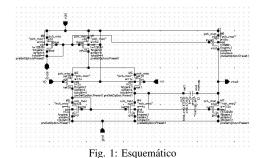
I. Introdução

Neste laboratório foi incluído um estágio fonte comum ao estágio de amplificação diferencial do laboratório anterior para criar um amplificador operacional, como mostra a topologia da figura 1. A partir da teoria e dos resultados das simulações, foram determinados os valores de largura (W), comprimento do canal (L) dos transistores MOS, a corrente de polarização e o capacitor (C) com objetivo de obter um valor baixo da figura de mérito ($FoM = \frac{I_t \times V_{in_offset} \times V_{n_in} \times Area}{A_{v_diff} \times CMRR \times PSRR \times PM}$).

II. ESQUEMÁTICO

Inicialmente foi criado o esquemático do circuito proposto, mostrado na figura 1. Para os transistores do espelho de corrente foi utilizado PMOS com L=120nm e $W=5\mu m$ e L=600nm e $W=5\mu m$ para o transistor do espelho do estágio fonte comum, para os transistores da entrada diferencial foi utilizado PMOS com $L=2\mu m$ e $W=1\mu m$, para os transistores NMOS que desempenham o espelho de corrente de carga, foi utilizado $L=2\mu m$ e $W=4\mu m$, o transistor que atua como amplificador principal do estágio fonte comum tem L=120nm e $W=3,5\mu m$, o capacitor tem F=10fF e a corrente de polarização de $I_{bias}=500\mu A$.

Para as simulações com vista de esquemático, a corrente de polarização I_{bias} requerida era cerca de $15\mu A$, porém após o leiaute, na simulação com vista extraída, o ponto de operação do transistor que opera como amplificador principal do estágio fonte comum saiu muito do ponto de operação, requerendo uma correte de polarização muito maior. Uma forma de resolver este problema seria redimensionar o tamanho do transistor e refazer o leiaute.



III. SIMULAÇÃO

Foi criado testbenchs para simular o circuito com uma capacitância externa e mensurar o ganho, como mostra a figura

2, para simular a tensão de *offset*, como mostra a figura 3 e para simular o ruído, como mostra figura 4.

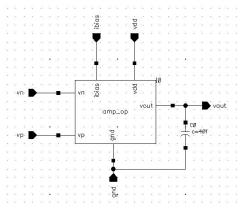


Fig. 2: Testbench para transiente

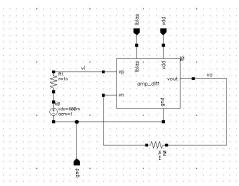


Fig. 3: Testbench para Monte Carlo

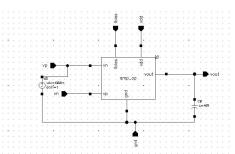


Fig. 4: Testbench para ruido

A. Ganho

Realizando uma simulação transiente, com tensão de entrada uma senoide de amplitude $100\mu V$ e frequência de 10 MHz,

obtemos o resultado da figura 5. O ganho é $A_V=389,6$. A corrente total consumida da fonte de alimentação V_{dd} foi de 1,153mA. Realizando também uma simulação AC para obter o ganho em frequência, obteve-se o resultado da figura 6.

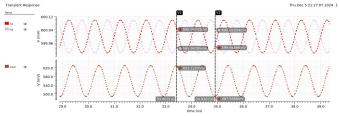


Fig. 5: Simulação transiente

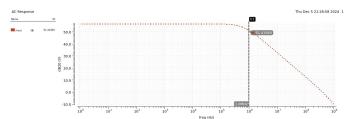


Fig. 6: Simulação AC (resultado em dB)

B. Offset

Realizando uma simulação de Monte Carlo de uma DC, com tensão de entrada de modo comum $V_{dc}=\frac{V_{dd}}{2}=600mV$, com o amplificador na configuração seguidor de tensão, em que os resistores tem valores de $1n\Omega$, obtemos o resultado da figura 7. A média da tensão de *offset* foi de $26,27\mu V$ e desvio padrão de 1,6883mV, sendo assim, o valor de *offset* com 1 desvio padrão é $V_{in\ offset}=1,714mV$.

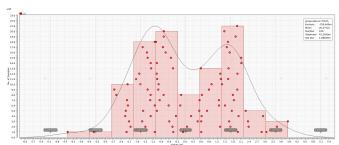


Fig. 7: Resultado da simulação de Monte Carlo

C. Ruido

Realizando uma de ruído de 1Hz até 1GHz, com referência de saída o nó de saída e referência de entrada uma fonte DC, como tensão de modo comum, com $V_{dc}=\frac{V_{dd}}{2}=600mV$, obtemos o resultado da figura 8. A integral do ruído de 1kHz até 1MHz foi de $619\mu V^2$.

D. CMRR e PSRR

Para medir o CMRR foi feita uma simulação AC em que as duas entradas tem o mesmo valor de tensão DC de 0,6V e magnitude AC de 1V, como mostra a figura 9. Nota-se que

/IO/M4_1_rcx id 8.08828e-05 13.05 /IO/M4 id 8.0811e-05 13.04 /IO/M5_1_rcx id 7.7702e-05 12.54 Integrated Noise Summary (in V^2) Sorted By Noise Contributors Total Summarized Noise = 0.000619576 Total Input Referred Noise = 1.10461e-08 The above noise summary info is for noise data	
/IO/M5_1_rcx id 7.7702e-05 12.54 Integrated Noise Summary (in V^2) Sorted By Noise Contributors Total Summarized Noise = 0.000619576 Total Input Referred Noise = 1.10461e-08	
Integrated Noise Summary (in V^2) Sorted By Noise Contributors Total Summarized Noise = 0.000619576 Total Input Referred Noise = 1.10461e-08	
Total Summarized Noise = 0.000619576 Total Input Referred Noise = 1.10461e-08	
The above noise summary info is for noise data	
,	

Fig. 8: Resultado da simulação de ruído

o amplificador está amplificando a tensão de modo comum, fazendo com que a CMRR seja baixa. Assim, foi calculado o CMRR da seguinte forma:

$$CMRR = dB20(ganho_diferencial) - dB20(\frac{V_o}{Vi}) = 51,42 - (16,85) \tag{1}$$

$$CMRR = 34,57dB \tag{2}$$

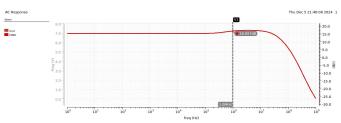
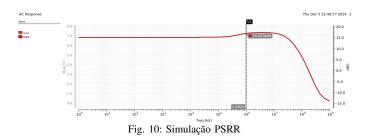


Fig. 9: Simulação CMRR

Para medir a PSRR foi feita uma simulação AC em que as entradas só tem nivel DC de 0,6V e foi aplicada uma magnitude AC de 1V no pino VDD, e o resultado está na figura 10. Deste modo, foi calculado a PSRR da seguinte forma:

$$PSRR = dB20(ganho_diferencial) - dB20(\frac{V_o}{Vi}) = 35, 9 - (16, 85) \end{(3)}$$

$$PSRR = 34,57dB \tag{4}$$



E. Margem de Fase

Para medir a margem de fase foi realizada uma simulação AC, avaliando a magnitude (em dB) e fase do amplificador, como mostra figura 11. A partir da fase no ponto em que é amplificado 0dB se calculou a margem de fase como a equação 5

$$PM = 180 - |-120| = 60 (5)$$

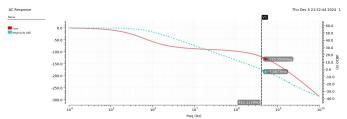


Fig. 11: Simulação AC, Margem de Fase

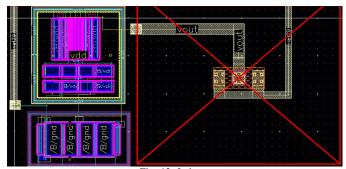


Fig. 12: Leiaute

IV. LEIAUTE

Com os resultados da simulação validando o funcionamento do circuito, foi criado o leiaute da figura 12, que passou nos checking's DRC e LVS (figuras 13 e 14), sendo possível fazer a extração de parasitas. Foi utilizada a técnica de centroide comum para os transistores que são ligados aos pares, de modo a reduzir o descasamento. Também, foram inseridos guard rings nos conjuntos de transistores PMOS e NMOS, que aumentou significativamente o ganho do amplificador.

V. FIGURA DE MÉRITO

A figura de mérito proposta é:

$$FoM = \frac{I_{t} \times V_{in_offset} \times V_{n_in} \times Area}{A_{v_diff} \times CMRR \times PSRR \times PM}$$
 (6)

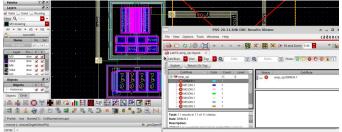


Fig. 13: Checking DRC



Fig. 14: Checking LVS

$$FoM = \frac{1150\mu A \times 1714\mu V \times 0,619mV^2 \times 1107,09\mu m^2}{51,42dB \times 34,57dB \times 34,57dB \times 60}$$
(7)

$$FoM = 21959, 75$$
 (8)