

Relatório 3 - *Layout* de circuitos

Patrik Loff Peres (20103830)

Universidade Federal de Santa Catarina (UFSC)

Departamento de Engenharia Elétrica e Eletrônica (DEEL)

I. INTRODUÇÃO

Neste laboratório foi implementado um espelho de corrente PMOS, conectado ao espelho de corrente NMOS desenvolvido no relatório 2, em que cada par de transistores tem as mesmas dimensões, de modo a manter o fator de espelhamento de corrente 1:1, com a topologia mostrada na figura 1. A partir de simulações, foram determinados os valores de largura do transistor (W), largura do canal (L) e resistor de polarização (R_{Bias}) com objetivo de obter um valor alto da figura de mérito ($FoM = \frac{r_o}{\sqrt{área_{total}}}$) mantendo os requisitos $V_{dd} = 1.2V$, $V_{DC} = 0.5V$ e $i_{ref} = 1\mu A$.

II. ESQUEMÁTICO

Inicialmente foi criado um esquemático do espelho de corrente proposto, mostrado na figura 1, em que o NMOS M1 está com os terminais de porta e fonte conectados ao pino i_{ref} , que simboliza a corrente que se quer espelhar e o NMOS M0 ligado ao espelho de corrente PMOS, sendo que o PMOS M3 está conectado ao pino i_{out} , a corrente de saída. Os transistores NMOS tem o terminal de porta ligados ao mesmo ponto e as fontes e substratos aterrados, enquanto os transistores PMOS também tem o terminal de porta ligados ao mesmo ponto, mas as fontes e substratos estão ligados a V_{dd} .

Também, foram incluídos transistores *dummy* para serem colocados aos lado dos transistores que ficarem na "borda" no leiaute para submeter todos os transistores as mesmas condições de fabricação e assim evitar problemas de descasamento. Os transistores *dummy* tem seus terminais curto-circuitados.

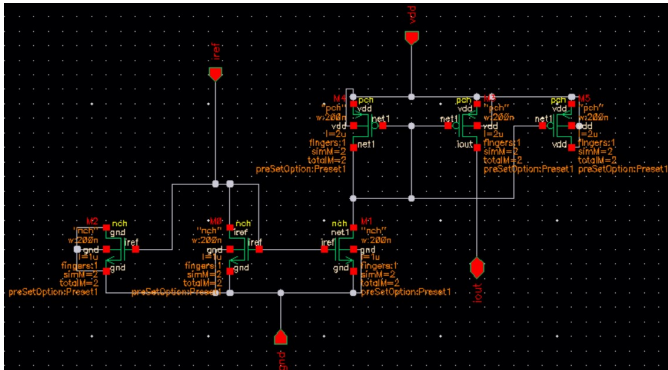


Fig. 1: Esquemático do espelho de corrente

Com o esquemático do espelho de corrente, foi criado outro esquemático para ser utilizado como *testbench*, mostrado na

figura 2, que liga o pino v_{dd} na resistência R_{Bias} para gerar a corrente i_{ref} e o pino vm ligado a saída i_{out} .

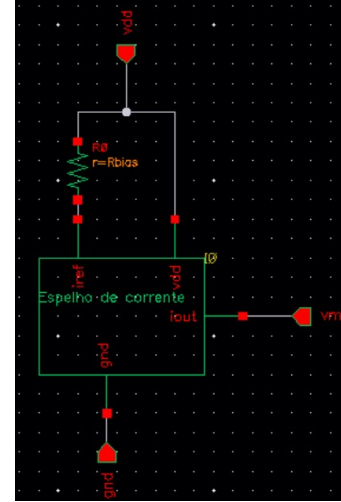


Fig. 2: Testbench do espelho de corrente

III. SIMULAÇÕES

Foram realizadas simulações DC para determinar o ponto de operação do circuito a partir dos requisitos, seguindo o mesmo procedimento descrito no Relatório 2 - Simulação DC e espelhos de corrente. Para manter r_o no mesmo patamar obtido anteriormente foram escolhidos valores de $L = 1\mu m$ e $W = 400nm$ para os transistores NMOS e $L = 2\mu m$ e $W = 400nm$ para os transistores PMOS, sendo que cada transistor do esquemático é dividido em 2 no leiaute, técnica normalmente utilizada quando os transistores tem W muito grande. Neste caso, os transistores foram "embaralhados" para diminuir a distância média entre eles, mantendo o centroide (aproximadamente) comum.

Foram utilizados W acima do mínimo para poder acomodar mais de um contato em cada terminal dos dispositivos, por garantia de funcionamento já que por vezes um dos contatos não funciona e também para distribuir a corrente.

Sendo assim, foi determinado que a resistência $R_{Bias} = 716k\Omega$, como mostra a figura 3. Nos resultados, as correntes de referência e de saída tem sinais contrários, isso se dá pelo fato da corrente no espelho NMOS ser em direção ao gnd e a corrente no espelho PMOS ser em direção ao V_{dd} .

Com os valores dos componentes definidos, foi realizada uma simulação com *sweep* na tensão de dreno de saída, v_{dc} (pino vm do *testbench*), cujo resultado está exposto na figura

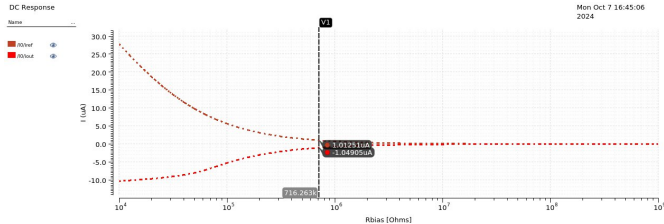


Fig. 3: i_{ref} e i_{out} em função de R_{bias}

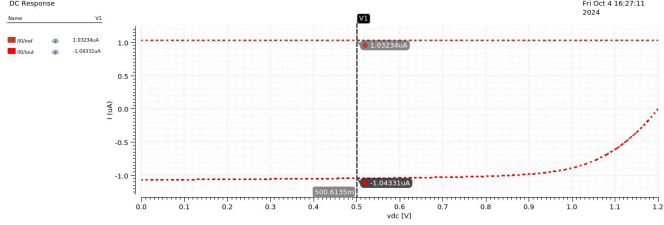


Fig. 4: i_{ref} e i_{out} em função de V_g

4, que mostra o circuito funcionando como fonte de corrente até aproximadamente $vdc = 0,9V$. A figura 5 mostra o valor obtido de $r_o = 16,2M\Omega$.

IV. LEIAUTE

Com os resultados da simulação validando o funcionamento do circuito, foi criado o leiaute, baseando-se nas regras de projeto da foundry, e das técnicas e boas práticas.

Visando diminuir a densidade de corrente na mesma trilha, foram usadas múltiplas vias para cada conexão entre metais ou entre metal e polissilício.

Para evitar eletromigração, que causa danos às trilhas, é preferível trilhas com ângulos diferentes de 90° . No entanto, isso envolve uma maior complexidade para o projeto em questão de regras de projeto da *foundry*, que não foram superadas em tempo hábil, por esse motivo, neste laboratório as trilhas foram feitas com ângulos de 90° .

Para proteger os transistores da borda da associação de sofrerem ação dos processos subsequentes diferente dos transistores do meio, de modo a submeter todos as mesmas condições e reduzir o *mismatch*, foram colocados transistores *dummies* que são curto-circuitados para não influenciar no funcionamento do circuito ao lado dos transistores da borda.

O leiaute, *checking* DRC e LVS estão nas figuras 6, 7 e 8 respectivamente.

V. FIGURA DE MÉRITO

Como resultado do trabalho, a figura de mérito $FoM = \frac{r_o}{\sqrt{A_{total}}} = \frac{16,2M\Omega}{\sqrt{15,25 \times 2,605\mu m^2}} = 2,57 \frac{M\Omega}{\mu m}$

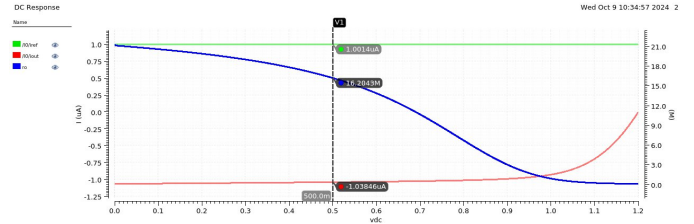


Fig. 5: Determinação de r_o

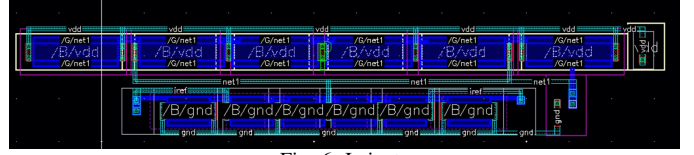


Fig. 6: Leiaute

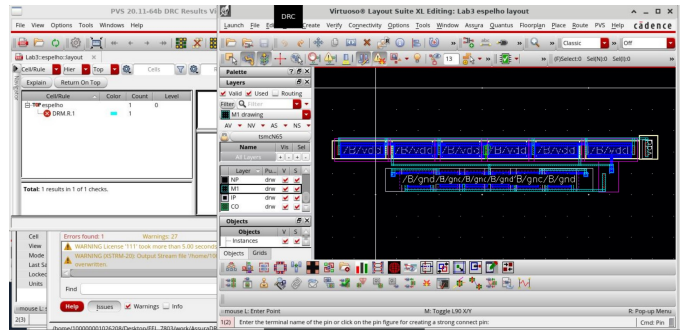


Fig. 7: Checking DRC

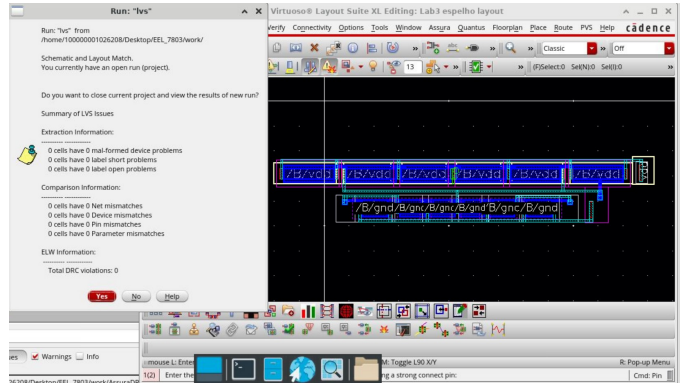


Fig. 8: Checking LVS