

Relatório 9 - Estágio de amplificação diferencial

Patrik Loff Peres (20103830)
Universidade Federal de Santa Catarina (UFSC)
Departamento de Engenharia Elétrica e Eletrônica (DEEL)

I. INTRODUÇÃO

Neste laboratório foi implementado o estágio de amplificação diferencial, como mostra a topologia da figura 1. A partir da teoria e dos resultados das simulações, foram determinados os valores de largura (W), comprimento do canal (L) dos transistores MOS e da corrente de polarização, com objetivo de obter um valor baixo da figura de mérito ($FoM = \frac{I_{tot} \times V_{in_offset} \times V_{n_in} \times Area}{A_{v_diff} \times CMRR \times PSRR}$).

II. ANÁLISE TEÓRICA

A topologia utilizada é de amplificador diferencial com um espelho de corrente como carga. Analisando o circuito, supondo que $V_{ID} = v_p - v_n$ aumente, a corrente I_2 diminui fazendo com que I_5 diminua também, como o espelho M5/M4 é 1:1, a corrente I_4 também diminui, sendo que I_3 aumenta e a diferença $I_3 - I_4$ vai para a saída, aumentando a tensão, deste modo percebe-se que a entrada v_p é não inversora. Similarmente, se V_{ID} diminui (ou seja, v_n aumenta) a saída diminui, sendo assim, v_n é uma entrada inversora. O ganho dessa topologia pode ser escrito como:

$$A_d = \frac{g_{m2}}{G_o \times (1 + sC_L/G_o)} \quad (1)$$

Para os valores propostos na seção III, na frequência de 1MHz:

$$A_d = \frac{4,3\mu}{180n \times (1 + 62,8n/180n)} = 17,7V/V \quad (2)$$

III. ESQUEMÁTICO

Inicialmente foi criado o esquemático do circuito proposto, mostrado na figura 1. Para os transistores do espelho de corrente foi utilizado PMOS com $L = 1\mu m$ e $W = 1\mu m$, para os transistores da entrada diferencial foi utilizado PMOS com $L = 2\mu m$ e $W = 1\mu m$, e para os transistores NMOS que desempenham o espelho de corrente de carga, foi utilizado $L = 2\mu m$ e $W = 4\mu m$ e a corrente de polarização de $I_{bias} = 600nA$.

IV. SIMULAÇÃO

Foi criado *testbenchs* para simular o circuito com uma capacitancia externa e mensurar o ganho, como mostra a figura 2, para simular a tensão de *offset*, como mostra a figura 3 e para simular o ruído, como mostra figura 4.

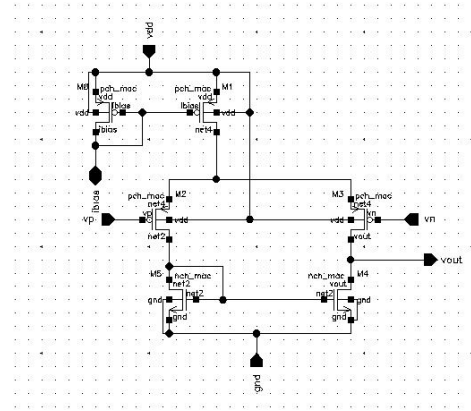


Fig. 1: Esquemático

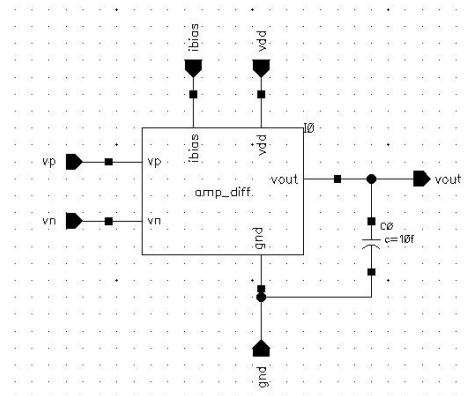


Fig. 2: Testbench para transiente

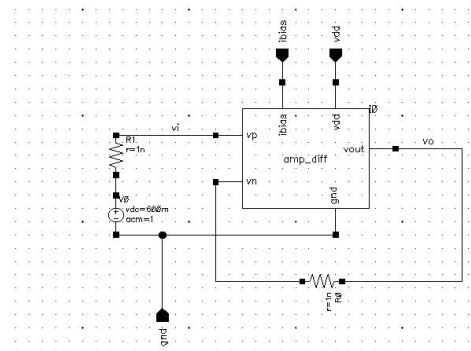


Fig. 3: Testbench para Monte Carlo

A. Ganho

Realizando uma simulação transiente, com tensão de entrada uma senoide de amplitude 1mV e frequência de 10MHz, obtemos o resultado da figura 5. O ganho é $A_V = 52,09$. A corrente total consumida da fonte de alimentação V_{dd} foi de $1,2\mu A$. Realizando também uma simulação AC para obter

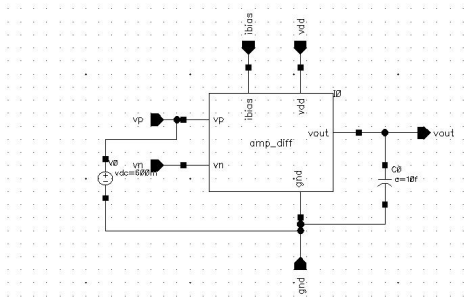


Fig. 4: Testbench para ruído

o ganho em frequência, obteve-se o resultado da figura 6.

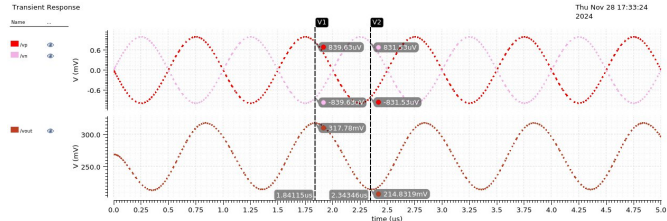


Fig. 5: Simulação transiente

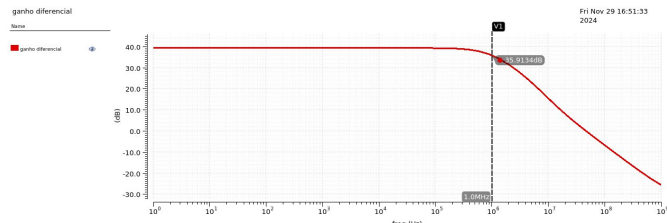


Fig. 6: Simulação AC

B. Offset

Realizando uma simulação de Monte Carlo de uma DC, com tensão de entrada de modo comum $V_{dc} = \frac{V_{dd}}{2} = 600mV$, com o amplificador na configuração seguidor de tensão, em que os resistores tem valores de $1n\Omega$, obtemos o resultado da figura 7. A média da tensão de *offset* foi de 4,85mV e desvio padrão de 1,98mV, sendo assim, o valor de *offset* com 2 desvio padrão é $V_{in_offset} = 8,81mV$.

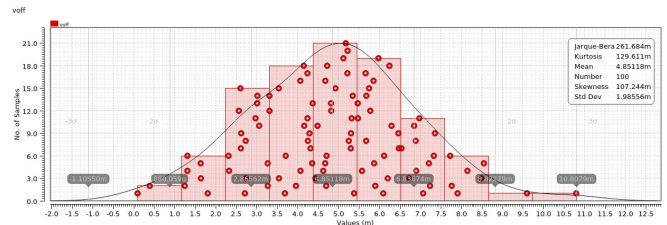


Fig. 7: Resultado da simulação de Monte Carlo

C. Ruído

Realizando uma de ruído de 1Hz até 1GHz, com referência de saída o nó de saída e referência de entrada uma fonte DC, como tensão de modo comum, com $V_{dc} = \frac{V_{dd}}{2} = 600mV$, obtemos o resultado da figura 8. A integral do ruído de 1kHz até 1MHz foi de $15,89\mu V^2$.

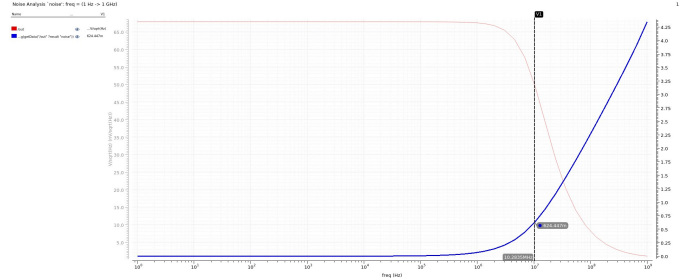


Fig. 8: Resultado da simulação de ruído

D. CMRR e PSRR

Para medir o CMRR foi feita uma simulação AC em que as duas entradas tem o mesmo valor de tensão DC de 0,6V e magnitude AC de 1V, como mostra a figura 9. Assim, foi calculado o CMRR da seguinte forma:

$$CMRR = dB20(ganho_diferencial) - dB20\left(\frac{V_o}{V_i}\right) = 35,9 - (-12,13) \quad (3)$$

$$CMRR = 48,03dB \quad (4)$$

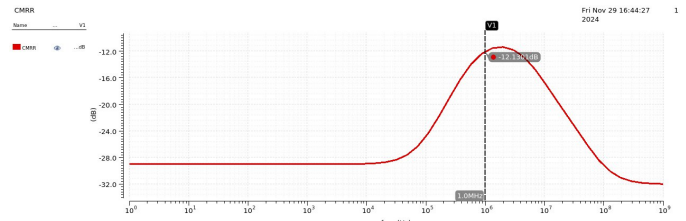


Fig. 9: Simulação CMRR

Para medir a PSRR foi feita uma simulação AC em que as entradas só tem nível DC de 0,6V e foi aplicada uma magnitude AC de 1V no pino VDD, e o resultado está na figura 10. Deste modo, foi calculado a PSRR da seguinte forma:

$$PSRR = dB20(ganho_diferencial) - dB20\left(\frac{V_o}{V_i}\right) = 35,9 - (-12,56) \quad (5)$$

$$PSRR = 48,46dB \quad (6)$$

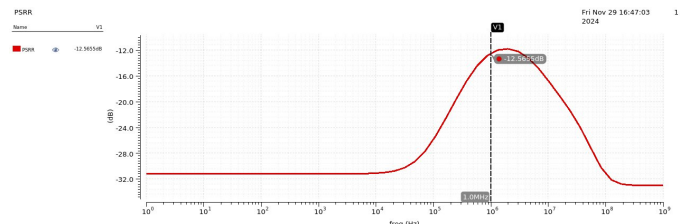


Fig. 10: Simulação PSRR

V. LEIAUTE

Com os resultados da simulação validando o funcionamento do circuito, foi criado o leiaute da figura 11, que passou nos *checking's* DRC e LVS (figuras 12 e 13), sendo possível fazer

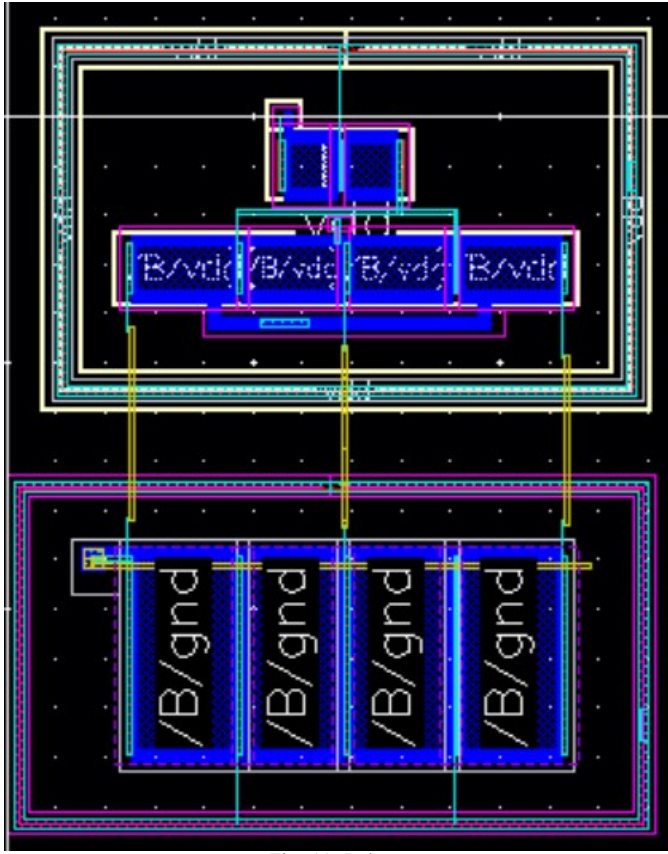


Fig. 11: Leiaute

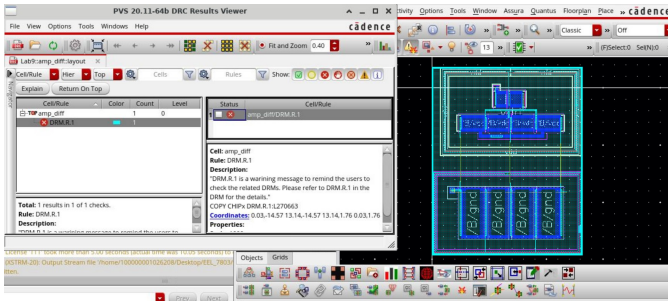


Fig. 12: Checking DRC

a extração de parasitas. Foi utilizada a técnica de centroide comum para os transistores que são ligados aos pares, de modo a reduzir o descasamento. Também, foram inseridos *guard rings* nos conjuntos de transistores PMOS e NMOS, que aumentou significativamente o ganho do amplificador.

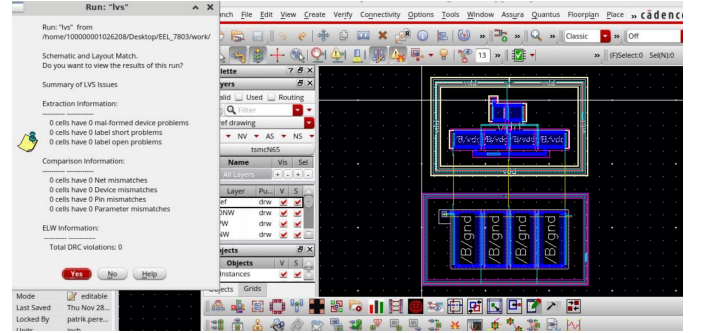


Fig. 13: Checking LVS

VI. FIGURA DE MÉRITO

A figura de mérito proposta é:

$$FoM = \frac{I_{tot} \times V_{in_offset} \times V_{n_in} \times Area}{A_{v_diff} \times CMRR \times PSRR} \quad (7)$$

$$FoM = \frac{1,2\mu \times 8,81m \times 15,89\mu \times 214\mu}{52 \times 48,03 \times 48,46} \quad (8)$$

$$FoM = 0,297 \quad (9)$$