

Relatório 7 - Configuração Cascode

Patrik Loff Peres (20103830)

Universidade Federal de Santa Catarina (UFSC)

Departamento de Engenharia Elétrica e Eletrônica (DEEL)

I. INTRODUÇÃO

Neste laboratório foi implementado um amplificador cascode, em que foi adicionado um amplificador base comum na saída do amplificador fonte comum do laboratório 6 como mostra a topologia da figura 1. A partir da teoria e dos resultados das simulações, foram determinados os valores de largura (W), comprimento do canal (L) dos transistores MOS, da corrente de polarização, da resistência (R) e da capacitância (C) com objetivo de obter um valor alto da figura de mérito ($FoM = \frac{A_v}{A \times I_{DD}}$).

II. PREVISÃO TEÓRICA

Para os cálculos teóricos, será feita a aproximação de polos dominantes, em que só serão consideradas as capacitâncias dominantes nos terminais de entrada e saída. Também será considerada que $g_{ms4} \gg g_{md3}$ e que a condutância de saída $G_L = g_{md8} + g_{md4}$.

Na região de ganho máximo, função transferência é aproximadamente igual a A_v , que pode ser escrita como a multiplicação dos ganhos de fonte comum e porta comum:

$$A_{v0} = \frac{g_{m3} \times g_{ms4}}{G_L \times g_{ms4} + g_{md3} \times g_{md4}} \quad (1)$$

$$A_{v0} = \frac{67,72\mu \times 7,31\mu}{(1,18\mu + 523,2n) \times 7,31\mu + 982,6n \times 523,2n} \quad (2)$$

$$A_{v0} = 38V/V \quad (3)$$

Com um resistor $R = 800k\Omega$ entre o pino i_{ref} e o gate de M1, e uma capacitância de acoplamento na entrada de $C = 10pF$, tendo em vista que as capacitâncias parasitas no transistor M1 são da ordem de fento Farads, a frequência de 3dB:

$$fp1 \approx \frac{1}{2 * \pi * R * C} = 19,9kHz \quad (4)$$

Considerando que no nó de saída, a capacitância de $10fF$ é dominante em relação as capacitâncias intrínsecas (na ordem de pico ou atto farads) a frequência alta de 3dB:

$$fp2 \approx \frac{g_{md8} + g_{md4}}{2 * \pi * C_L} = \frac{1,18\mu + 523n}{2 * \pi * 10f} = 27,12MHz \quad (5)$$

III. ESQUEMÁTICO

Inicialmente foi criado um esquemático do circuito proposto, mostrado na figura 1, em que os transistores NMOS M0, M1 e M2 com os PMOS M6 e M8 estão desempenhando o espelhamento de corrente i_{ref} , o resistor e capacitor fazem o acoplamento da entrada e os transistores M3 e M4 estão fazendo a amplificação principal, na configuração fonte comum e porta comum, respectivamente. Para o devido espelhamento de corrente e buscando minimizar a área e potencia consumida dentro das especificações de ganho e frequências especificados, foram escolhidos NMOS do espelho com $L = 1\mu m$ e $W = 3\mu m$, PMOS do espelho com $L = 1\mu m$ e $W = 5\mu m$, $R = 800k\Omega$, $C = 10pF$, corrente de polarização de $5\mu A$, e transistores do amplificador $L = 1\mu m$ e $W = 3\mu m$ para o fonte comum e $L = W = 3\mu m$ para o porta comum.

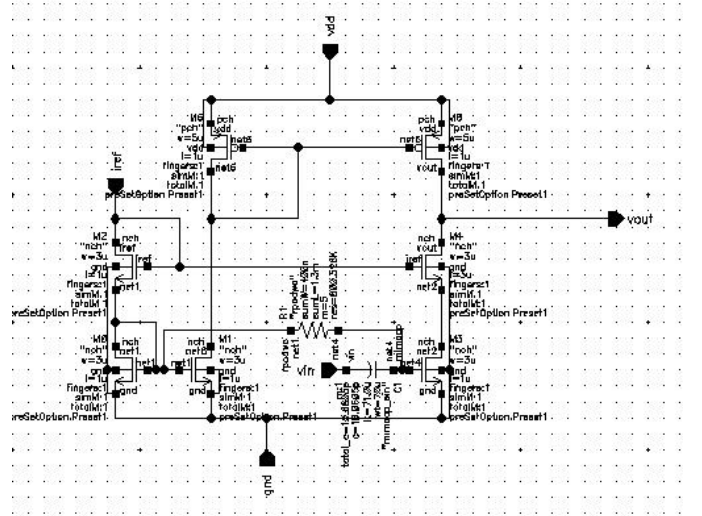


Fig. 1: Esquemático do espelho de corrente

IV. SIMULAÇÃO

Foi criado um *testbench* para simular o circuito com uma capacitância externa, como mostra a figura 2. Foi realizada uma simulação DC para verificar o ponto de operação dos transistores, especialmente os transistores NMOS que atuam como amplificadores principais e o PMOS do espelho de corrente, como mostra a figura 3.

Realizando uma simulação AC, com magnitude do sinal de entrada 1, obtemos o resultado na figura 4. Podemos ver que o ganho $A_{v0} = 19V/V$, $fp1 \approx 90kHz$ e $fp2 \approx 35MHz$. Os valores de frequência de corte foram aproximadamente

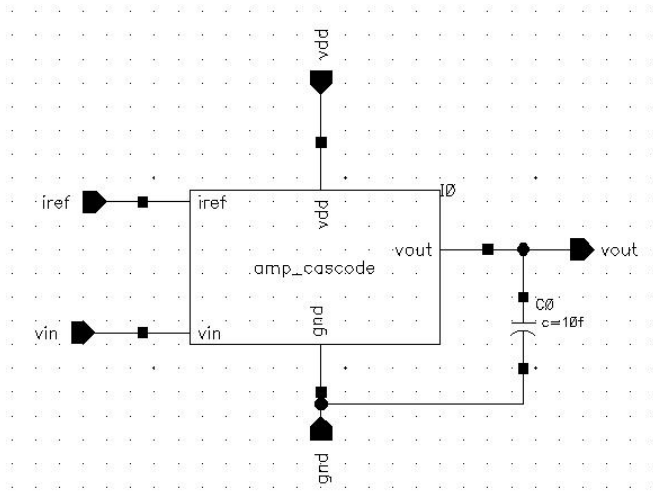


Fig. 2: Testbench

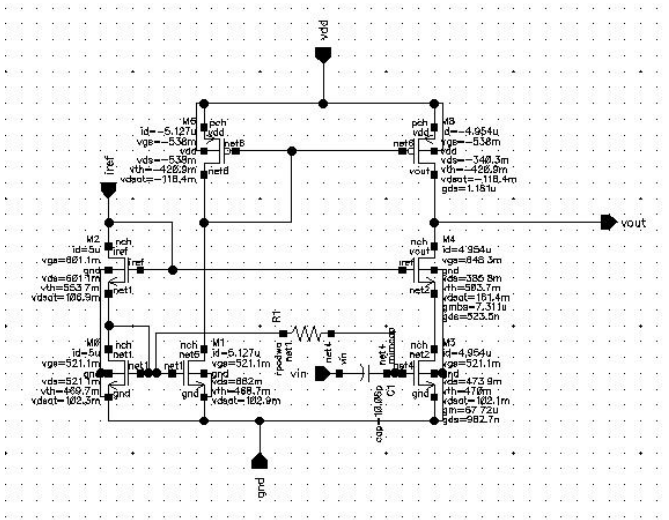


Fig. 3: Ponto de operação

próximos, considerando que foram feitas várias aproximações na previsão teórica, levando em conta apenas os polos dominantes, mas o ganho foi abaixo do previsto de 49V/V para apenas 19V/V.

Realizando uma simulação transiente, com tensão de entrada uma senoide de amplitude 1mV e frequência de 500kHz, obtemos o resultado da figura 5. A amplitude do sinal de saída é $V_{out_a} = \frac{884-789}{2} = 47,5mV$ e, portanto, o ganho é $A_V = \frac{47,5mV}{1mV} = 47,5$, próximo do valor teórico.

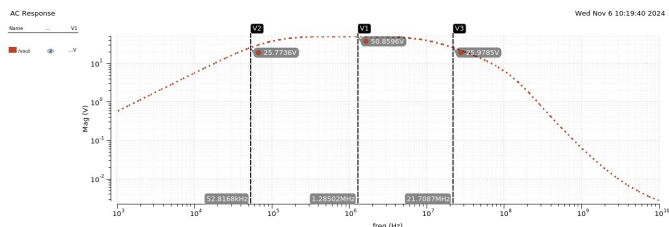


Fig. 4: Resposta em frequência

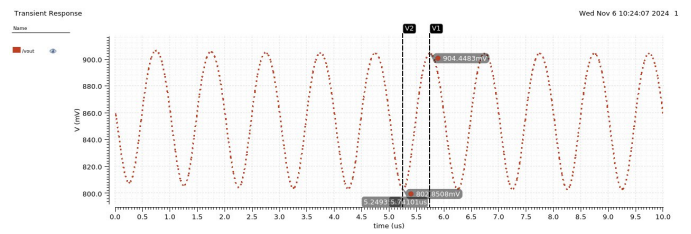


Fig. 5: Resultado da simulação transiente

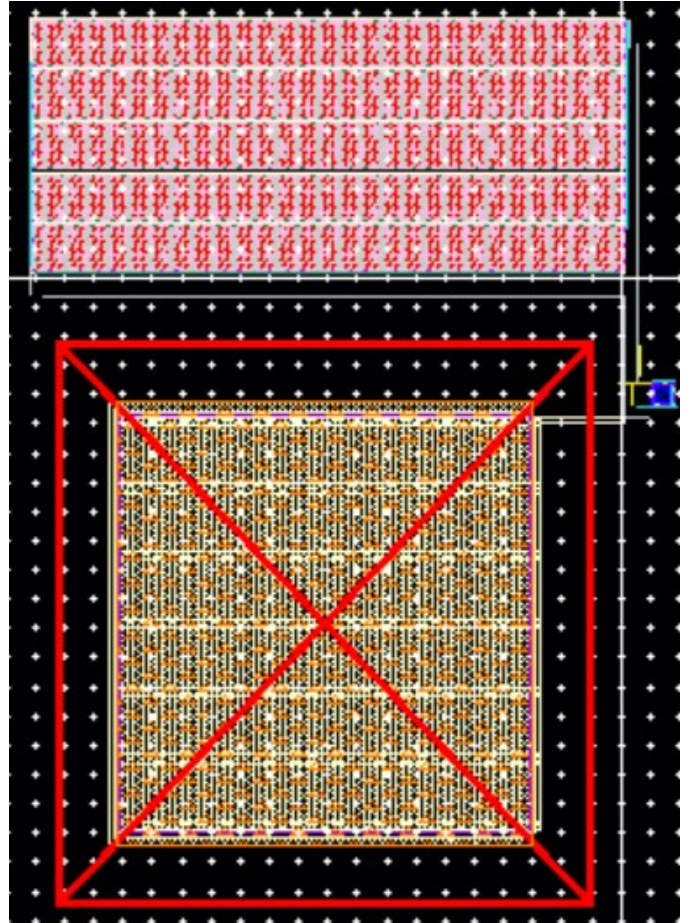


Fig. 6: Leiaute

V. LEIAUTE

Com os resultados da simulação validando o funcionamento do circuito, foi criado o leiaute da figura 6, que passou nos *checking's* DRC e LVS (figuras 7 e 8), sendo possível fazer a extração de parasitas, com a ressalva de que o DRC teve erros de falta de densidade nas camadas de metal, por conta do capacitor que está na camada de metal 8 e é necessário vias para ligar ao metal 1 e polissilício. Estes erros no DRC podem ser facilmente corrigidos incluindo metal *dummy* nas camadas de baixa densidade.

Foi refeita a simulação transiente com os parasitas para verificar o ganho em $f1 = 1MHz$ e $f2 = 10MHz$, cujos resultados estão nas figuras 9 e 10, respectivamente. O menor ganho foi registrado na simulação de 10MHz, que teve amplitude de $V_{amp} = \frac{858m-799m}{2} = 29,5mV$, cujo ganho é $A_V = \frac{29,5mV}{1mV} = 29,5V/V$.

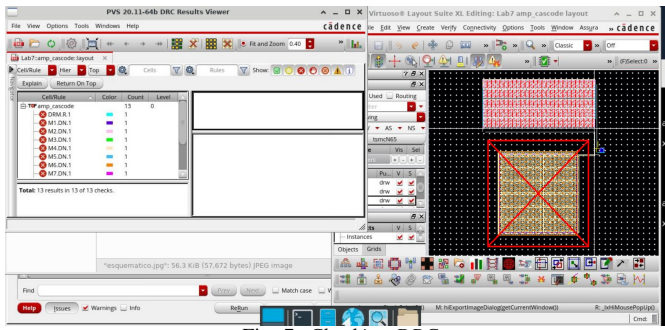


Fig. 7: Checking DRC

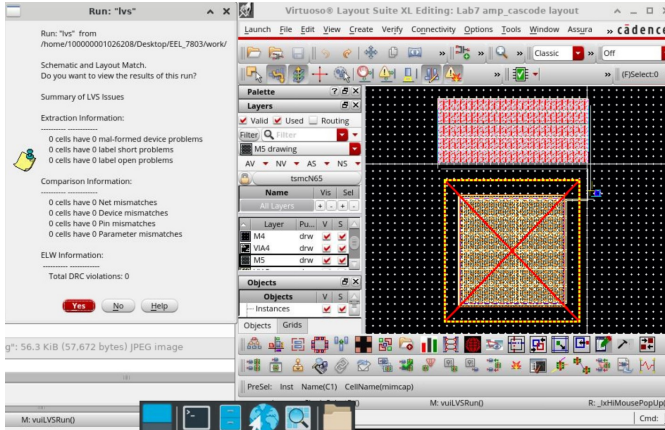


Fig. 8: Checking LVS

VI. FIGURA DE MÉRITO

A figura de mérito depende da corrente consumida da fonte, que foi determinada por simulação como sendo $9,5\mu A$, sendo

assim o valor de FoM é:

$$FoM = \frac{A_v}{A \times I_{DD}} = \frac{29,5}{110\mu \times 151\mu \times 9,5\mu} \quad (6)$$

$$FoM = 1,86 \frac{10^{-4}}{\mu^3 m^2 \times A} \quad (7)$$

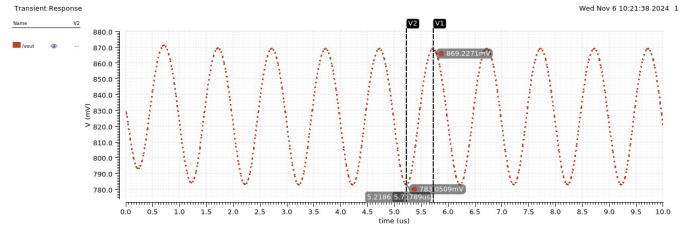


Fig. 9: Resultado da simulação transiente com parasitas, $f = 1\text{ MHz}$

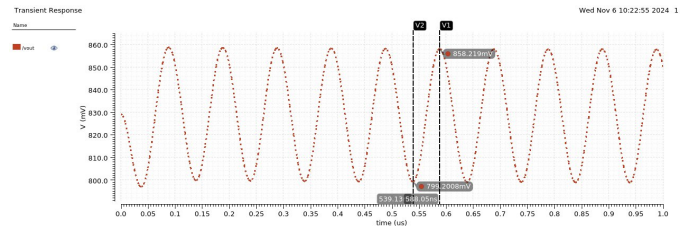


Fig. 10: Resultado da simulação transiente com parasitas, $f = 10\text{ MHz}$