

NOTA: 10

Patrik Loff Peres

**PROJETO E CARACTERIZAÇÃO DE BLOCOS DE MEMÓRIA
RAM EM TECNOLOGIA CMOS 65nm**

Florianópolis
2024

PROJETO E CARACTERIZAÇÃO DE BLOCOS DE MEMÓRIA RAM EM TECNOLOGIA CMOS 65nm

Florianópolis, 10 de dezembro de 2024

Patrik Loff Peres

Prof. Fabian Leonardo Cabrera Riaño, Dr.

Sumário

Sumário	3
1 OBJETIVOS	4
1.1 OBJETIVO GERAL	4
1.2 OBJETIVOS ESPECÍFICOS	4
2 MOTIVAÇÃO	5
3 METODOLOGIA	5
4 REVISÃO DO ESTADO DA ARTE	6
4.1 Topologias	6
4.2 Célula 6T	7
5 CRONOGRAMA	10
6 RECURSOS NECESSÁRIOS	10
Referências	10

1 OBJETIVOS

1.1 OBJETIVO GERAL

Projetar e caracterizar blocos de memória RAM de baixo consumo de potência na tecnologia CMOS 65 nm de modo a ser possível utilizá-las no fluxo de síntese automática *standart cells*.

1.2 OBJETIVOS ESPECÍFICOS

- Estudar as possíveis implementações, e seus requisitos, de células de memória;
- Desenvolver o esquemático de um bloco de memória com células na topologia 6 transistores e circuitaria auxiliar;
- Desenvolver o leiaute do bloco de memória;
- Caracterizar o bloco completo através da ferramenta LiberateMX;

2 MOTIVAÇÃO

Nos últimos anos, a indústria de projetos VLSI (*Very-large-scale integration*) vem se desenvolvendo no mundo, em diversos tipos de circuitos integrados (CI) CMOS, como microprocessadores, ASIC, FPGA e SoC [1]. Para a fabricação desses circuitos, é necessário realizar processos complexos e com alto nível de precisão. Além do processo de fabricação em si, é necessário o *desing* do projeto, que já é uma tarefa formidável.

Atualmente, a maioria dos equipamentos eletrônicos estão equipados com CIs, e todos os CI CMOS VLSI usam matriz de células de memória *Static random access memory* (SRAM), pois a SRAM pode ser fabricada nos mesmos processos da fabricação da parte lógica do circuito, sendo extremamente conveniente por não gerar custo extra [1]. Também, matriz de células de memória SRAM podem operar com baixos atraso e consumo de potência.

Até tecnologias 90nm (O nó tecnológico dos circuitos CMOS são nomeados pelo tamanho mínimo do canal do transistor) projetos de células SRAM não requerem atenção para a estabilidade elétrica. Porém, para tecnologias menores, como no caso deste projeto, por conta da variabilidade dos componentes e das perdas que se tornam relevantes, é demandado um cuidadoso dimensionamento do circuito para pleno funcionamento. Além disso, em circuito atuais, os blocos de memória ocupam parte significativa do CI, o que pode ser determinante para as características fundamentais do circuito como velocidade de operação, potência, tensão de alimentação e tamanho do chip.[1].

À medida que as operações de acesso à memória e consumo de potência se tornam os principais gargalos no *design* de sistemas computacionais, o interesse em abordagens diferentes aumentou, como processamento em memória, especialmente para aplicações em aprendizado de máquina, tendo em vista que as unidades de processamento convencionais, CPU e GPU, não atendem as necessidades dos algoritmos avançados [2]. Para aplicações deste tipo, é necessário conhecer detalhadamente a construção interna dos blocos de memória e as suas limitações.

3 METODOLOGIA

Inicialmente, será feita uma etapa de revisão teórica da literatura sobre projeto de blocos de memória, que envolve o *design* dos elementos dos circuitos como transistores, resistores e capacitores.

Após essa etapa, será desenvolvido o esquemático dos circuitos do bloco de memória e dos blocos auxiliares, como amplificadores e comparadores, validados por simulações. Com isto feito, será criado o leiaute do bloco de memória, permitindo realizar a extração de parasitas, que possibilitará a simulação mais precisa do circuito e a validação do seu pleno funcionamento.

Por fim, será realizada a caracterização e validação do bloco através da ferramenta LiberateMX que gera todos os dados necessários para criar um arquivo de biblioteca, incluindo informação de pinos, temporização e potência.[3]

4 REVISÃO DO ESTADO DA ARTE

Os blocos de memória SRAM possuem algumas características relevantes como rápida operação com circuitos lógicos e baixo consumo de potência em modo *standby* dos blocos de memória SRAM e o fato de o processo de fabricação ser o mesmo do circuito lógico, não requerendo custo extra. Por isso é comumente optado por utilizar memórias SRAM em circuitos VLSI do que memórias DRAM ou Flash [1] [4].

Memória de acesso aleatório (na sigla em inglês, RAM) é acessada via um endereço, e o atraso não varia conforme o endereço escolhido [4]. As memórias RAM estão no grupo de memória volátil, ou seja, quando a alimentação é desconectada, o conteúdo armazenado é perdido [4]. Neste trabalho em específico, será desenvolvida uma SRAM, que é a versão estática da memória RAM, que mantém o sinal usando um esquema de *feedback*, diferente da versão dinâmica (DRAM), cujo desígnio é armazenar o bit em um capacitor, que perde carga ao longo do tempo, requerendo recarga para manter o conteúdo, tornando mais lenta e problemática [4].

4.1 Topologias

A topologia de célula de memória, que armazena um bit [4], primeiramente proposta de SRAM foi a *High-R Cell* como 4K SRAM. Nessa célula, a camada de polissilício com alta resistividade era usada como carga do inversor da célula SRAM, não sendo necessário transistores PMOS, como mostra a figura 1. Como a resistividade era da ordem de 10^{12} , a corrente consumida era baixa, assim como a área ocupada. A desvantagem dessa topologia é que ela requer no mínimo 1,5V para carregar a célula na operação de escrita, o que não é possível nas tecnologias mais recentes, como 65nm, em que a tensão de alimentação típica é 1,2V [1].

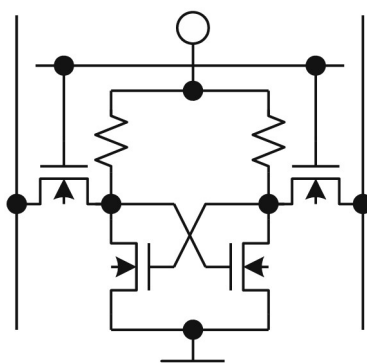


Figura 1 – *High R Cell* [1]

Para sanar o problema da tensão de alimentação, foi proposta a topologia de célula de seis transistores (*6T Cell*) que usa transistores PMOS no lugar dos resistores na topologia High R, como mostra a figura 2. Deste modo, ainda que a área ocupada seja um pouco maior devido à necessidade do substrato tipo N para o *bulk*, é possível fabricar a célula 6T no mesmo processo da lógica do circuito integrado, sendo agora capaz de operar em tensões de alimentação mais baixas, por conta de rede *pull-up*. [1].

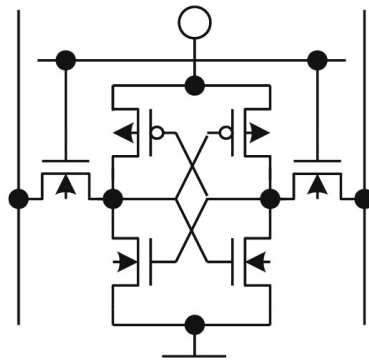


Figura 2 – 6T Cell[1]

Para operar em baixa tensão de alimentação e com baixo atraso, é proposta a topologia de célula com 8 transistores (*8T Cell*), como mostra a figura 3 (a), que reduz problemas de estabilidade e acelera o acesso à memória, com o custo de ocupar mais área. Nesse sentido, também é proposta a topologia 4T com tecnologia FINFET, como mostra a figura 3 (b), que faz valer de efeitos capacitivos no funcionamento do circuito [1].

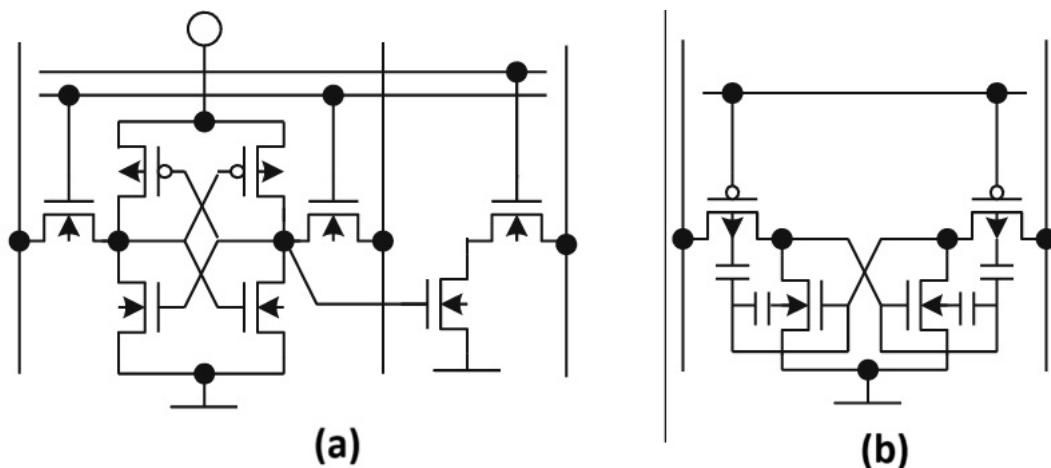


Figura 3 – (a) 8T Cell (b) 4T Cell FINFET[1]

4.2 Célula 6T

Por conta da diminuição do tamanho dos transistores, há também a diminuição da tensão de alimentação, juntamente com a variação da tensão de limiar e das correntes de fuga que tem aumentado em razão do escalamento, há várias dificuldades em dimensionar bloco de memória com célula 6T confiável, de baixa potência e de baixa área que seja estável eletricamente e imune a erros nessa tecnologia[1][4].

A célula de memória SRAM é constituída fundamentalmente por um *latch*, que armazena o bit '1' ou '0'. A célula 6T, mostrada na figura 4, consiste em dois inversores lógicos ligados em antiparalelo (compostos por um transistor PMOS de carga e um NMOS de driver cada) e dois transistores de acesso (AC) que estão conectados aos barramentos de bit (BB e BT), e os gates dos AC estão conectados ao barramento *word line* (WL) [4].

Para obter estabilidade de leitura, os transistores DR0/DR1 devem ser dimensionados de tal forma que sejam fortes o suficiente para manter o bit N0/N1 em '0' na leitura, mesmo

que o transistor AC0/AC1 esteja ligado, tendo em vista que o barramento é pré-carregado com a tensão de alimentação [4].

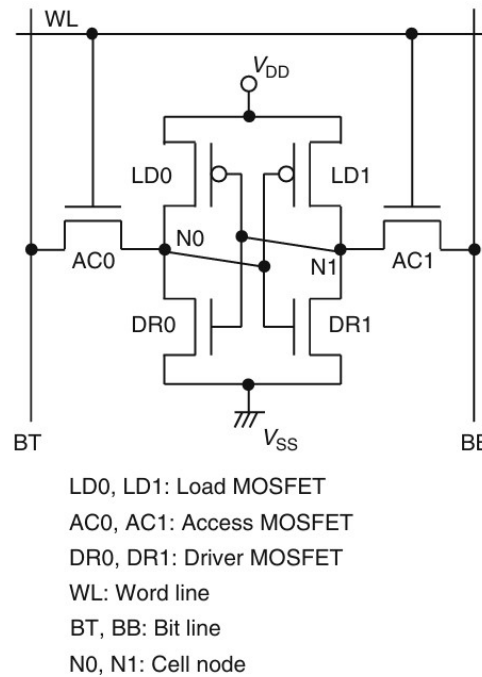


Figura 4 – 6T Cell[1]

Um bloco de memória consiste em uma matriz de células de memória, como a mostrada na figura 4, com n linhas e m colunas, e no design mais simples, tem uma palavra por linha e uma coluna por bit [4]. Além disso, pode contar com blocos auxiliares para acesso às células, tanto para escrita quanto para leitura, como ilustrado na figura 5 [1][4].

Os blocos auxiliares básicos para a memória são um *word decoder* para selecionar uma linha da memória para ler ou escrever. Um circuito de pré-carga (precharge), para evitar erros na leitura por gerar um carga muito alta na saída da célula, fazendo com que a memória passe do bit '1' para '0', é necessário para aumentar e equalizar a tensão dos barramentos BB e BT para a tensão de alimentação V_{DD} .

Tendo em vista a construção da célula, tem-se o bit armazenado na forma diferencial. Para acelerar a leitura, ao invés de aguardar os bits armazenados estabilizarem no barramento, é utilizado um *sense amplifier* cuja função é amplificar a diferença entre os dois terminais de saída da célula, deste modo, é possível inferir qual o bit armazenado antes deles estarem estáveis '1' e '0' nos barramentos, diminuindo consideravelmente o atraso na leitura, ao custo da área do amplificador. A saída do *sense amplifier* é ligada a um *flip-flop* de saída que armazena o bit lido estável.

Para a escrita, o bit a ser armazenado passa pelo *write amplifier* e é transferido aos barramentos diferenciais que estão pré-carregados com V_{DD} e selecionados pelo *column mux* para alimentar uma célula selecionada pelo *word decoder*. O bit de escrita força o bit armazenado na célula a virar, e por fim é desligado o *word line* para que cada célula armazene seu respectivo bit.

Na etapa de leiaute, uma técnica relevante para aumentar a estabilidade elétrica é Célula Litograficamente Simétrica (LS Cell), que é fazer o leiaute simétrico para balancear

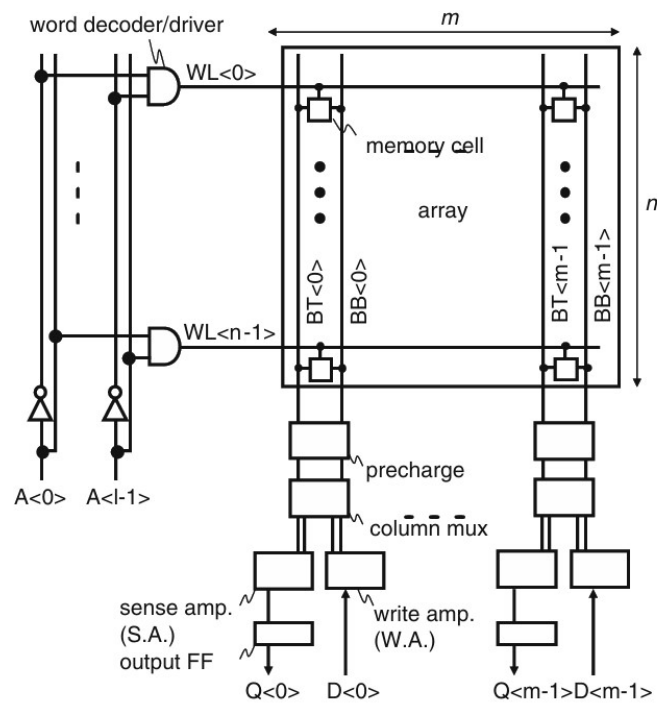


Figura 5 – Bloco de memória [1]

as características dos pares de transistores CMOS necessários em cada célula de memória, reduzindo o descasamento dos componentes, deste modo é possível aprimorar a estabilidade com processos avançados de fotolitografia de super-resolução [1].

5 CRONOGRAMA

Atividades	mar/2025	abr/2025	mai/2025	jun/2025	jul/2025	ago/2025
Revisão e pesquisa bibliográfica	X	X				
Desenvolvimento dos circuitos		X	X			
Leiaute dos circuitos			X	X		
Caracterização dos blocos de memória				X	X	
Análise dos resultados					X	X
Redação do TCC				X	X	X

6 RECURSOS NECESSÁRIOS

Para realizar este trabalho são necessários:

- Computador com acesso à internet
- Licenças dos *softwares* Cadence para projeto e caracterização de circuitos de memória

Referências

- [1] K. Ishibashi e K. Osada, *Low Power and reliable SRAM Memory Cell and Array Desing*. Springer, 2011, p. 143.
- [2] K. Asifuzzaman et al., “A survey on processing-in-memory techniques: Advances and challenges”, *Memories - Materials, Devices, Circuits and Systems*, v. 4, p. 100 022, 2023. endereço: <https://www.sciencedirect.com/science/article/pii/S2773064622000160>.
- [3] Cadence, *Liberate MX for Characterizing Embedded Memory Instances Rapid Adoption Kit (RAK)*, 2023.
- [4] N. Weste e D. Harris, *CMOS VLSI Design: A Circuits and Systems Perspective*, 4th. USA: Addison-Wesley Publishing Company, 2010.