

UNIVERSIDADE FEDERAL DE SANTA CATARINA - UFSC
CENTRO TECNOLÓGICO - CTC
DEPARTAMENTO DE ENGENHARIA ELÉTRICA E ELETRÔNICA
CURSO DE ENGENHARIA ELETRÔNICA
INE 5442 - CIRCUITOS E SISTEMAS INTEGRADOS

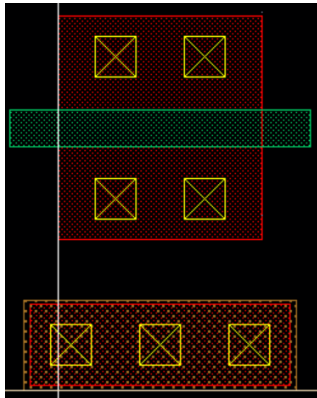
PATRIK LOFF PERES
20103830

Laboratório 2 - Layout das portas inversora, nand e nor CMOS

FLORIANÓPOLIS
2024

Neste laboratório foram desenvolvidos os leiautes das portas inversora, nand e nor na tecnologia CMOS 180 nanômetros (com $W = 1$ micrômetro) a partir dos esquemáticos de cada circuito. Em cada leiaute foi verificado se as regras de projeto foram respeitadas, através da validação DRC (*Design Rule Check*) e também se o leiaute condiz com o que foi projetado no esquemático, através da validação LVS (*layout versus schematic*).

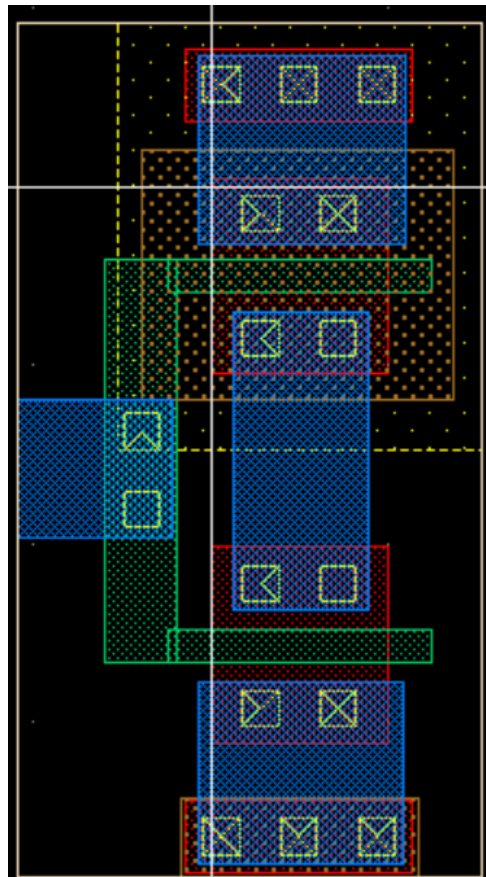
Inversor



Para a criação do leiaute da porta inversora, primeiramente foi criado um transistor do tamanho desejado, se atentando aos parâmetros críticos, o comprimento do canal, definido pela largura do polisilício e largura dos transistores definida pela camada RX. Também foi utilizado pelo menos dois contatos por ligação para otimizar espaço e aumentar a chance de bom funcionamento após fabricação. Para fazer a ligação do substrato com o Vdd/ground foi utilizados três contatos, além de que eles foram feitos em regiões dopadas p+ ou n+ para que a resistência do contato seja pequena o suficiente para o nível de tensão não flutuar. Considera-se que o *wafer* é de silício dopado tipo-P, e portanto, não é necessário criar um poço para o transistor NMOS.

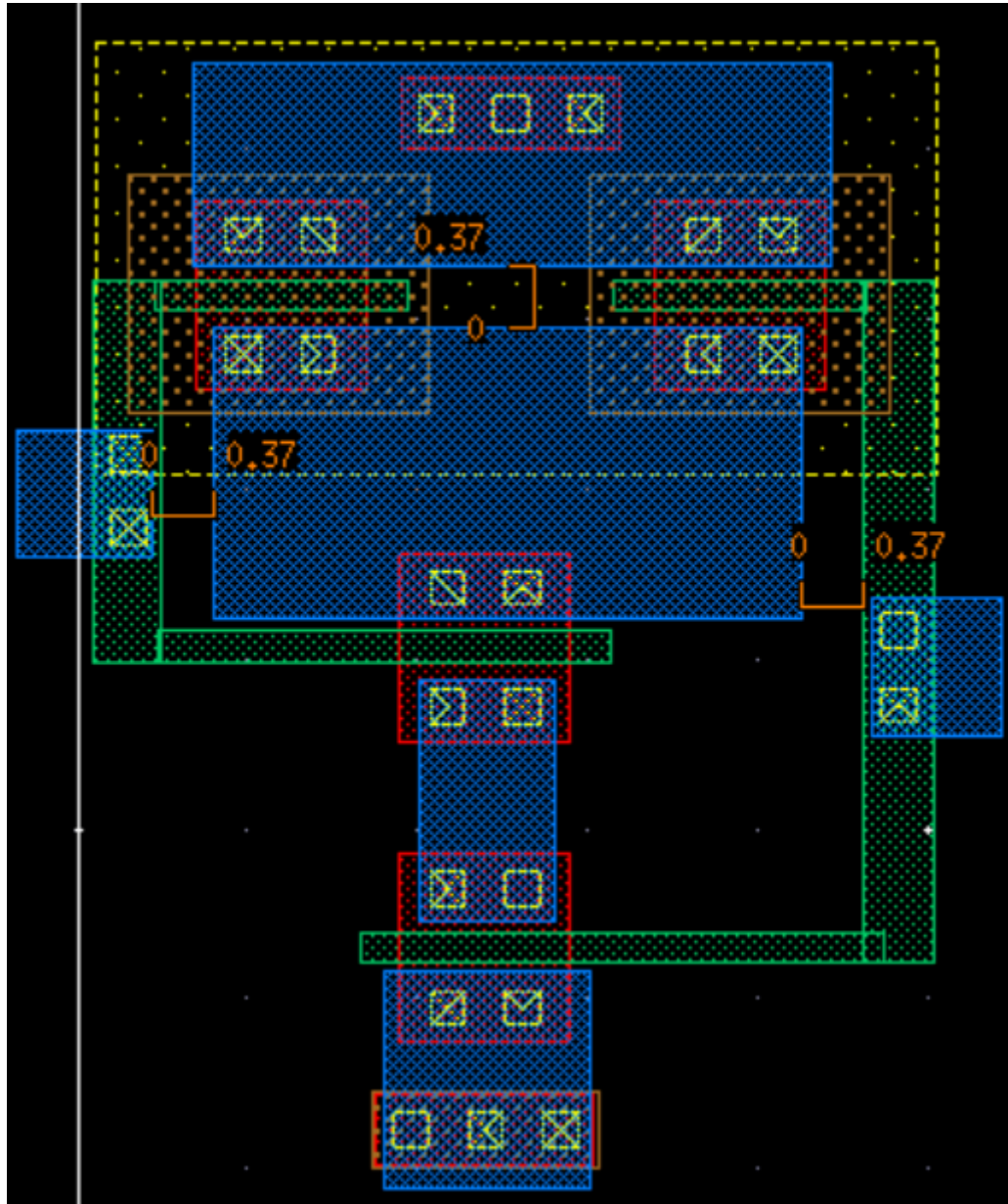
A partir do transistor NMOS foi criado o transistor PMOS apenas copiando-o em cima de um poço tipo-N cujo transistor está dentro de uma camada BP, definindo assim a dopagem de fonte/dreno como sendo o tipo-P.

As ligações entre os *gates* dos transistores foi feita usando polisilício, e a primeira camada de metal foi usada para ligar as entradas vdd, ground, Vin e a saída Vout.



Porta nand

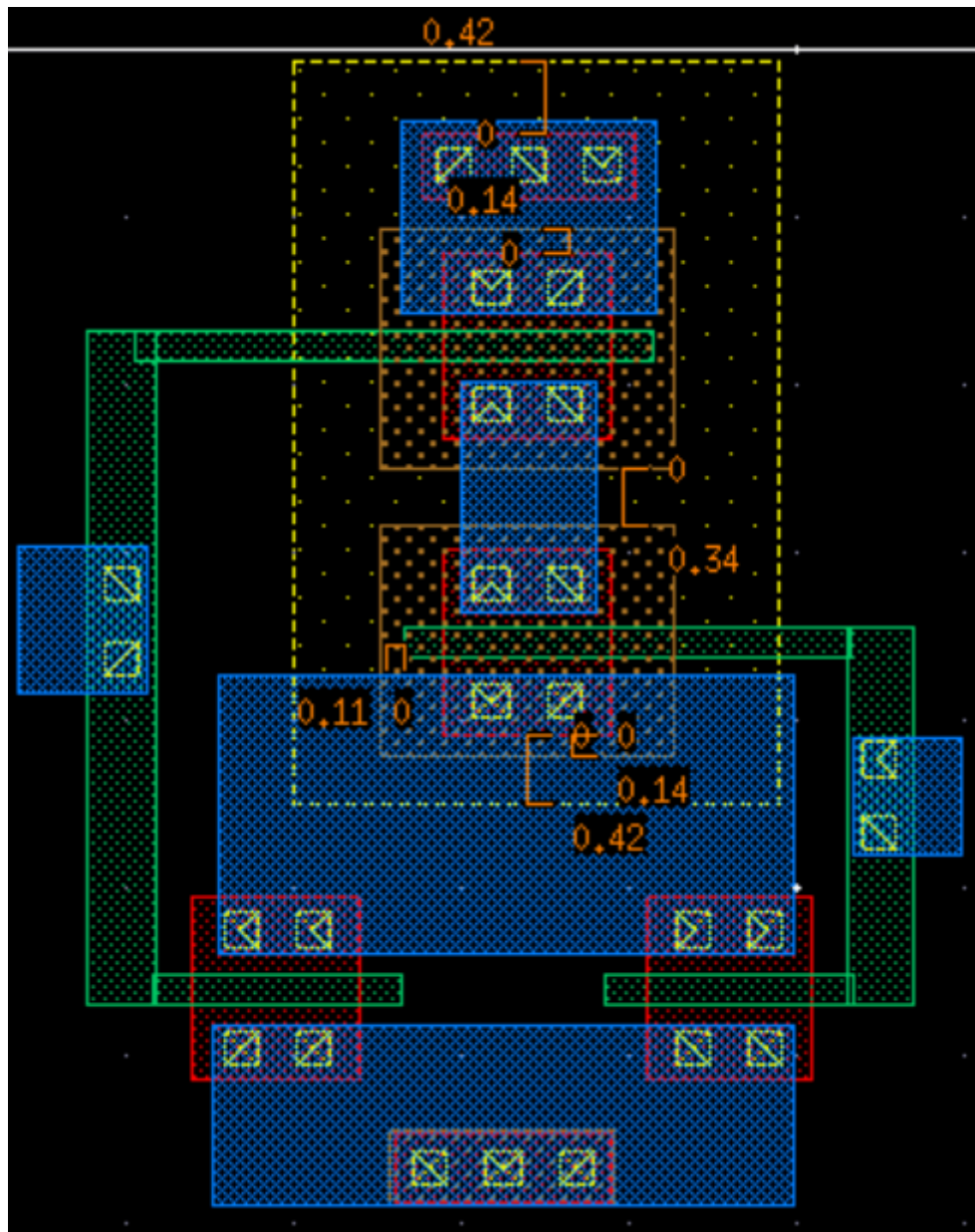
Na criação do leiaute da porta nand foi utilizado como base o mesmo transistor criado para a porta inversora. Para os transistores PMOS foi criado um poço tipo-N que englobasse ambos os transistores e a conexão entre os *gates* dos transistores NMOS e PMOS adequados foram feitas com polisilício. Na camada de metal, além de ser alocado as entradas e saídas do circuito, também foi feita a ligação entre o dreno e fonte dos transistores NMOS, tal que eles fiquem ligados em série. Uma regra que projeto que exigiu atenção foi que camadas de metal tem que estar separadas de no mínimo 370 nanômetros, isso porque devido a disposição dos transistores foi necessário grandes camadas de metal.



Porta nor

Para a criação do leiaute da porta nor foi espelhado o leiaute da por nand e ajustado o poço tipo-N para os transistores PMOS, assim como as camadas BP. Neste caso, as regras de projeto que

causaram erros na verificação DRC foram as distâncias entre a camada RX e BP, RX e NW e entre diferentes camadas BP.



Todos os leiautes passaram nas verificações DRC e LVS.