

Relatório 4 - Somador

Patrik Loff Peres (20103830)

Universidade Federal de Santa Catarina (UFSC)

Departamento de Engenharia Elétrica e Eletrônica (DEEL)

I. INTRODUÇÃO

Por simplicidade e produtividade, foi implementado independentemente as portas lógicas inversora, NAND, NOR e XOR com seus respectivos leiautes e depois implementado um full-adder com essas portas. A partir daí, foram inseridos 3 full-adders para fazer um somador de duas entradas de três bits.

II. Full-Adder

Usando como base a tabela verdade de um *full-adder*, é possível sintetizar as portas lógicas necessárias como mostrado na figura 1.

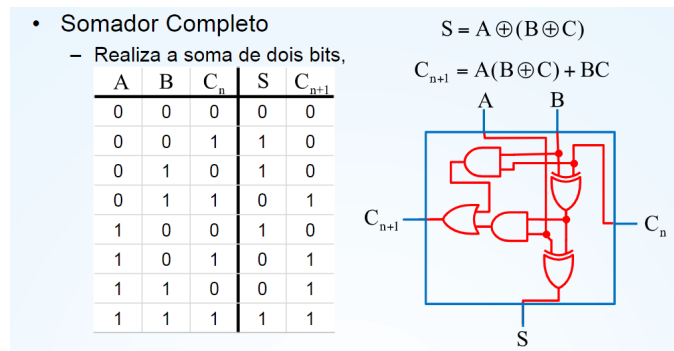


Fig. 1: Full-Adder

Para implementar na tecnologia CMOS é mais conveniente utilizar as portas negadas, portanto assumiu-se todas as portas (menos as XOR) como negadas seguidas de um inversor. Na figura 2 mostra as equações lógicas do *full-adder* simplificadas. Na figura 3 mostra o diagrama de portas lógicas CMOS implementado

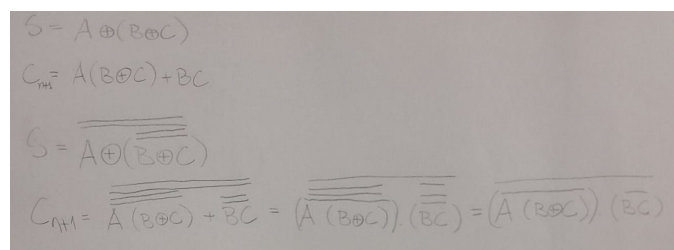


Fig. 2: Simplificação

Dessa forma, a partir da equação lógica da figura 2 foi possível criar o esquemático (figura 4) e posteriormente o leiaute (figura 5) do *full-adder* juntando as portas já criadas anteriormente.

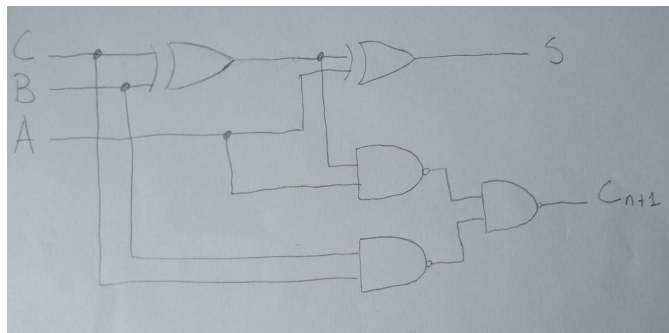


Fig. 3: Full-Adder CMOS

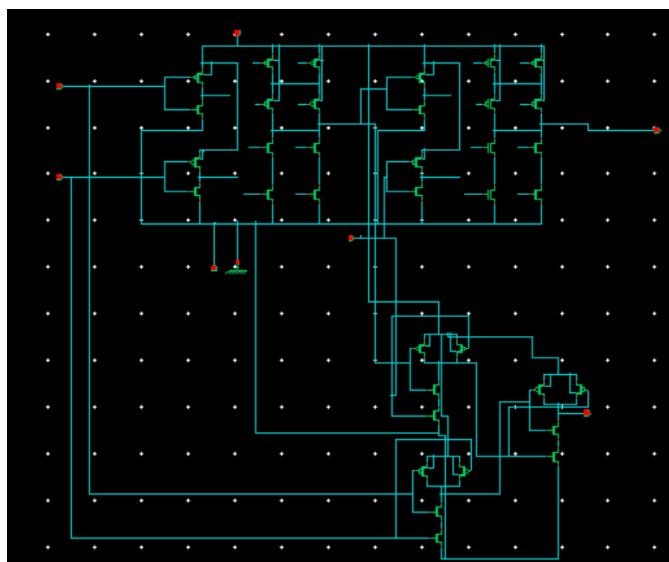


Fig. 4: Esquemático do Full-Adder

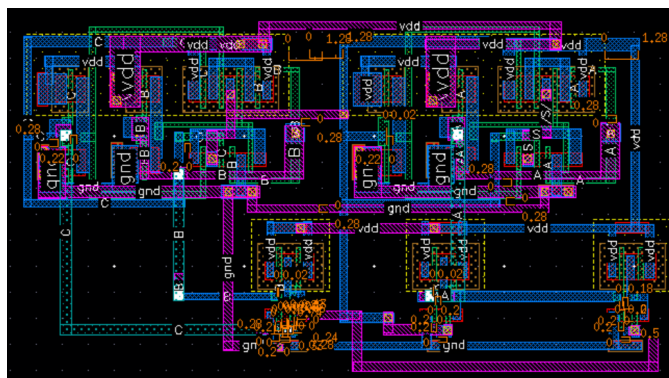


Fig. 5: Leiaute do Full-Adder

III. SOMADOR

Com o leiaute do *full-adder* pronto e validado, foi criado um esquemático (figura 6) e leiaute (figura 7) para o somador

de duas entradas de 3 bits com 3 *full-adders* cascadeados.

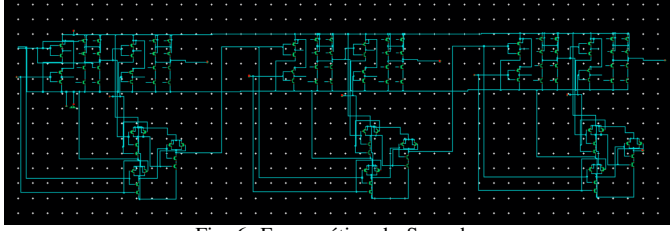


Fig. 6: Esquemático do Somador

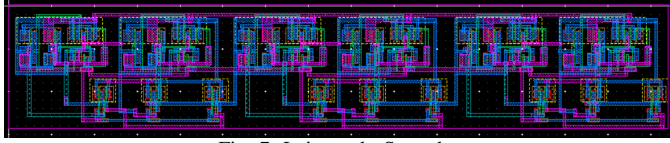


Fig. 7: Leiante do Somador

IV. FoM

Para verificar o tempo de propagação foi definido que a entrada A varie de "000" → "111" e a entrada B varie de

"000" → "001". Sendo assim, a saída esperada é $S = "000"$ e $C_{out} = "1"$.

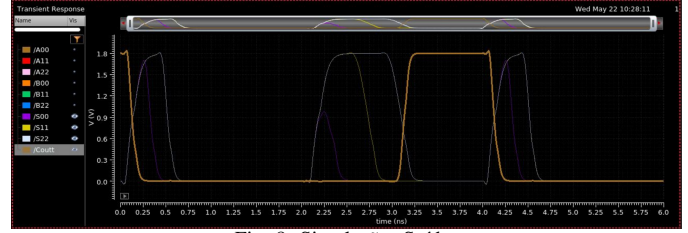


Fig. 8: Simulação: Saídas

Como é esperado dessa topologia de somador(e confirmado na figura 8) a saída com maior atraso é Cout, portanto para calcular o atraso critico foi considerado o tempo entre 50% da transição da entrada e 50% da transição de Cout.

Sendo assim, o atraso critico foi de 1,067ns e a área ocupada do somador foi de $13,46 \times 76,29 = 1026,86 \mu m^2$, portanto $FoM = 1026,86 \times 1,067 = 1,096 am^2s$ ($1,096 \times 10^{-18} m^2s$).