

Relatório 3 - Layout da porta XOR e extração de parasitas

Patrik Loff Peres (20103830)

Universidade Federal de Santa Catarina (UFSC)

Departamento de Engenharia Elétrica e Eletrônica (DEEL)

I. PORTA INVERSORA

Para extrair os parasitas da porta inversora foi utilizado o esquemático e leiaute desenvolvido no lab2 (figura 1).

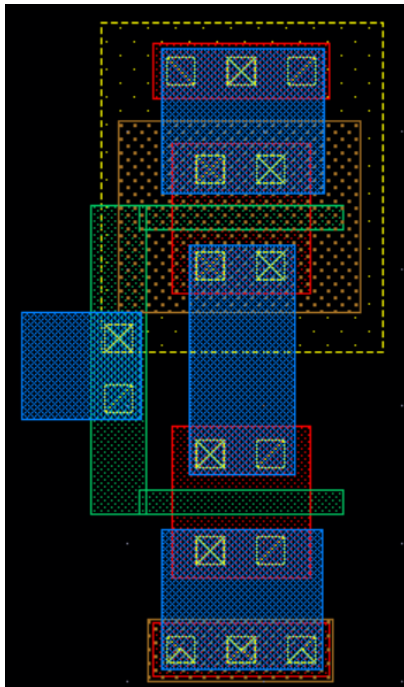


Fig. 1: Leiaute Porta Inversora

II. PORTA XOR

Para implementar a porta XOR e construir seu leiaute foi inicialmente feito o esquemático da porta com base na topologia (c) da figura 2 extraída do livro do Weste "CMOS VLSI Design: a circuits and systems perspective".

Com esta topologia escolhida, é necessário ter as entradas invertidas, arbitrariamente os transistores destas portas inversoras tem $W = 1\mu$. Nos transistores que fazem a lógica da porta XOR, buscando um menor atraso crítico foi utilizado W_p (largura do transistor P) o dobro de W_n (largura do transistor N), de forma a compensar a diferença de mobilidade entre lacunas e elétrons. Também, buscando não ocupar muito espaço, foi utilizado W_n próximo do mínimo, 500nm, como ilustra a figura 3.

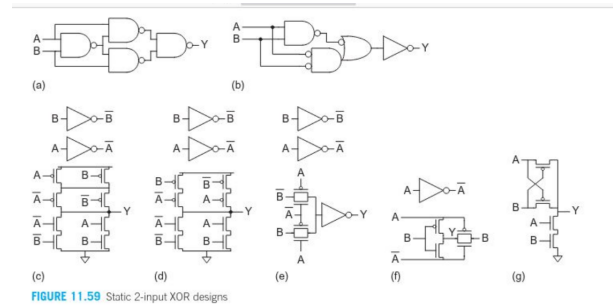


Fig. 2: Static 2-input XOR designs

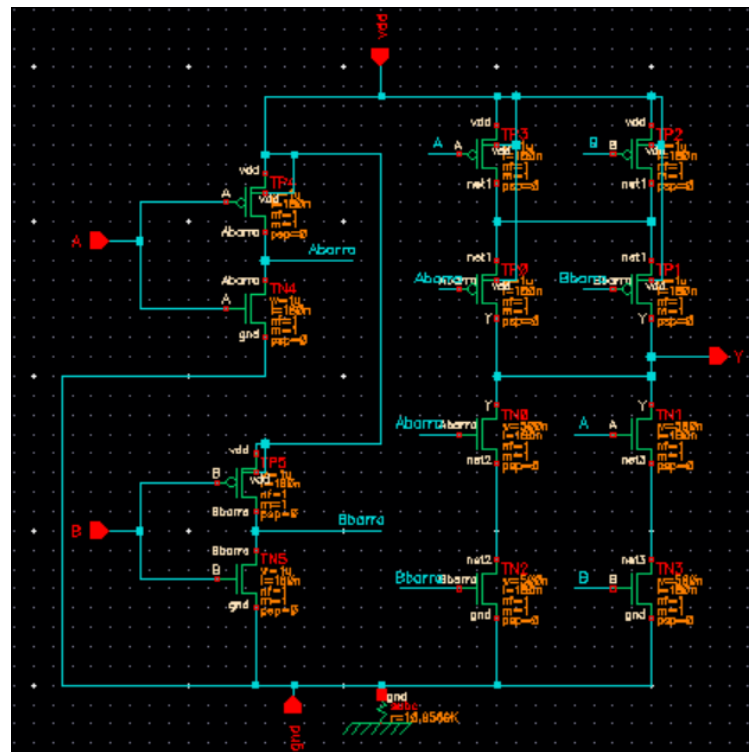


Fig. 3: Esquemático Porta XOR

Assim, com os inversores dos devidos tamanhos, foi criada a *testbench* adequada para medir os atrasos da porta XOR (figura 4).

III. LEIAUTE

Para construir o leiaute da porta XOR foi feito um esboço com um diagrama de barras (figura 5) que fez os 8 transistores da porta xor compactos e organizados. Porém para ligar as entradas (que são 4, considerando barradas e não barradas) e as

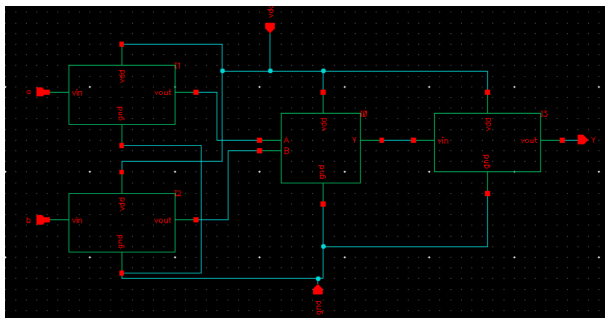


Fig. 4: Testbench

alimentações vdd e gnd, foram necessários algumas conexões não otimizadas, inclusive de metal 2, que exigiram maior área (figura 8).

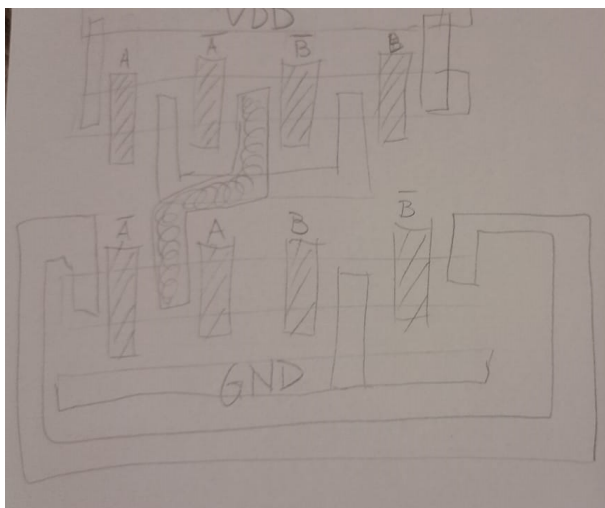


Fig. 5: diagrama de barras para Leiaute Porta XOR

Todas as regras de leiaute foram cumpridas e a verificação DRC passou (figura 6). Também a verificação LVS passou (figura 7), sendo possível a extração dos parasitas para uma simulação incluindo as não idealidades associadas.

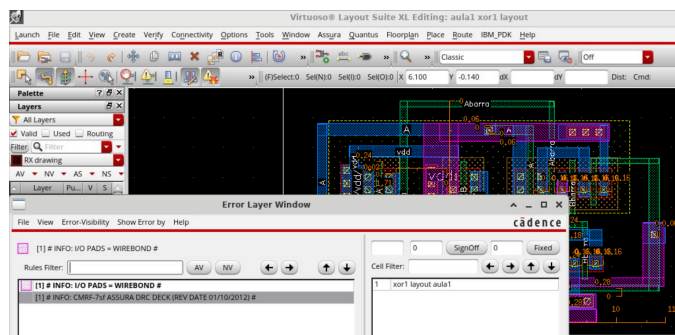


Fig. 6: Verificação DRC

A área total ocupada pelo leiaute foi de $10,67\mu\text{m} \times 6,63\mu\text{m} = 70,74\mu\text{m}^2$

IV. ATRASOS

Com a extração de parasitas foi realizada a simulação que prevê os quatro casos de transição para obter o atraso crítico da porta (figura 9).

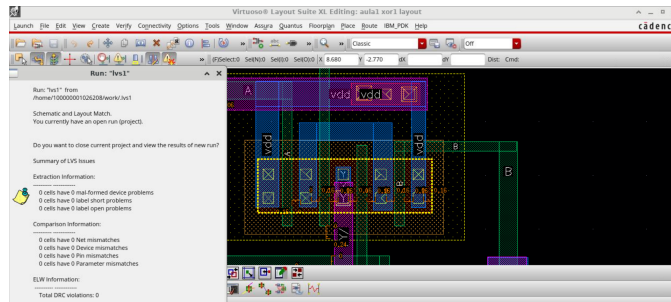


Fig. 7: Verificação LVS

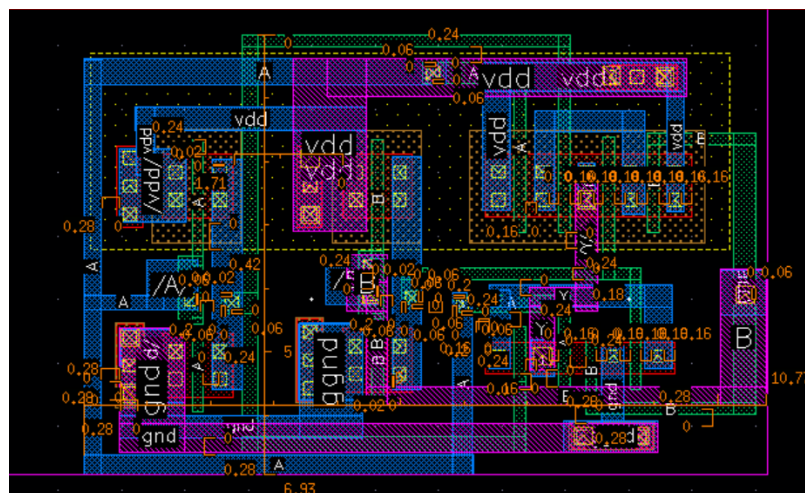


Fig. 8: Leiaute Porta XOR

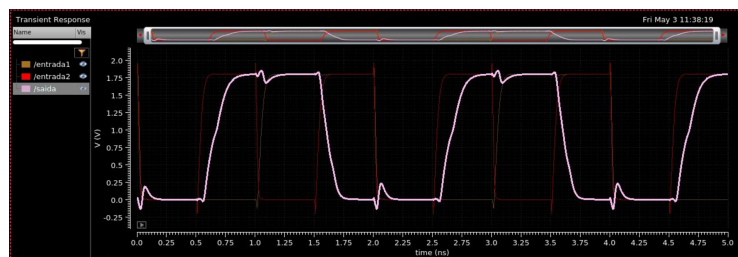


Fig. 9: Resultado da simulação

Pela simulação determinou-se que o atraso crítico acontece na transição de entrada 00 para 01 e foi de $117,9\text{ps}$. Sendo assim a $FoM = 70,74\mu\text{m}^2 \times 117,9\text{ps} = 8,3402\text{zm}^2\text{s}$ ($8,3402 \times 10^{-21}\text{m}^2\text{s}$).