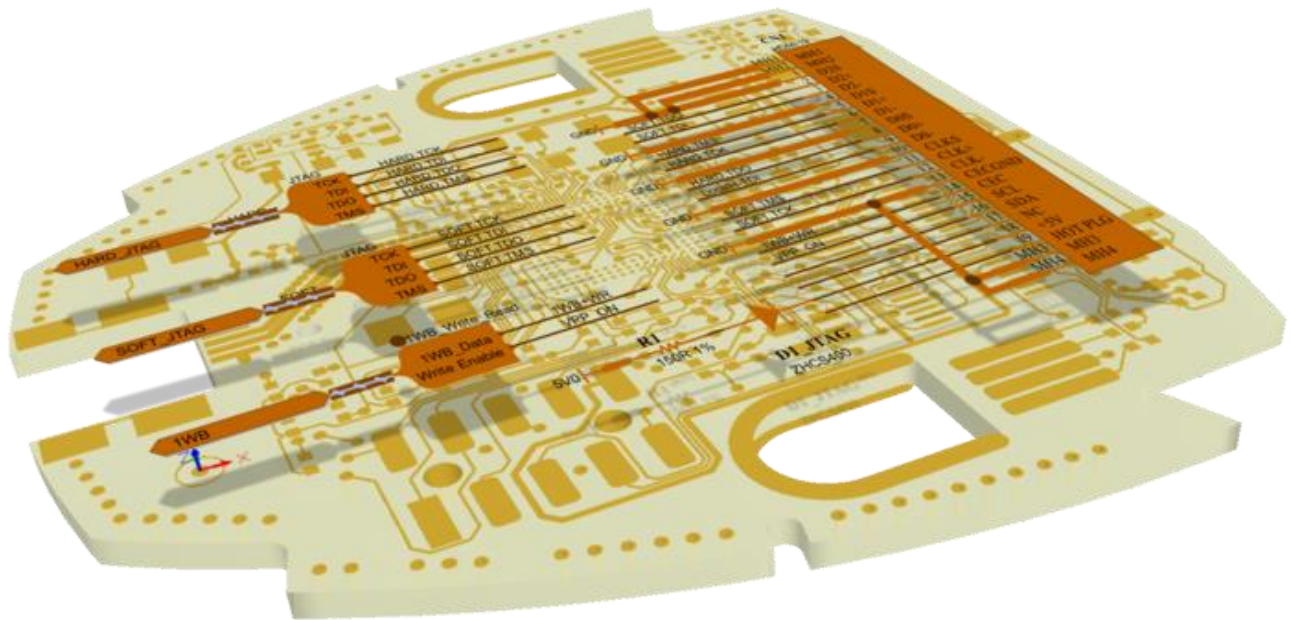


## Biên soạn và xác minh thiết kế

## Biên soạn thiết kế

Nó có nghĩa là gì, để biên dịch thiết kế? Và tại sao thiết kế cần được biên dịch, tại sao phần mềm không thể theo dõi kết nối khi bạn tạo nó trên sơ đồ của mình?



## Phần mềm quản lý dữ liệu kết nối trên sơ đồ và PCB.

Cuối cùng, phần mềm cần xây dựng một mô hình liên kết của toàn bộ thiết kế, cho cả sơ đồ và PCB. Để thực hiện điều này một cách bền bỉ - nơi phần mềm luôn theo dõi kết nối - dữ liệu thành phần và kết nối cho toàn bộ thiết kế sẽ cần có sẵn khi thiết kế được mở, điều này sẽ yêu cầu tất cả dữ liệu được lưu trữ trong một tập tin. Có thể lưu trữ tất cả dữ liệu, cho tất cả các trang trong giản đồ nhiều trang lớn của bạn, trong một tệp duy nhất, nhưng vì một số lý do, đây không phải là cách tốt nhất.

Để mô tả sự tương tự với phát triển phần mềm, nó giống như lưu trữ tất cả mã nguồn cho toàn bộ ứng dụng của bạn trong một tệp duy nhất và mã hóa trong môi trường phát triển sẽ biên dịch lại mỗi khi bạn thực hiện thay đổi. Cả hai điều này đều không phải là thứ mà bất kỳ coder nào cũng muốn. Các công cụ phát triển phần mềm cho

phép nguồn được trải rộng trên nhiều tệp và chúng tách biệt quá trình tạo ra khỏi quá trình phân tích và biên dịch. Làm điều này cho phép nhà phát triển tự do tạo, chỉnh sửa và sửa đổi mã nguồn của họ, sử dụng cấu trúc tệp mà họ chọn. Họ biên dịch mã nguồn để tạo mã hoạt động chỉ khi họ nghĩ rằng nó đã sẵn sàng để biên dịch.

Sử dụng cùng cách tiếp cận này, nhà thiết kế sơ đồ có thể tự do đặt, nối, sắp xếp lại, đổi tên và thêm và xóa nội dung khỏi thiết kế sơ đồ của họ. Khi nhà thiết kế nghĩ rằng nó đã sẵn sàng, họ biên dịch nó - xác minh nó và xây dựng mô hình liên kết nội bộ. Cách tiếp cận này cũng hỗ trợ mô hình một tệp trên mỗi giản đồ-trang tính. Sử dụng một tệp riêng biệt cho mỗi giản đồ có nghĩa là bạn có thể dễ dàng đưa nội dung từ một dự án trước đó vào và điều đó cũng có nghĩa là nhiều nhà thiết kế có thể làm việc trên cùng một dự án cùng một lúc.

Sau đó, khi bạn đã sẵn sàng, bạn biên dịch thiết kế, chọn lệnh **Biên dịch PCB Project** hoặc lệnh **Recompile PCB Project** từ menu **Project** .

Phần mềm sau đó:

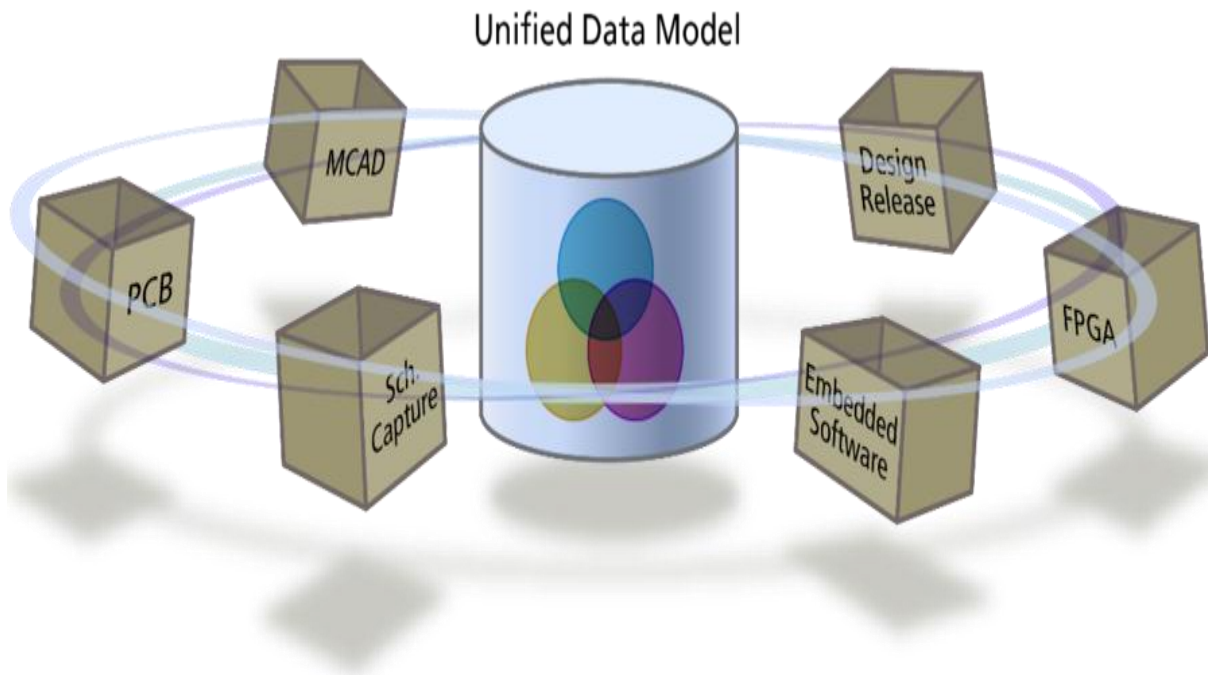
- xây dựng danh sách mạng cho mỗi trang tính sơ đồ, sau đó
- tạo kết nối trang tính, sau đó
- xây dựng Mô hình Dữ liệu Hợp nhất, sau đó
- phân tích thiết kế hoàn chỉnh để kiểm tra lỗi soạn thảo và điện.

Sử dụng cách tiếp cận này, trình soạn thảo giản đồ thực sự là một công cụ soạn thảo thông minh, chứ không phải là một công cụ nối dây. Khi bạn kết nối hai chân với một sợi dây, bạn đang phác thảo ý định thiết kế của mình chứ không phải tạo ra một mạng thực tế. Mạng đó không được tạo cho đến khi bạn biên dịch dự án và quá trình đó được quản lý bằng mã bên ngoài trình chỉnh sửa sơ đồ. Như đã đề cập, có một số ưu điểm đối với cách tiếp cận này, với lợi thế lớn nhất là mô hình biên dịch của thiết kế nằm ngoài các trình chỉnh sửa sơ đồ và PCB riêng lẻ. Mô hình biên dịch này được gọi là Mô hình Dữ liệu Hợp nhất (UDM). UDM bao gồm các mô tả chi tiết về mọi thành phần trong thiết kế và cách chúng kết nối với nhau.

### Mô hình dữ liệu hợp nhất

Một yếu tố cơ bản của phần mềm là Mô hình Dữ liệu Hợp nhất (UDM). Khi dự án được biên dịch, một mô hình gắn kết, duy nhất được tạo ra, nằm ở trung tâm của quá trình thiết kế. Dữ liệu trong mô hình sau đó có thể được truy cập và thao tác bởi các trình biên tập và dịch vụ khác nhau trong phần mềm. Thay vì sử dụng kho dữ liệu riêng biệt cho từng lĩnh vực thiết kế khác nhau, UDM được cấu trúc để chứa tất cả

thông tin từ tất cả các khía cạnh của thiết kế, bao gồm các thành phần và kết nối của chúng.



Mô hình Dữ liệu Hợp nhất cung cấp tất cả dữ liệu thiết kế cho tất cả những người chỉnh sửa và giúp cung cấp các tính năng thiết kế phức tạp, như thiết kế đa kênh và các biến thể.

Vậy làm thế nào để bạn tương tác với mô hình dữ liệu hợp nhất, chẳng hạn như để theo dõi một mạng lưới thông qua thiết kế? Bạn làm điều đó thông qua bảng điều hướng .

Kiểm tra kết nối trong bảng điều hướng

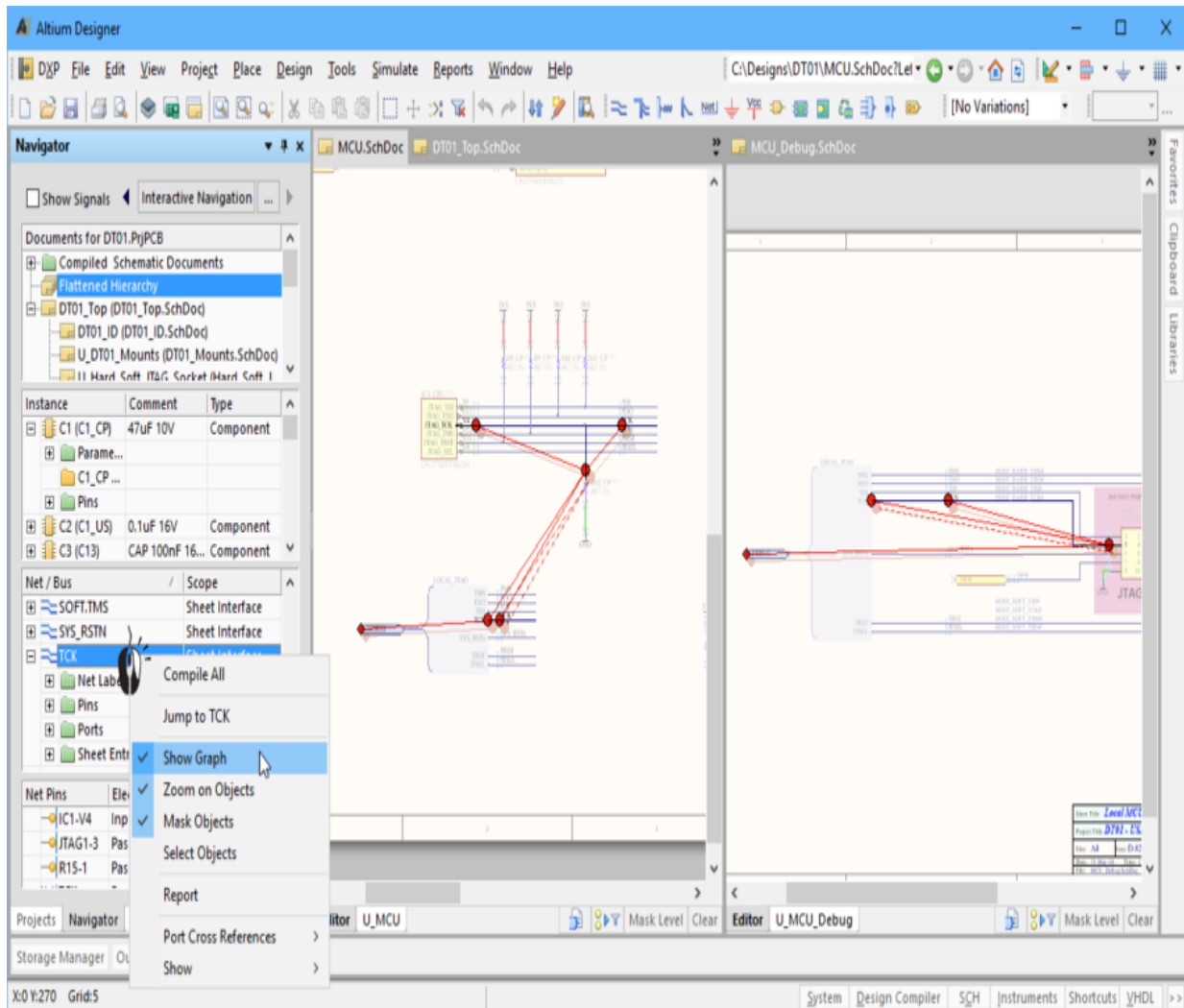
Nếu thiết kế lớn và trải rộng trên nhiều trang tính, việc theo dõi một mạng lưới và xác minh tính kết nối trong thiết kế có thể trở nên khó khăn bằng cách chỉ đơn giản nhìn vào sơ đồ. Để trợ giúp quá trình này, bảng *Điều hướng* được sử dụng. Bảng điều khiển cung cấp cái nhìn về toàn bộ thiết kế đã biên dịch, do đó sẽ dễ dàng cho đến khi dự án được biên dịch ( **Dự án »Dự án biên dịch PCB** ). Bảng *Điều hướng* có thể được mở bằng cách nhấp vào **Design Compiler** nút xuống dưới cùng bên phải của ứng dụng.

Để sử dụng bảng điều khiển:

- Đặt hành vi duyệt bằng cách nhấp vào  ở đầu bảng điều khiển để mở hộp thoại *Tùy chọn* , nơi bạn **bật Phương pháp Đánh dấu** ưa thích của mình . Ngoài ra, nhấp

chuột phải vào đối tượng quan tâm trong bảng điều khiển và sử dụng các tùy chọn menu ngữ cảnh để định cấu hình hành vi điều hướng.

- Đặt phạm vi duyệt của bạn trong phần đầu tiên của bảng điều khiển, để duyệt qua toàn bộ lựa chọn thiết kế Flattened Hierarchy.
- Bấm vào một thành phần trong phần **Phiên bản** của danh sách để chuyển đến thành phần đó, mở rộng thành phần để định vị và chuyển đến một ghim.
- Nhấp vào mạng hoặc bus trong phần **Net / Bus** để chuyển đến mạng hoặc bus đó, mở rộng thành phần để xác định vị trí và chuyển đến một chốt.



Nhấp vào một thành phần hoặc mạng trong bảng Điều hướng để xác định thành phần hoặc mạng đó và theo dõi kết nối thông qua thiết kế. Nhấp chuột phải để truy cập các tùy chọn hiển thị.

## XÁC MINH CÁC THÀNH PHẦN

### BÀI CHI TIẾT: TÌM HIỂU THÊM VỀ THÀNH PHẦN VÀ THƯ VIỆN

KHÓA CẠNH QUAN TRỌNG CỦA VIỆC XÁC MINH THIẾT KẾ LÀ TIN TƯỞNG RẰNG CÁC THÀNH PHẦN LÀ CHÍNH XÁC. THÔNG THƯỜNG, ĐIỀU NÀY ĐƯỢC THỰC HIỆN KHI CÁC THÀNH PHẦN ĐƯỢC THÊM VÀO THƯ VIỆN CÔNG TY CỦA BẠN.

CÁC LỖI THÀNH PHẦN PHỔ BIẾN SẼ GÂY RA LỖI THIẾT KẾ BO MẠCH BAO GỒM:

- **THAM CHIẾU DẤU CHÂN KHÔNG HỢP LỆ**- THÀNH PHẦN THAM CHIẾU DẤU CHÂN KHÔNG CÓ SẴN. TRONG QUÁ TRÌNH CHUYỂN THIẾT KẾ TỪ TRÌNH BIÊN TẬP SƠ ĐỒ SANG TRÌNH BIÊN TẬP PCB, PHẦN MỀM SẼ TÌM TRONG *THƯ VIỆN SẴN CÓ CHO DẤU CHÂN*, THEO TÙY CHỌN THƯ VIỆN PCB ĐƯỢC CHỌN CHO TỪNG DẤU CHÂN TRONG *HỢP THOẠI MÔ HÌNH PCB*.
- **CÁC CHÂN KHÔNG KHỚP VỚI MIẾNG ĐỆM**- SỐ PIN CỦA KÝ HIỆU LINH KIỆN KHÔNG KHỚP VỚI SỐ CHÂN CỦA MIẾNG ĐỆM. PHẦN MỀM GIẢ ĐỊNH KHỚP MỘT-MỘT, VÍ DỤ: CHÂN KÝ HIỆU SCH 4 KHỚP VỚI BẢNG PCB SỐ 4. ĐIỀU NÀY KHÔNG BẮT BUỘC, NẾU CHÚNG KHÔNG KHỚP THÌ ÁNH XẠ PIN-TO-PAD PHẢI ĐƯỢC XÁC ĐỊNH LÀ MỘT PHẦN CỦA VIỆC TẠO THÀNH PHẦN. TRONG *HỢP THOẠI MÔ HÌNH PCB*.

CÁC LỖI THÀNH PHẦN KHÁC GÂY RA SỰ CHẬM TRỄ VÀ THẤT VỌNG TRONG THIẾT KẾ, BAO GỒM:

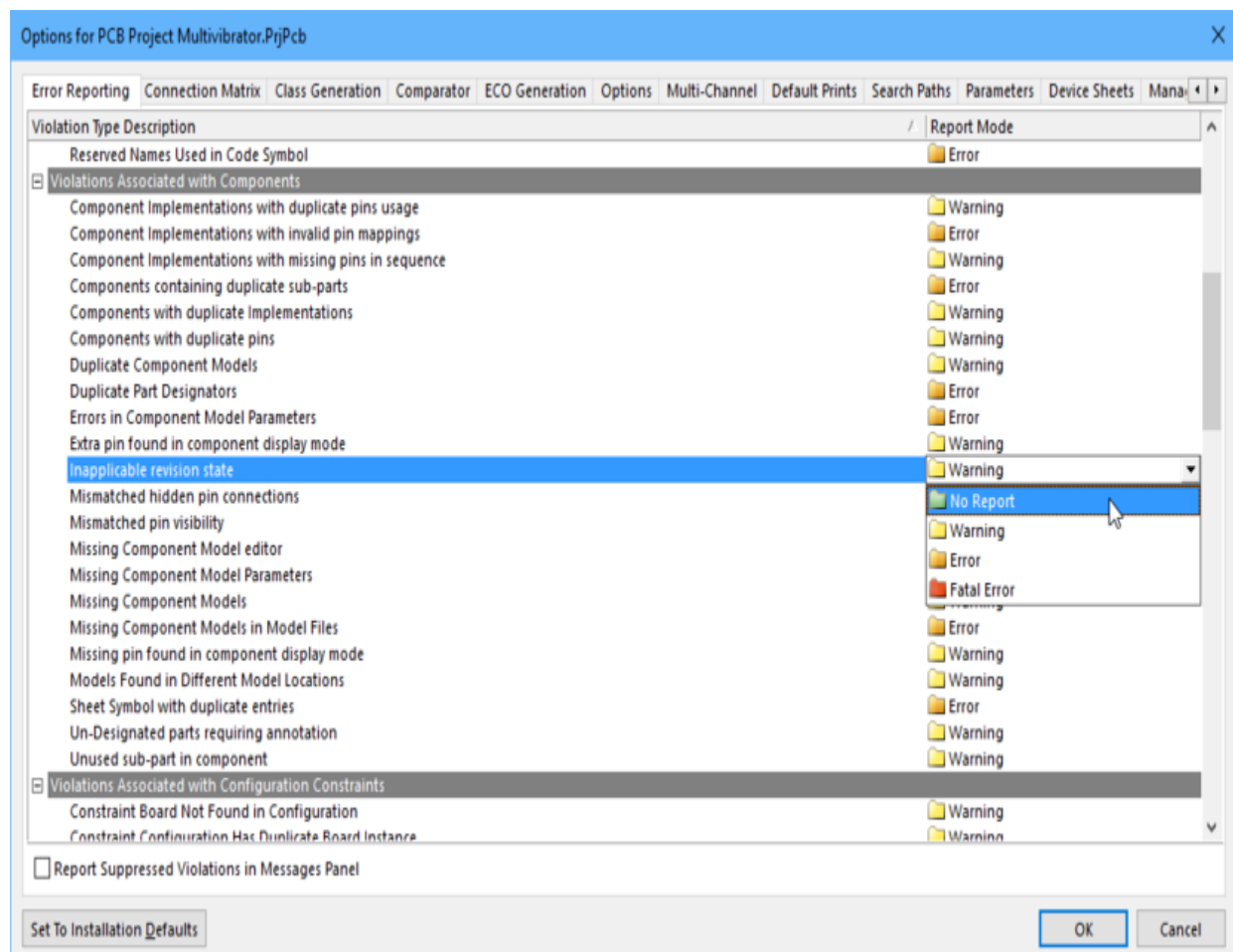
- NGƯỜI CHỈ ĐỊNH MẶC ĐỊNH KHÔNG CHÍNH XÁC.
- THÔNG SỐ KỸ THUẬT CHÂN SƠ ĐỒ KHÔNG CHÍNH XÁC, CHẴNG HẠN NHƯ LOẠI ĐIỆN.
- THIẾU CHI TIẾT THIẾT KẾ, CHẴNG HẠN NHƯ THÔNG SỐ KỸ THUẬT THÀNH PHẦN, SỐ BỘ PHẬN, THAM CHIẾU BẢNG DỮ LIỆU, V.V.
- CÁC CHÂN NGUỒN ẨN ĐƯỢC XÁC ĐỊNH KHÔNG CHÍNH XÁC - TRONG MỘT THÀNH PHẦN NHIỀU PHẦN, CHÚNG PHẢI ĐƯỢC GÁN CHO PHẦN 0, ĐỂ ĐẢM BẢO CHÚNG CÓ MẶT BẮT KỂ (CÁC) PHẦN NÀO CỦA THÀNH PHẦN ĐÃ ĐƯỢC ĐẶT TRÊN GIẢN ĐỒ.

### Định cấu hình các tùy chọn xác minh

Có một số lượng lớn việc soạn thảo và kiểm tra điện có thể được thực hiện trên thiết kế đã biên dịch. Chúng được cấu hình như một phần của các tùy chọn dự án, chọn **Project »Project Options** để mở hộp thoại *Options cho PCB Project* (phím tắt: **C , O** ). Cài đặt mặc định sẽ không phù hợp với mọi thiết kế, vì vậy điều quan trọng là phải làm quen với các tùy chọn và cách cấu hình chúng cho phù hợp với thiết kế của bạn.

### Soạn thảo séc

Khi bạn biên dịch, các lỗi soạn thảo và chỉnh sửa phổ biến sẽ được kiểm tra, phù hợp với cài đặt trong **tab Báo cáo Lỗi** của hộp thoại *Tùy chọn cho Dự án PCB*.



Định cấu hình kiểm tra lỗi bắt buộc.

Việc kiểm tra lỗi được tổ chức theo các nhóm, ví dụ: **Vi phạm liên quan đến xe buýt**, **vi phạm liên quan đến ký hiệu mã**, **vi phạm liên quan đến thành phần**, v.v., các nhóm này được liệt kê theo thứ tự bảng chữ cái trong hộp thoại.

Các **Báo cáo Chế độ** của mỗi vi phạm có thể được thay đổi để một trong bốn giá trị bằng cách nhấp vào nó và chọn giá trị mong muốn trong trình đơn thả xuống: Fatal Error, Error, Warning, No Report.

Nói chung, tốt hơn là trước tiên nên biên dịch thiết kế và kiểm tra các cảnh báo với cài đặt mặc định. Đối với những cảnh báo không phải là vấn đề đối với thiết kế hiện tại, mức báo cáo có thể được thay đổi.

Có một số kiểm tra thường bắt nhà thiết kế mới, bao gồm:

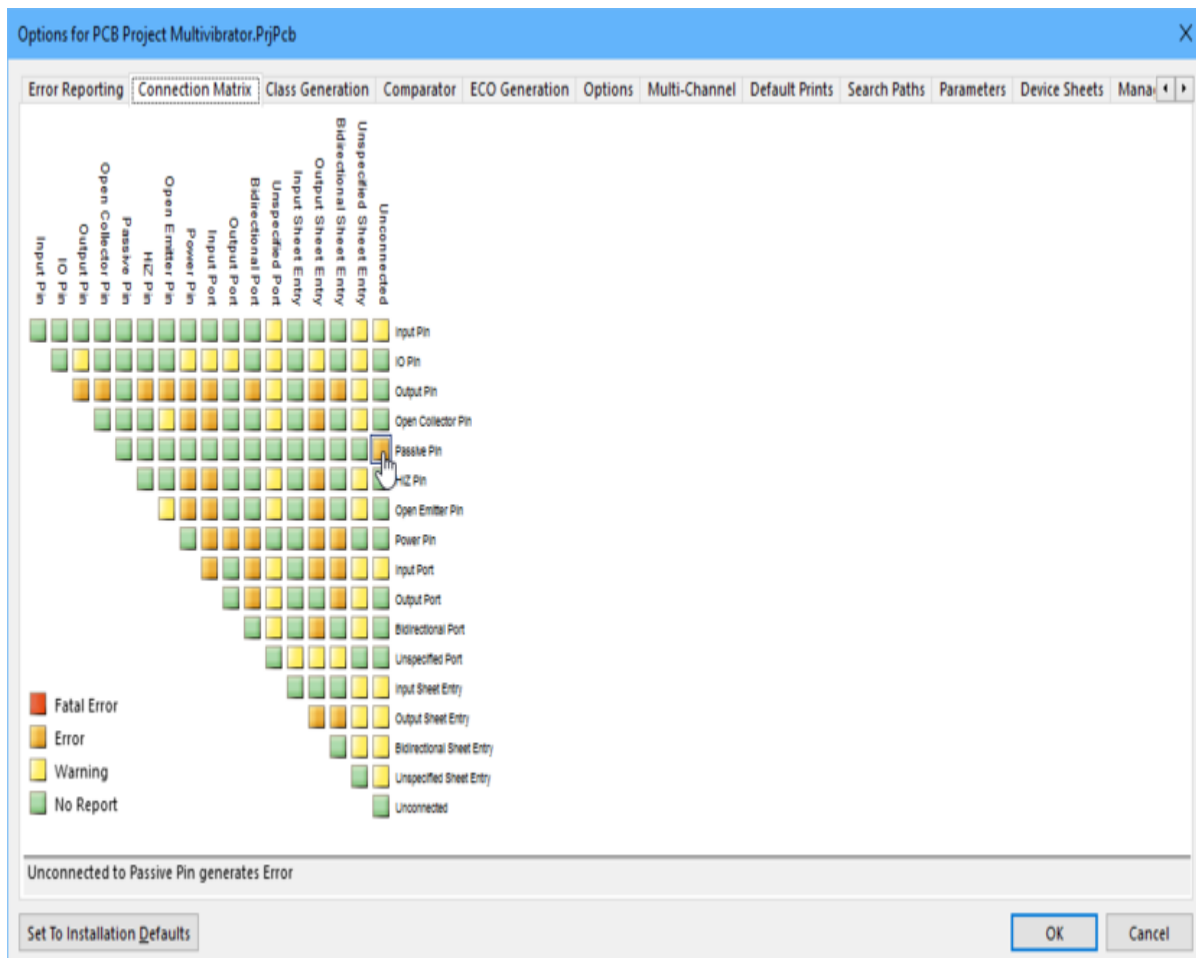


- **Nets không có nguồn điều khiển** (Vi phạm liên quan đến phần Nets) - nếu mạng không bao gồm chân cắm với Loại điện của đầu ra hoặc I / O, thì lỗi này sẽ xảy ra. Có nhiều trường hợp hợp lệ có thể gây ra điều này, ví dụ như mạng từ chân kết nối sang chân đầu vào.
- **Nets có nhiều tên** (Vi phạm liên quan đến phần Nets) - nếu bạn thay đổi tên của một mạng, chẳng hạn như bạn kết nối một mạng đã đặt tên với một mục nhập trang tính có tên khác (được phép), vì tên mục nhập trang tính đó phản ánh tốt hơn chức năng của net trên trang con cấp thấp hơn, khi đó lỗi này sẽ xảy ra. Nó cũng xảy ra trong thiết kế đa kênh, trong đó phần mềm phải gán một tên duy nhất cho mỗi mạng lặp lại.
- **Trạng thái sửa đổi không thể áp dụng** (Vi phạm liên quan đến phần Thành phần) - Việc kiểm tra này dẫn đến thông báo Can't perform revision state validation. Nó xảy ra khi có một thành phần đã được đặt từ Vault thành phần và Vault đó không hỗ trợ xác thực trạng thái sửa đổi (ví dụ: Altium Content Vault).

Một tùy chọn quan tâm là **Nets chỉ có một pin**. Điều này có thể được sử dụng để phát hiện các mạng nút đơn, trong đó một chân đã được kết nối với Cổng hoặc Nhãn mạng, nhưng không kết nối với chân khác. Điều này được đặt thành Không báo cáo theo mặc định và có thể được thay đổi thành Cảnh báo để giúp phát hiện lưới bị hỏng.

## Kiểm tra kết nối

Kết nối điện được kiểm tra theo cài đặt trong tab **Ma trận kết nối** của hộp thoại *Tùy chọn cho dự án*.



Ma trận kết nối xác định từng điều kiện điện được phép và điều kiện nào không được phép.

Ma trận cung cấp một cơ chế để thiết lập các quy tắc kết nối giữa các chân thành phần và số nhận dạng mạng, chẳng hạn như Cổng và Mục nhập Trang tính. Nó xác định các điều kiện logic hoặc điện sẽ được báo cáo là cảnh báo hoặc lỗi. Ví dụ, một chân đầu ra được kết nối với một chân đầu ra khác thường được coi là tình trạng lỗi, nhưng hai chân thụ động được kết nối thì không.

Bấm vào ô vuông nhỏ trong ma trận để thay đổi một quy tắc cụ thể. Mỗi quy tắc xác định mức báo cáo cho một tổ hợp mã nhận dạng pin / net nhất định. Có bốn giá trị có thể cho từng quy tắc: Fatal Error, Error, Warning, và No Report.

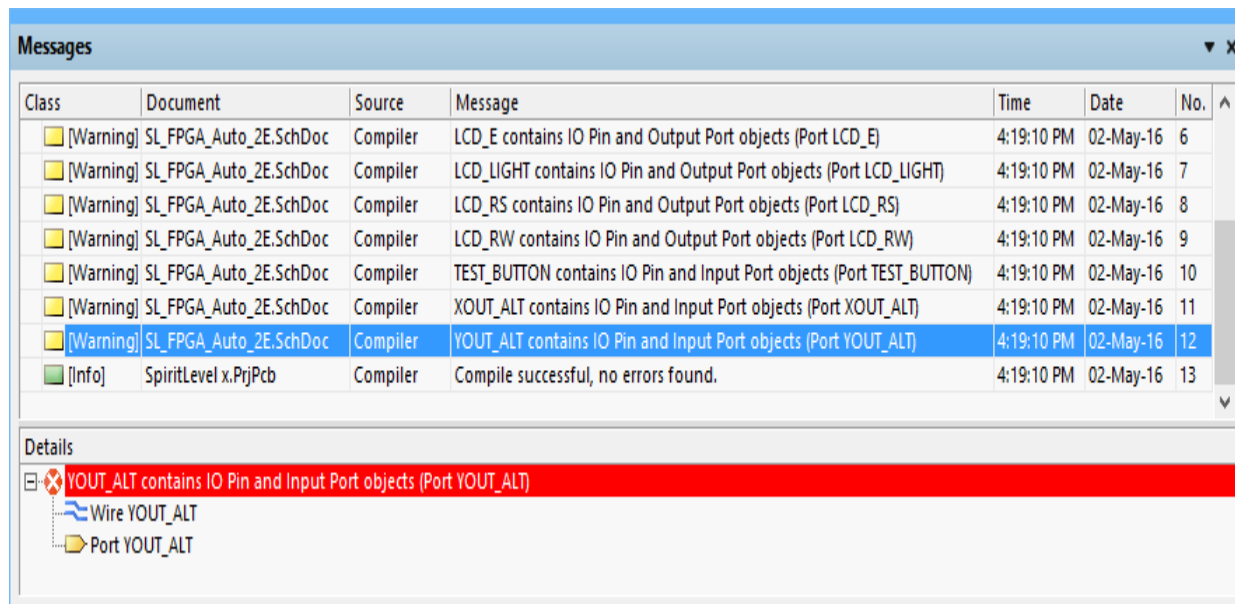
Cài đặt Báo cáo Lỗi và Ma trận Kết nối phải được kiểm tra và thiết lập cho phù hợp với các yêu cầu của dự án hiện tại.

Thông báo thông dịch và lỗi định vị



Khi dự án được biên dịch, mọi điều kiện tạo ra cảnh báo hoặc lỗi đều được liệt kê trong **bảng Thông báo** . Lưu ý rằng bảng điều khiển *Tin nhắn* sẽ chỉ tự động mở nếu có tình trạng lỗi, để kiểm tra các cảnh báo, bạn cần tự mở nó. Nếu bảng *Tin nhắn* không được hiển thị, hãy nhấp vào **System** nút xuống dưới cùng bên phải của ứng dụng để hiển thị bảng *Tin nhắn* , như trong hình bên phải.

Khi dự án đã được biên dịch, bảng điều khiển sẽ liệt kê bất kỳ cảnh báo và lỗi nào đã được phát hiện.



Class	Document	Source	Message	Time	Date	No.
[Warning]	SL_FPGA_Auto_2E.SchDoc	Compiler	LCD_E contains IO Pin and Output Port objects (Port LCD_E)	4:19:10 PM	02-May-16	6
[Warning]	SL_FPGA_Auto_2E.SchDoc	Compiler	LCD_LIGHT contains IO Pin and Output Port objects (Port LCD_LIGHT)	4:19:10 PM	02-May-16	7
[Warning]	SL_FPGA_Auto_2E.SchDoc	Compiler	LCD_RS contains IO Pin and Output Port objects (Port LCD_RS)	4:19:10 PM	02-May-16	8
[Warning]	SL_FPGA_Auto_2E.SchDoc	Compiler	LCD_RW contains IO Pin and Output Port objects (Port LCD_RW)	4:19:10 PM	02-May-16	9
[Warning]	SL_FPGA_Auto_2E.SchDoc	Compiler	TEST_BUTTON contains IO Pin and Input Port objects (Port TEST_BUTTON)	4:19:10 PM	02-May-16	10
[Warning]	SL_FPGA_Auto_2E.SchDoc	Compiler	XOUT_ALT contains IO Pin and Input Port objects (Port XOUT_ALT)	4:19:10 PM	02-May-16	11
[Warning]	SL_FPGA_Auto_2E.SchDoc	Compiler	YOUT_ALT contains IO Pin and Input Port objects (Port YOUT_ALT)	4:19:10 PM	02-May-16	12
[Info]	SpiritLevel x.PrjPcb	Compiler	Compile successful, no errors found.	4:19:10 PM	02-May-16	13

**Details**

YOUT\_ALT contains IO Pin and Input Port objects (Port YOUT\_ALT)

Wire YOUT\_ALT

Port YOUT\_ALT

Bảng điều khiển Thông báo hiển thị các cảnh báo đã phát hiện và lỗi được phát hiện trong dự án ví dụ Spiritlevel, sau khi cài đặt Ma trận Kết nối và Báo cáo Lỗi được đặt thành mặc định.

Bảng điều khiển có các tính năng sau:

- Bảng điều khiển có hai vùng, vùng lưới phía trên tóm tắt các cảnh báo / lỗi, vùng phía dưới cung cấp thông tin chi tiết về cảnh báo / lỗi đang được chọn.
- Bấm đúp vào một thông báo để thăm dò chéo đến cảnh báo / lỗi đó, bấm đúp vào một chi tiết để hiển thị đối tượng cụ thể đó.
- Bạn có thể nhấp vào bất kỳ tiêu đề cột nào trong bảng điều khiển *Tin nhắn* (ví dụ: Lớp, Tài liệu, Tin nhắn) để hỗ trợ sắp xếp các lỗi và cảnh báo.
- Nhấp chuột phải vào bảng để Xóa thư hoặc để Xuất chúng sang báo cáo.
- Bảng sẽ bao gồm các cảnh báo và lỗi được phát hiện từ cài đặt trong cả tab Báo cáo lỗi và tab Ma trận kết nối.

## Giải quyết cảnh báo hoặc lỗi

Điều quan trọng là phải giải quyết từng cảnh báo hoặc lỗi được phát hiện. Cài đặt kiểm tra lỗi mặc định có xu hướng thận trọng, vì phần mềm sẽ tốt hơn nếu thận trọng và để bạn với tư cách là nhà thiết kế quyết định xem có thể nới lỏng ranh giới kiểm tra hay không. Ví dụ: thiết kế của bạn có thể yêu cầu các chân IO được kết nối với các cổng Đầu vào, yêu cầu bạn điều chỉnh ô thích hợp trong tab **Ma trận kết nối**. Một kiểm tra lỗi phổ biến khác cần được thay đổi là Mạng không có nguồn dẫn động, yêu cầu bạn tắt kiểm tra đó trong tab **Báo cáo Lỗi**.

Sẽ có những trường hợp bạn muốn kiểm tra toàn bộ thiết kế cho một điều kiện nhất định, nhưng bạn muốn bỏ qua một cảnh báo / lỗi tại một điểm cụ thể trong mạch. Ví dụ: bạn có thể muốn cho phép đổi tên mạng ở một vị trí cụ thể, nhưng chỉ ở vị trí đó. Điều này có thể được thực hiện, bằng cách đặt chỉ thị Không có ERC tại vị trí đó.

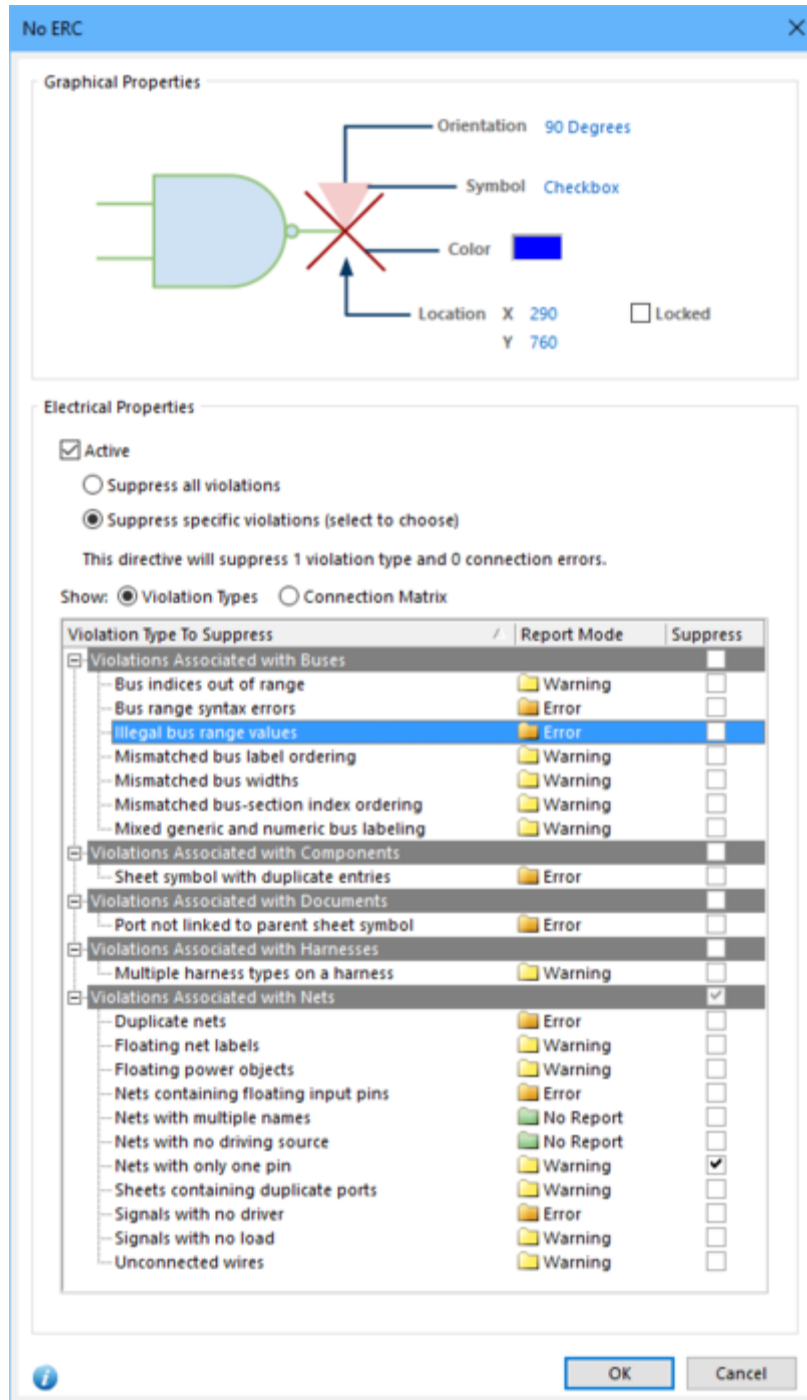
### Sử dụng Chỉ thị Không có ERC

Khi bạn cần cho phép một điểm cụ thể trong mạch không báo lỗi, bạn đặt lệnh No ERC vào điểm đó, nghĩa là - "*không gắn cờ cảnh báo / lỗi tại vị trí này*". ERC là viết tắt của *Kiểm tra Quy tắc Điện*.

Chỉ thị Không có ERC có thể được sử dụng theo hai cách:

1. Là một chỉ thị chung, ngăn chặn tất cả các kiểm tra lỗi tại điểm mà chỉ thị được đặt ( **Nơi »Chỉ thị» Chung Không có ERC** ).
2. Là một chỉ thị cụ thể, chỉ ngăn chặn các kiểm tra lỗi được chỉ định tại điểm mà chỉ thị được đặt ( **Vị trí »Chỉ thị» Không có ERC cụ thể** ).

Đặt kiểu và màu biểu tượng No ERC cho phù hợp với vai trò của nó trong mạch. Lưu ý rằng Không có chỉ thị ERC nào có thể bị loại trừ khỏi bản in, nếu được yêu cầu, bằng cách bật (các) tùy chọn liên quan trong hộp thoại *Thuộc tính In sơ đồ*.



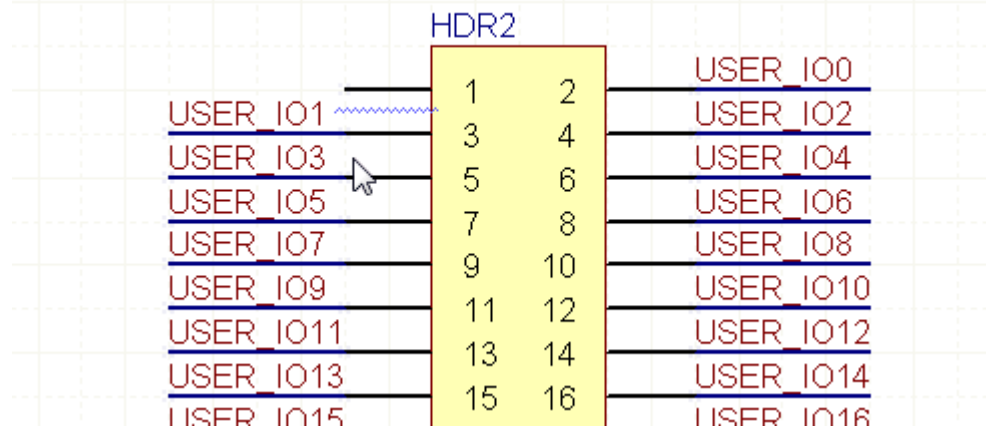
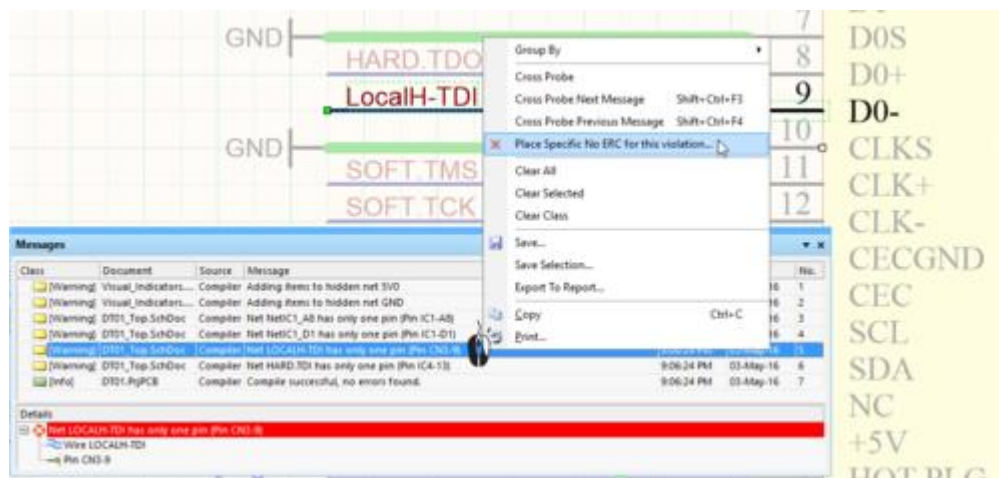
Đặt Chỉ thị Không có ERC để ngăn chặn các cảnh báo hoặc lỗi tại một vị trí cụ thể.

Để trợ giúp quá trình đặt và định cấu hình các chỉ thị No ERC cụ thể, phần mềm bao gồm các tính năng sau:

- Hộp thoại *Địa điểm Cụ thể Không có ERC* tương tác sẽ mở ra khi lệnh **Địa điểm »Chỉ dẫn» Không có ERC Cụ thể** được khởi chạy. Hộp thoại trình bày danh sách các cảnh báo / lỗi biên dịch hiện tại, hỗ trợ dò tìm lỗi chéo và đặt chỉ thị No ERC cụ

thể được định cấu hình trước về lỗi đã chọn. Nhấn **Tab** để chỉnh sửa các thuộc tính của chỉ thị trước khi đặt, nếu cần.

- Khả năng nhấp chuột phải vào một cảnh báo / lỗi trong bảng *Tin nhắn* và chọn **Địa điểm Cụ thể Không có ERC cho lệnh vi phạm này**, như được hiển thị trong hình ảnh bên trái được hiển thị bên dưới. Bạn sẽ tự động đi qua đầu dò đến vị trí lỗi và chỉ thị Không có ERC sẽ xuất hiện trên con trỏ, sẵn sàng để đặt vào vị trí lỗi. Nhấn **Tab** để chỉnh sửa các thuộc tính của chỉ thị trước khi đặt, nếu cần.
- Để thay thế cho việc nhấp chuột phải vào thông báo lỗi trong bảng *Messages*, nhấp chuột phải vào đối tượng vi phạm (không phải đường màu gọn sóng) và chọn lệnh **Place NoERC to Suppress**, như thể hiện trong hình bên phải được hiển thị bên dưới. Chỉ thị Không có ERC sẽ xuất hiện trên con trỏ, được định cấu hình trước để ngăn chặn vi phạm này. Nhấn **Tab** để chỉnh sửa các thuộc tính của chỉ thị trước khi đặt, nếu cần.
- Một *NoERC quản lý*, sử dụng này để xem xét các chỉ thị NoERC đặt suốt dự án.



Lệnh nhấp chuột phải giúp bạn dễ dàng đặt lệnh Không có ERC cụ thể trực tiếp tại vị trí lỗi, từ bảng *Thông báo* (hình ảnh bên trái) hoặc tại nơi vi phạm (hình ảnh bên phải).

Lưu ý rằng Không có chỉ thị ERC không thể được sử dụng để ngăn chặn tất cả các loại kiểm tra lỗi. Ví dụ: chúng không thể được sử dụng để ngăn chặn kiểm tra [trang thái sửa đổi](#) Không thể áp dụng. Khi hộp thoại Không có ERC ở chế độ **vi phạm cụ thể**, nó sẽ hiển thị danh sách các loại vi phạm có thể bị ngăn chặn, hãy sử dụng hộp thoại này làm hướng dẫn để tìm hiểu những kiểm tra lỗi nào có thể bị loại bỏ.

## Hoàn thiện sơ đồ

Khi quá trình Chụp sơ đồ đã hoàn tất, bước tiếp theo là đẩy thiết kế vào miền PCB sẵn sàng để bố trí. Tại thời điểm này, điều quan trọng là phải kiểm tra ngắn gọn xem mọi thứ đang ở đâu và kiểm tra thiết kế để đảm bảo rằng mọi thứ sẽ diễn ra suôn sẻ trong không gian PCB.

Trang này cung cấp danh sách một số kiểm tra quan trọng lý tưởng nên được thực hiện, trước khi chuyển sang bố trí PCB.

## Chú thích

Đảm bảo rằng thiết kế đã được [Chú thích](#) đầy đủ và các cài đặt của Nhà thiết kế phản ánh chính xác cách tiếp cận thiết kế đã được sử dụng.

## Class Generation

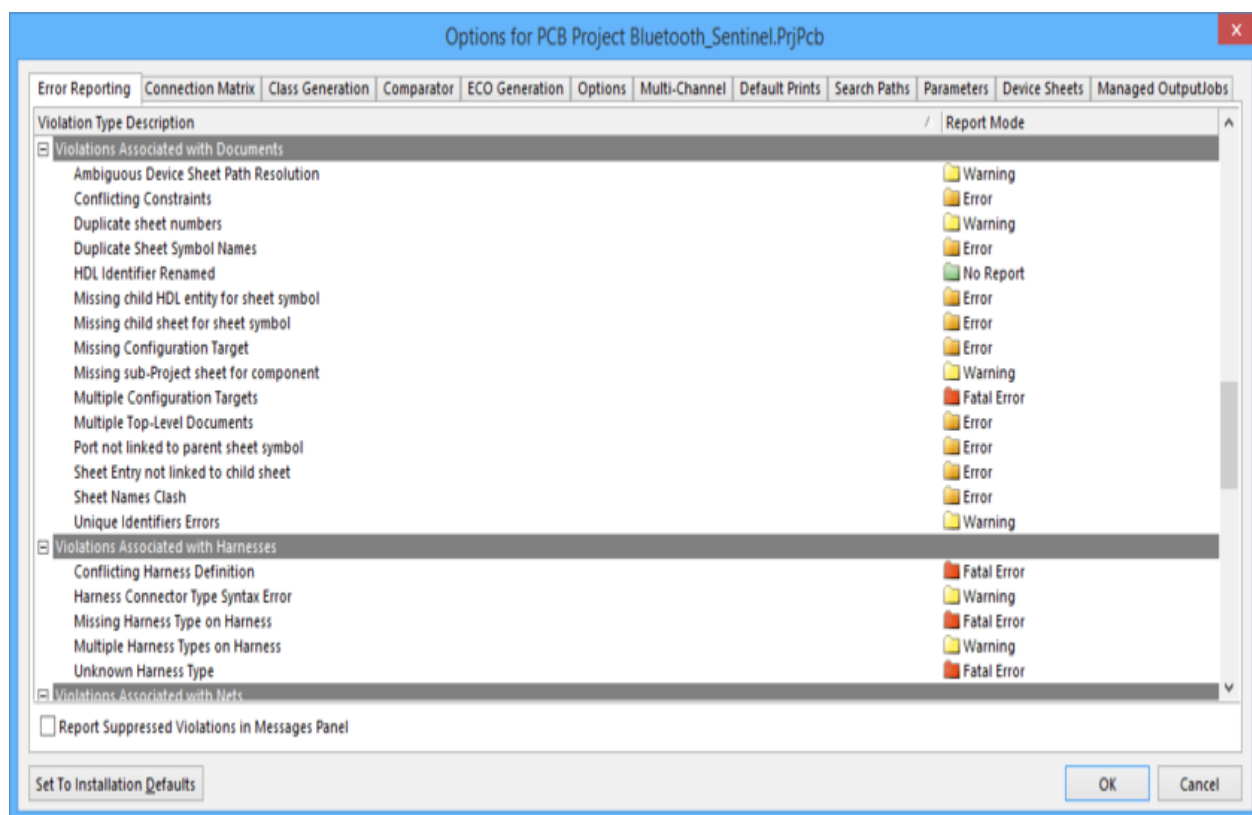
Các lớp Net và Component có thể được tạo tự động trong quá trình biên dịch thiết kế, nhưng chúng cũng có thể được chỉ định thủ công ở cấp sơ đồ nơi cấu trúc liên kết thiết kế có thể dễ dàng nhận ra. Dành thời gian để làm điều này trước khi chuyển sang miền PCB sẽ tiết kiệm rất nhiều thời gian trong không gian PCB và cũng sẽ đảm bảo rằng Sơ đồ là tham chiếu thực sự của thông tin thiết kế.

## Hướng dẫn bố trí PCB

Việc đính kèm các Chỉ thị Bố cục PCB trong khi Chụp sơ đồ đảm bảo rằng Sơ đồ là một bản trình bày hoàn chỉnh về ý định thiết kế và kỹ sư bố trí hoàn toàn rõ ràng về bất kỳ ràng buộc nào phải được tính đến trong hệ thống quy tắc. Hướng dẫn bố cục PCB không bắt buộc, nhưng cũng như nhiều khía cạnh của thiết kế, một chút thời gian dành cho việc lập kế hoạch và chuẩn bị thường sẽ được đền đáp nhiều lần khi thiết kế hoàn thiện.

## Kiểm tra quy tắc điện

Trình biên dịch thiết kế sẽ thực hiện Kiểm tra quy tắc điện mỗi khi thiết kế được biên dịch, tuy nhiên, nó phụ thuộc vào việc bạn đặt các mức cảnh báo / lỗi thích hợp trong hộp thoại *Tùy chọn dự án* . Xem lại các cài đặt này trên tab Báo cáo lỗi và tab Ma trận kết nối của hộp thoại tương ứng để đảm bảo rằng chúng có ý nghĩa. Ngoài ra, hãy cân nhắc bật tùy chọn **Báo cáo vi phạm bị ngăn chặn trong bảng thông báo** - để đảm bảo rằng mọi chỉ thị NoERC đã được đưa vào thiết kế vẫn còn hiệu lực.



Kiểm tra cài đặt Báo cáo Lỗi trong hộp thoại *Tùy chọn Dự án* .

## Thông tin hoán đổi mã pin

Việc có thể ghim các thành phần hoán đổi trong một thiết kế có thể tạo ra sự khác biệt lớn đối với mức độ phức tạp của thử thách bố cục và có thể giúp giảm số lượng lớp (và do đó giá thành) của PCB. Thật không may, Kỹ sư bố trí có thể không có tất cả thông tin cần thiết để thiết lập cài đặt hoán đổi ghim một cách thông minh vì họ không phải lúc nào cũng cho rằng biết toàn bộ ý định của nhà thiết kế. Tốt nhất, người chụp một thiết kế cũng nên có một tay trong việc thiết lập dữ liệu Pin Swapping để đảm bảo ý định thiết kế và các ràng buộc được nắm bắt chính xác.



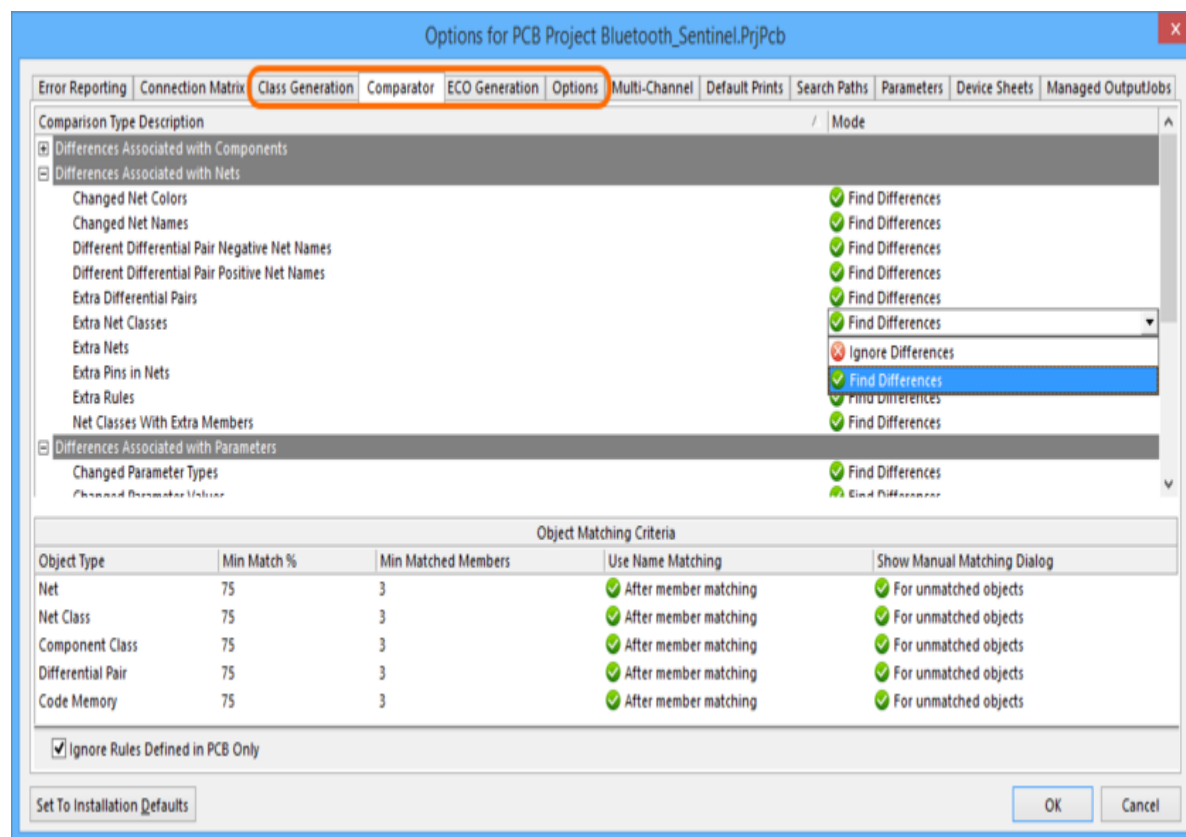
Khi thông tin Hoán đổi Ghim đã được tải, hãy đảm bảo các thành phần liên quan được bật cho Hoán đổi Ghim và các tùy chọn Hoán đổi Ghim thích hợp đã được bật trên tab Tùy chọn của hộp thoại *Tùy chọn Dự án*.

## Dấu chân chính xác

Nếu thiết kế đã được ghi lại bằng cách sử dụng nhiều thư viện và các dấu chân đã được đính kèm hoặc chỉnh sửa theo cách thủ công, thì việc xem xét cẩn thận tất cả dữ liệu dấu chân được thực hiện. Các hộp thoại Footprint quản lý có thể được sử dụng để giúp đỡ những dấu chân được hợp lý hóa qua việc thiết kế, nhưng một số mức độ kiểm tra sự tinh tế cũng sẽ được yêu cầu. Không có cách nào để hệ thống bắt lỗi thiết kế, chẳng hạn như chỉ định điện trở 20W vào dấu chân 0603. Tất cả những điều này cần được xem xét cẩn thận và nhận ra rằng tên dấu chân có thể khác nhau giữa các nhà cung cấp linh kiện. Đừng giả định bất cứ điều gì!

## Tùy chọn dự án bổ sung

Các cài đặt bao gồm Kiểm tra Quy tắc Điện đã được đề cập đến, tuy nhiên có các tùy chọn dự án bổ sung cần được xem xét trước khi gửi thiết kế lên bố trí PCB.



Các tùy chọn dự án bổ sung cần được kiểm tra trước khi gửi thiết kế đến bộ cục

## Tab thể hệ lớp

Việc để cho Altium Designer tự động tạo các Lớp Net, Lớp Thành phần và Phòng dựa trên cấu trúc liên kết của thiết kế có thể là một cách tuyệt vời để mang lại trật tự cho dữ liệu thiết kế, nhưng nó cũng có thể làm tăng thêm tiếng ồn được trình bày cho Kỹ sư Bộ cục. Xem lại cài đặt trên [tab Tạo lớp](#) của hộp thoại *Tùy chọn dự án* , để đảm bảo chúng phù hợp với mong đợi của Kỹ sư bố trí (và chuyên môn).

## Tab so sánh

Có một số thay đổi có thể được thực hiện trong Sơ đồ sẽ không được đồng bộ hóa với PCB trừ khi các tùy chọn liên quan của chúng được kích hoạt trong [tab Bộ so sánh](#) của hộp thoại *Tùy chọn dự án* . Ví dụ: các Lớp Mạng bổ sung đã được thêm vào trong quá trình Chụp sơ đồ sẽ chỉ được truyền vào miền PCB nếu tùy chọn **Lớp Mạng Thêm** được đặt thành Tìm Điểm khác biệt .

## Tab thể hệ ECO

Nếu việc tạo và theo dõi các Đơn đặt hàng Thay đổi Kỹ thuật (ECO) được coi là một phần quan trọng của quản lý thiết kế, thì điều quan trọng là đảm bảo các cài đặt chính xác trên [tab Tạo ECO](#) của Hộp thoại *Tùy chọn Dự án* .

## Tab Tùy chọn

Trên [tab Tùy chọn](#) của hộp thoại *Tùy chọn dự án* , hãy xem lại Tùy chọn Netlist và Phạm vi nhận dạng mạng để đảm bảo Nets sẽ được gắn nhãn chính xác khi thiết kế được chuyển sang PCB. Từ quan điểm của Kỹ sư bố cục, việc làm việc với Nets có nhãn USBData dễ dàng hơn nhiều so với NetU2\_37 .

## Tài liệu hỗ trợ

Các dự án thiết kế không bị giới hạn chỉ chứa các tệp đã được tạo bởi Altium Designer - chỉ là bất kỳ tài liệu nào cũng có thể được đưa vào dự án. Khi tài liệu được truy cập từ bên trong Altium Designer, hệ thống sẽ cố gắng xác định công cụ tạo / xem tương ứng dựa trên phần mở rộng của tệp và cài đặt trong sổ đăng ký Windows. Giả sử có thể tìm thấy một kết quả phù hợp, Altium Designer sau đó sẽ khởi chạy trình chỉnh sửa được liên kết; trong môi trường chỉnh sửa của riêng nó, hoặc dưới dạng một ứng dụng riêng biệt. Điều này có nghĩa là bạn có thể bao gồm tất cả các cách thức kiểm tra, tài liệu hướng dẫn, tài liệu nền và đặc điểm kỹ thuật

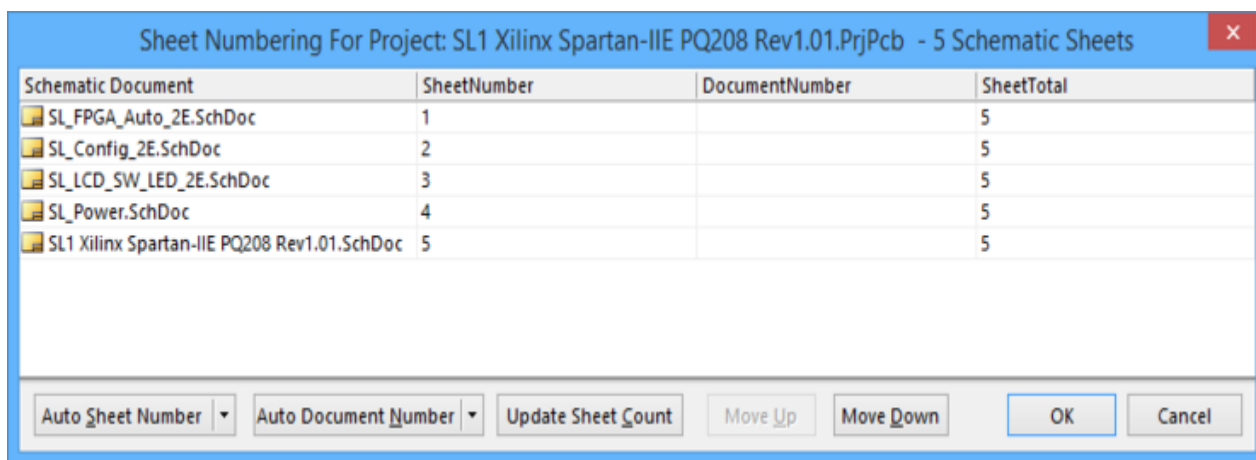
với các dự án thiết kế của mình và tin tưởng rằng bất cứ nơi nào dự án thiết kế đi, tất cả các tài liệu hỗ trợ sẽ đi cùng với nó.

## Đánh số trang tính

Việc đánh số các trang sơ đồ trong một dự án cho phép bạn kiểm soát việc chỉ định trang tính và lưu trữ chúng dưới dạng các tham số trong các tài liệu sơ đồ tương ứng. Tính năng chuỗi đặc biệt của Altium Designer ( = SheetNumber , = DocumentNumber , = SheetTotal ) sau đó có thể được sử dụng để hiển thị các giá trị này trên trang tính (ví dụ: trong phần chân trang) dưới dạng đối tượng văn bản. Việc đánh số không làm thay đổi các ký hiệu thành phần mà thay đổi các ký hiệu Sơ đồ trang tính (số). Về mặt khái niệm, do đó nó liên quan đến khái niệm chung về chú thích thiết kế.

### Đánh số trang

Đánh số trang tính được truy cập bằng cách nhấp vào **Công cụ »Số trang tính** từ menu chính để mở hộp thoại Đánh số trang tính cho dự án .

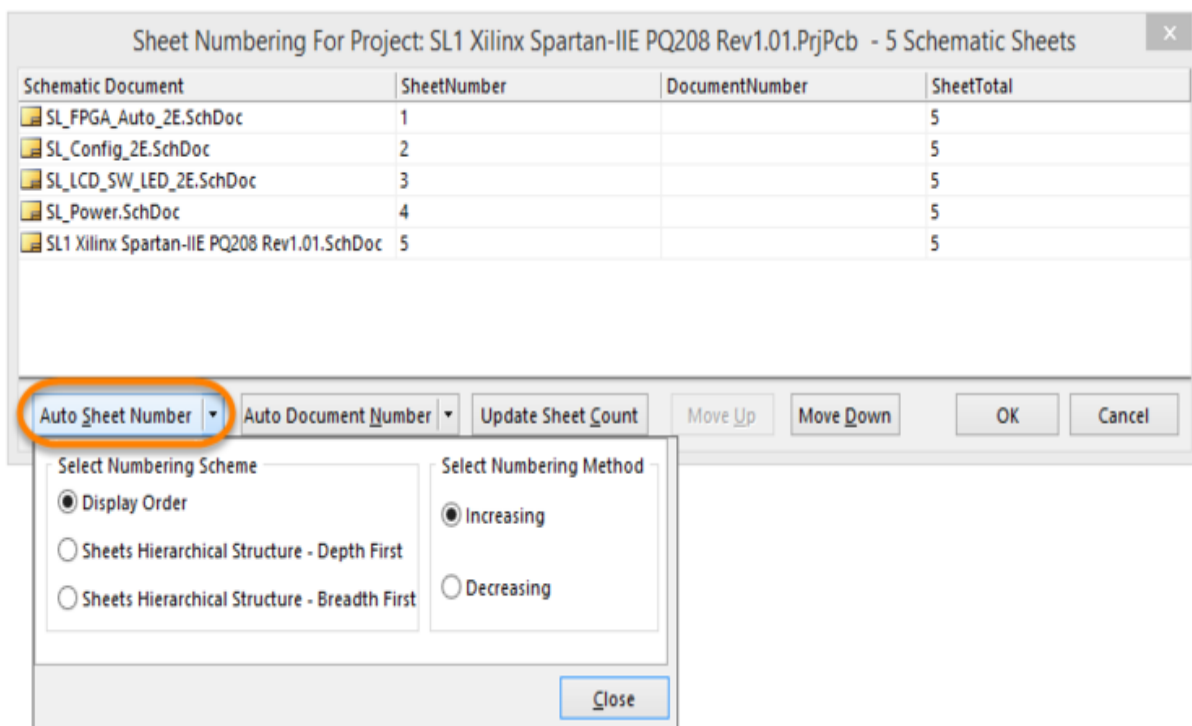


Sử dụng hộp thoại *Đánh số Trang tính cho Dự án* để đánh số và tổ chức các trang tính sơ đồ trong một dự án.

Quy trình đánh số từ như sau:

### Số trang tính tự động

Nhấp vào **Số trang tính tự động** để truy cập danh sách thả xuống các tùy chọn đánh số trang tính.



Các tùy chọn Số trang tính tự động

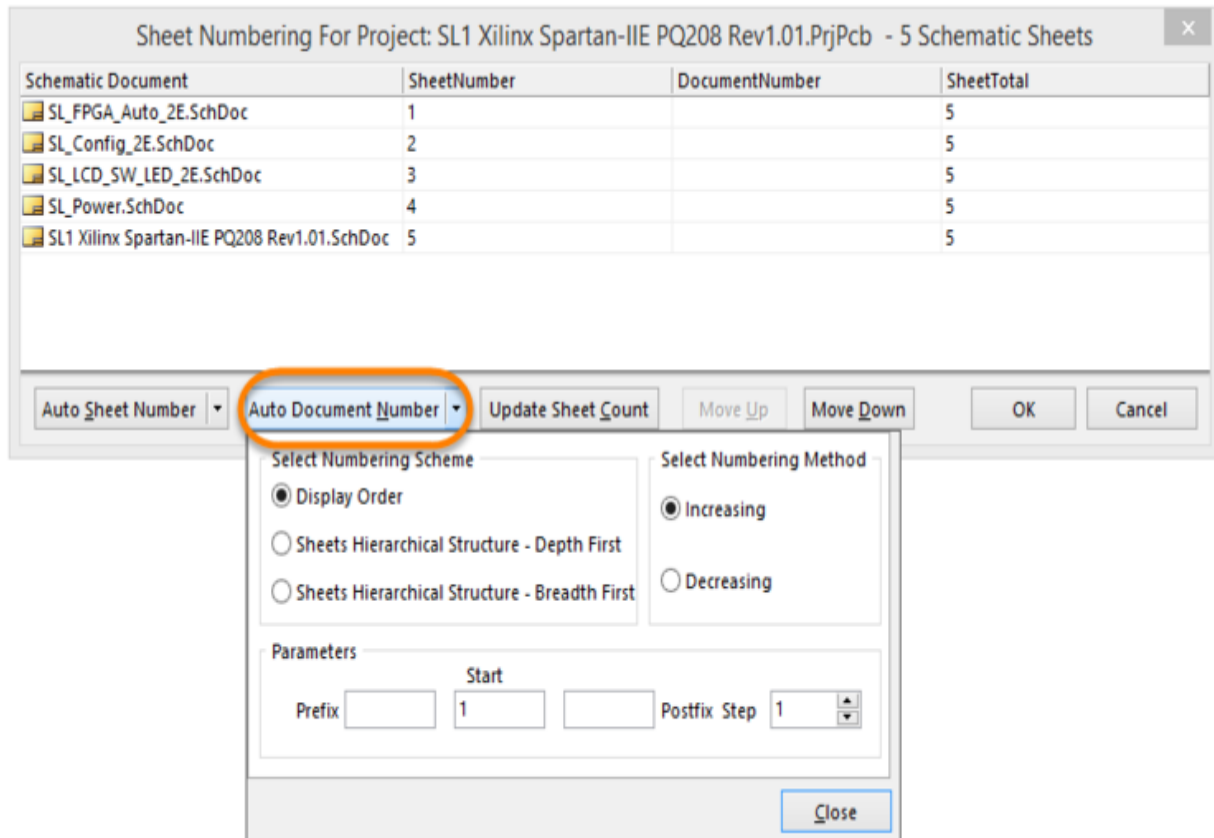
Chọn một trong các tùy chọn trong **Sơ đồ Đánh số Chọn** :

- **Thứ tự hiển thị** : chọn đánh số trang theo thứ tự hiển thị.
- **Cấu trúc phân cấp trang tính - Độ sâu Đầu tiên** : chọn để đánh số trang tính từ cấp cao nhất vào mỗi nhánh. Cấp cao nhất được đánh số đầu tiên và sau đó chỉ nhánh đầu tiên dưới cấp cao nhất được đánh số hoàn toàn, sau đó đến chỉ nhánh thứ hai, v.v.
- **Cấu trúc phân cấp trang tính - Độ rộng Đầu tiên** : chọn để đánh số trang tính theo mức độ của chúng trong hệ thống phân cấp. Cấp cao nhất được đánh số đầu tiên sau đó tất cả các cấp thứ hai được đánh số tiếp theo, v.v.

Chọn xem bạn muốn các số **tăng** hoặc **giảm** tuần tự trong **Phương pháp Đánh số Chọn** .

Số tài liệu tự động

Nhấp vào **Số tài liệu tự động** để truy cập danh sách thả xuống các tùy chọn đánh số tài liệu.



Chọn một trong các tùy chọn trong **Sơ đồ Đánh số Chọn** :

- **Thứ tự hiển thị** : chọn đánh số trang theo thứ tự hiển thị.
- **Cấu trúc phân cấp trang tính - Độ sâu Đầu tiên** : chọn để đánh số trang tính từ cấp cao nhất vào mỗi nhánh. Cấp cao nhất được đánh số đầu tiên và sau đó chỉ nhánh đầu tiên dưới cấp cao nhất được đánh số hoàn toàn, sau đó đến chỉ nhánh thứ hai, v.v.
- **Cấu trúc phân cấp trang tính - Độ rộng Đầu tiên** : chọn để đánh số trang tính theo mức độ của chúng trong hệ thống phân cấp. Cấp cao nhất được đánh số đầu tiên sau đó tất cả các cấp thứ hai được đánh số tiếp theo, v.v.

Chọn xem bạn muốn các số **tăng** hoặc **giảm** tuần tự trong **Phương pháp Đánh số Chọn** .

Sử dụng các tùy chọn **Tham số** để đặt các tham số đánh số trang tính.

- **Tiền tố** : chọn một tiền tố để thêm vào trước Số tài liệu của bạn. Các tiền tố alpha ( A , B , C , ... ), số ( 1 , 2 , 3 , ... ) và không phải số ( \_ , \* , . , % , ... ) được hỗ trợ bao gồm sự kết hợp của bất kỳ trong số chúng (ví dụ: chữ-số).
- **Bắt đầu** : chọn một giá trị số để bắt đầu Đánh số tài liệu.

- **Postfix** : chọn một postfix để thêm vào Số tài liệu. Hậu tố alpha ( A , B , C , ...), số ( 1 , 2 , 3 , ...) và không phải số ( \_ , \* , . , % , ...) được hỗ trợ bao gồm sự kết hợp của tất cả trong số chúng (ví dụ: chữ-số).
- **Bước** : chọn một giá trị để tăng từng Số tài liệu. Ví dụ: nếu chỉ mục **Bắt đầu** được đặt thành 1 và giá trị **Bước** được đặt thành 100 , Số tài liệu đầu tiên sẽ là 1, tiếp theo sẽ là 101 ( **Bắt đầu** + **Bước** ), tiếp theo sẽ là 201, v.v.

### Duy trì đánh số trang

Nhấp vào nút **Cập nhật Số** trang tính để kiểm đếm tổng số trang tính trong dự án hiện tại và đặt kết quả vào cột **SheetTotal** . Số trang tính sẽ là tổng số trang tính trong dự án bất kể sơ đồ đánh số được chọn trong bất kỳ điều khiển nào trước đó.

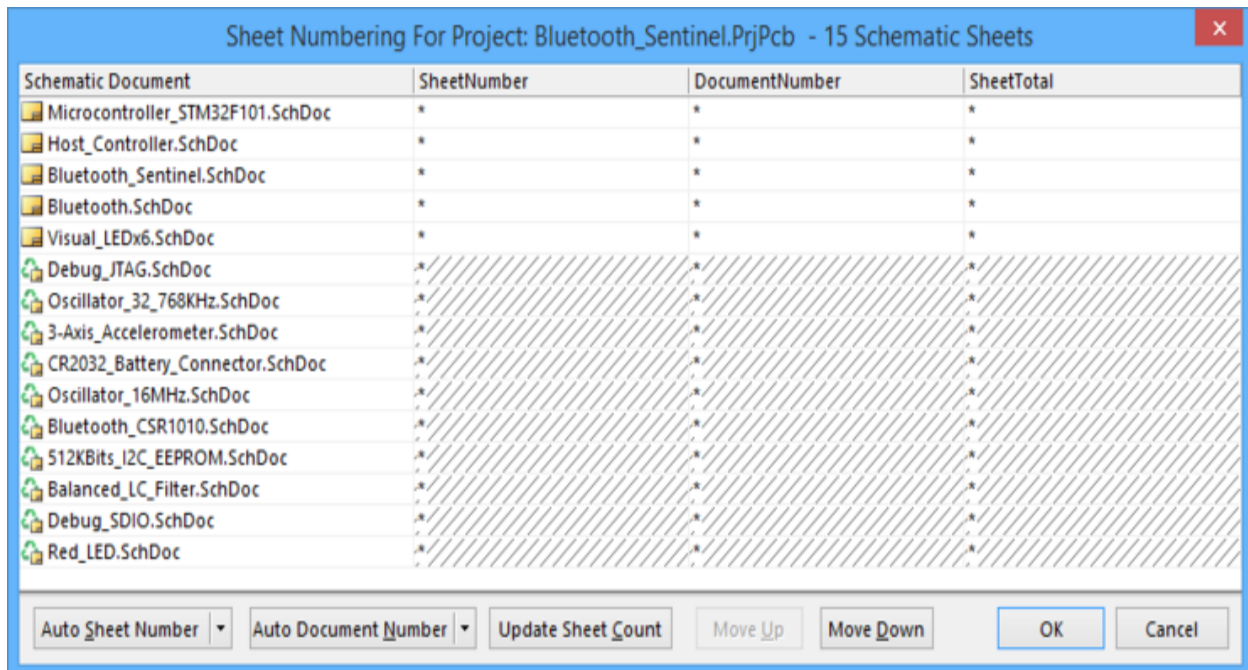
Sử dụng các nút **Di chuyển Lên** và **Di chuyển Xuống** để di chuyển một Tài liệu Sơ đồ đã chọn lên hoặc xuống một cách tương ứng trong danh sách. Điều này có liên quan khi sử dụng lược đồ đánh số **Thứ tự Hiện thị** để chỉ định Số Trang tính hoặc Tài liệu.

Nếu tổ chức của bạn có một số hoặc hệ thống đặt tên cụ thể không thể tự động hóa thông qua lệnh **Tự động Đánh số Trang tính** hoặc **Đánh số Tài liệu Tự động** , tên và số trang tính tùy chỉnh có thể được viết trực tiếp vào các trường **SheetNumber** hoặc **DocumentNumber** .

### Đánh số trang sơ đồ và trang thiết bị

Số Trang tính hoặc Tài liệu không thể được định cấu hình cho Trang tính Thiết bị khi chúng ở chế độ chỉ đọc (trạng thái mặc định) và sẽ được gạch chéo trong hộp thoại **Đánh số Trang tính Cho Dự án** để cho biết chúng không thể được cập nhật, như thể hiện trong hình ảnh bên dưới. Khi Trang tính thiết bị được đặt là có thể chỉnh sửa, dấu gạch chéo sẽ bị loại bỏ và có thể định cấu hình Trang tính và Đánh số tài liệu như bình thường.



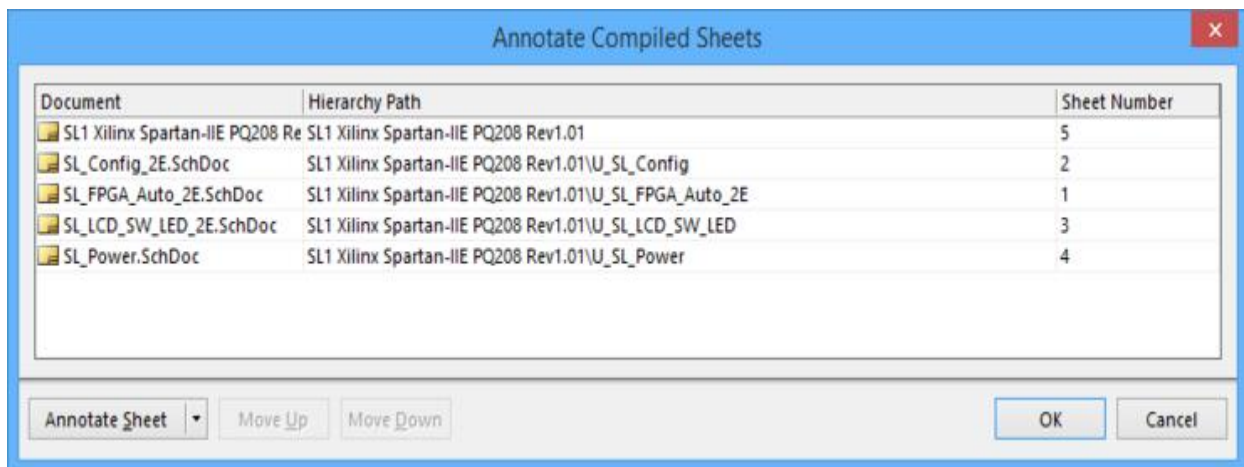


Dấu gạch chéo cho thấy các trang thiết bị được đặt ở chế độ chỉ đọc và không thể đánh số lại.

### Chú thích trang tính đã biên dịch

Chú thích trang tính đã biên dịch cho phép bạn kiểm soát cách các trang tính đã biên dịch (các phiên bản vật lý của trang tính) được đánh số giống như cách Đánh số trang tính kiểm soát cách đánh số trang tính hợp lý. Số trang tính được cập nhật bởi hộp thoại Trang tính được Biên dịch Annotate được lưu trữ trong tệp \*.Annotation của dự án trong thư mục con **Settings \ Annotation Documents**. Điều này đảm bảo rằng thông tin chú thích và cài đặt được ghi nhớ trong các phiên chỉnh sửa dự án. Các Chú thích Biên soạn Sheets thoại xử lý Sheets Device như khác bất kỳ tờ khác trong dự án thiết kế và chú giải chúng theo các tùy chọn Chú thích.

Ví dụ: hãy xem xét một thiết kế bao gồm một tài liệu sơ đồ được gọi là Kênh đầu vào.SchDoc . Mạch trong trang tính đó được sử dụng tám lần trong thiết kế nên sau khi biên dịch thiết kế, kênh Đầu vào.SchDoc sẽ được khởi tạo tám lần (tức là một lần cho mỗi trường hợp của mạch trên PCB vật lý). Đánh số trang tính được sử dụng để đánh số trang tính Kênh Đầu vào. Kênh Tài nguyên trong cấu trúc logic của thiết kế; chú thích các trang tính đã biên dịch được thực hiện để đánh số các trường hợp riêng lẻ của trang tính đó trong chế độ xem vật lý (đã biên dịch) của thiết kế. Chú thích trang tính đã biên dịch được thực hiện trong hộp thoại *Annotate Compiled Sheet s*, được truy cập bằng cách nhấp vào **Công cụ »Chú thích trang tính đã biên dịch** trong một dự án đã biên dịch.

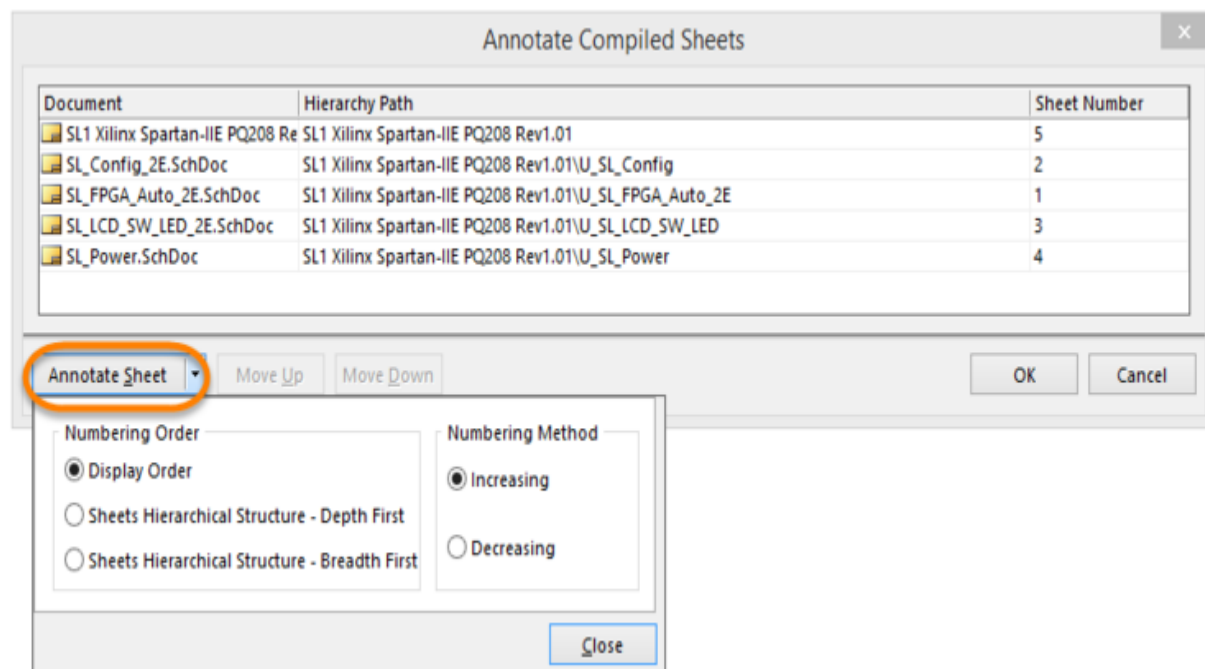


Sử dụng hộp thoại *Chú thích Trang tính đã Biên dịch* để cập nhật Số Trang tính trên các Trang tính đã biên dịch.

Số trang được phân bổ bởi hộp thoại *Trang tính được Biên dịch Annotate* có thể được tham chiếu trên các đầu ra được in của trang tính đã biên dịch (Vật lý) bằng cách sử dụng chuỗi đặc biệt = SheetNumber. Điều này sau đó sẽ được cập nhật trong bất kỳ đầu ra in nào của thiết kế.

Chú thích các tùy chọn trang tính

Click vào **Annotate Bảng** thả xuống để thiết lập các **Chú thích Bảng** tùy chọn.



Đặt các tùy chọn Chú thích trang tính đã biên dịch.

## Đánh số thứ tự

- **Thứ tự hiển thị** : chọn chú thích các trang tính theo thứ tự chúng được hiển thị.
- **Cấu trúc phân cấp trang tính - Độ sâu Đầu tiên** : chọn để chú thích các trang tính từ cấp cao nhất vào mỗi nhánh. Cấp cao nhất được chú thích đầu tiên và sau đó đến chi nhánh đầu tiên dưới cấp cao nhất được chú thích hoàn toàn, sau đó đến chi nhánh thứ hai, v.v.
- **Cấu trúc phân cấp trang tính - Chiều rộng Đầu tiên** : chọn chú thích trang tính theo cấp độ của chúng trong hệ thống phân cấp. Cấp cao nhất được chú thích đầu tiên sau đó tất cả cấp thứ hai được chú thích tiếp theo, v.v.

## Chức năng bổ sung

- Chọn xem bạn muốn các số **tăng** hoặc **giảm** tuần tự trong **Phương pháp Đánh số Chọn** .
- Sử dụng các nút **Di chuyển Lên** và **Di chuyển Xuống** để di chuyển Tài liệu Sơ đồ đã chọn lên hoặc xuống trong danh sách. Điều này có liên quan khi sử dụng lược đồ đánh số **Thứ tự Hiển thị** để chỉ định Số Trang tính hoặc Tài liệu.

## Áp dụng số trang tùy chỉnh

Số trang tùy chỉnh có thể được áp dụng cho thiết kế bằng cách nhập trực tiếp vào trường Số trang. Bất kỳ sự kết hợp nào của các ký tự chữ và số hoặc không phải chữ và số đều được hỗ trợ. Sau khi nhập tên tùy chỉnh, nhấp vào nút **OK** để áp dụng các thay đổi cho thiết kế.

## Sử dụng chú thích trang tính đã biên dịch trong chú thích cấp bảng

Sau khi các Trang tính được Biên dịch đã được chú thích thông qua hộp thoại [Annotate Compiled Sheets](#) , từ khóa \$ SheetNumber có thể được sử dụng như một phần của Sơ đồ đặt tên trong hộp thoại [Tùy chọn Chú thích Cấp độ Bảng](#) . Nếu các trang đã biên dịch của dự án chưa được chú thích, thì việc đánh số trang được xác định trong hộp thoại [Đánh số Trang cho Dự án](#) sẽ được sử dụng theo mặc định.

## Tái sử dụng thiết kế

Thuật ngữ 'Tái sử dụng thiết kế' đã trở thành một thứ gì đó sáo rỗng trong việc tiếp thị các sản phẩm kỹ thuật, có lẽ chủ yếu được thúc đẩy bởi việc điều này thực sự xảy

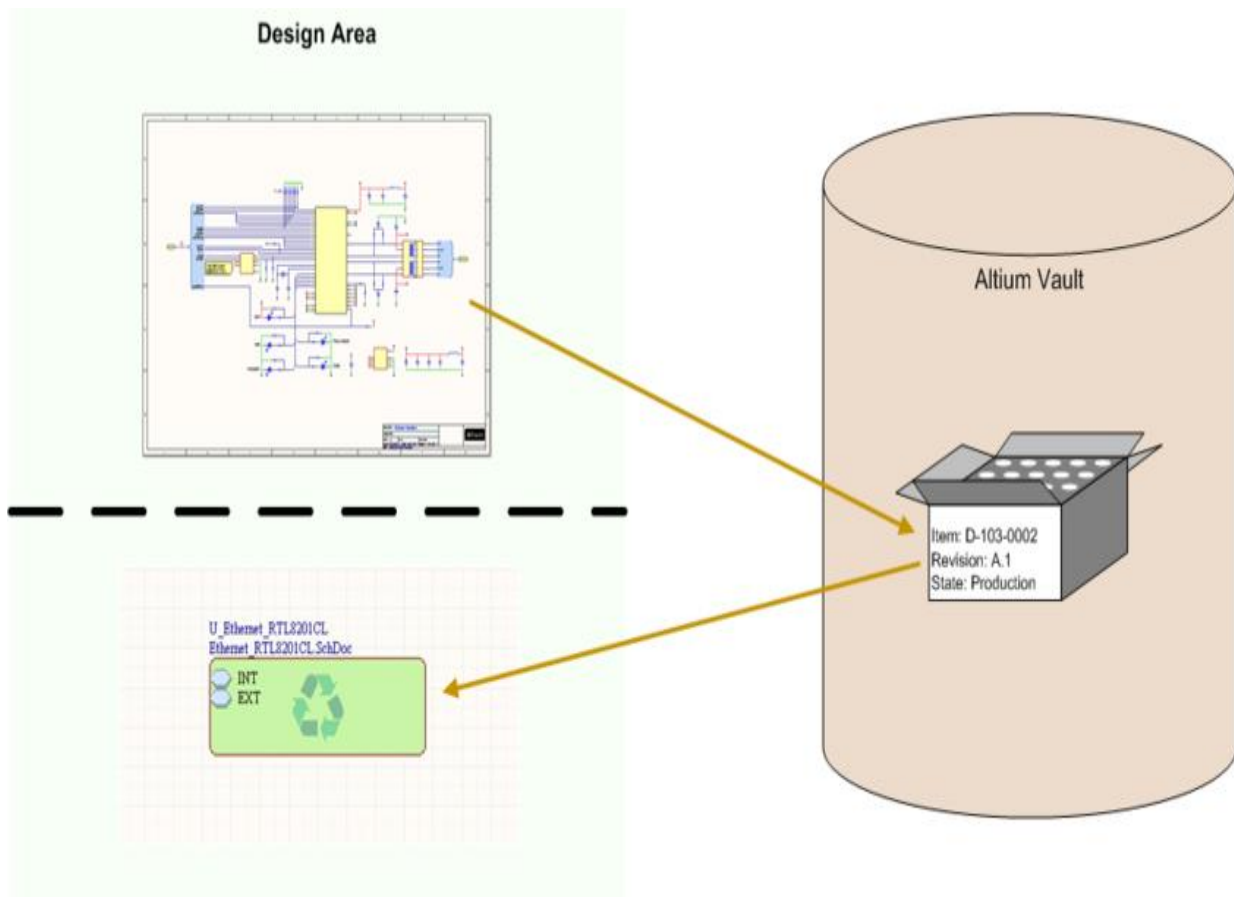
ra rất ít. Nhiệm vụ thiết kế giống nhau được thực hiện lặp đi lặp lại. Tuy nhiên, trong thiết kế điện tử, việc tái sử dụng thiết kế được thực hiện hàng ngày bởi mọi kỹ sư bằng cách sử dụng các mạch tích hợp có sẵn. Những thiết bị này là một gói thiết bị điện tử mà ai đó, ở đâu đó đã thiết kế, thử nghiệm, ghi lại và bán cho thế giới nói chung. Mọi khách hàng của thiết bị này đều đang sử dụng lại thiết kế này một cách rất khắt khe.

Trong khi đó, thực tế sử dụng lại thiết kế trong phần còn lại của quá trình thiết kế nói chung là rất kém và rất có thể bao gồm nhiều công cụ sao chép và dán được tôn vinh. Altium Designer cung cấp nhiều giải pháp hỗ trợ tái sử dụng thiết kế, tạo điều kiện thuận lợi cho thiết kế tinh gọn mà không cần phải phát minh lại bánh xe.

### Trang tính sơ đồ được quản lý

Có thể sử dụng lại nội dung thiết kế là điều mà tất cả các công ty phát triển sản phẩm đều mong muốn và có thể thu được nhiều lợi nhuận. Việc tái sử dụng không chỉ giúp tiết kiệm thời gian, việc có thể dễ dàng sử dụng lại một phần của thiết kế trước đó có nghĩa là tất cả các hoạt động kiểm tra chất lượng của phần đó của thiết kế đã được thực hiện. Mặc dù vậy, việc sử dụng lại thiết kế không chỉ là sao chép và dán, việc sử dụng lại thực sự yêu cầu nội dung được khóa lại để bạn được đảm bảo rằng nội dung vẫn giống như trước đây. Không có chỉnh sửa nhanh để thay đổi màu sắc của linh kiện hoặc chỉnh sửa giá trị điện trở, làm việc với nội dung có thể tái sử dụng phải giống như làm việc với các thành phần bán sẵn; đặt nội dung, truyền tải nội dung vào và nó hoạt động giống như lần trước.

Altium Designer, kết hợp với Altium Vault, phục vụ cho khả năng tạo các Mục Trang tính được Quản lý trong một Altium Vault. Các mục như vậy được tạo trực tiếp từ bên trong kho đích. Sau khi một Mục trang tính được quản lý đã được tạo (và dữ liệu được phát hành trong bản sửa đổi của nó) và trạng thái vòng đời của nó được đặt thành mức mà tổ chức xem là sẵn sàng để sử dụng ở cấp thiết kế, nó có thể được sử dụng lại ở cấp hội đồng quản trị trong tương lai các dự án thiết kế .



Chính thức phát hành một trang mạch thiết kế mà sau đó có thể được sử dụng lại - như một bản sửa đổi của Mục Trang tính Sơ đồ được Quản lý - trong các dự án thiết kế khác yêu cầu chức năng tương tự.

Trang tính được quản lý là một trang tính sơ đồ Altium Designer tiêu chuẩn chứa các thành phần và hệ thống dây điện, đã được lưu trữ trong Altium Vault, vì vậy nó có thể được sử dụng lại trong các thiết kế khác. Nó được chỉnh sửa giống như bất kỳ trang tính sơ đồ nào khác. Khái niệm Trang tính được quản lý cũng không chỉ giới hạn trong một trang tính sơ đồ, bạn có thể đặt Trang tính được quản lý trong thiết kế của mình, ở trên cùng của cây của các Trang tính được quản lý khác.

Trang tính được quản lý khác với Trang tính thiết bị ở chỗ chúng được lưu trữ trong Altium Vault, nơi Trang tính thiết bị được lưu trữ trong một thư mục trên ổ cứng. Do đó, họ được hưởng các lợi ích do nội dung Vault quản lý, bao gồm cả việc sửa đổi và quản lý vòng đời, và tất nhiên là tính toàn vẹn được bảo đảm.

Quyết định chuyển từ Trang tính thiết bị sang Trang tính được quản lý được đưa ra khi có mong muốn chuyển đổi từ nội dung có thể sử dụng lại sang nội dung có thể sử dụng lại *được quản lý* - nghĩa là khi có mong muốn hoặc nhu cầu có thể kiểm soát việc phát hành, trạng thái sửa đổi và trạng thái vòng đời của nội dung thiết kế đó.

Bằng cách làm cho nó nội dung được quản lý, bạn có thể chắc chắn rằng bản sửa đổi của Trang tính được quản lý mà bạn sử dụng trong thiết kế có thể dễ dàng được xác định và truy ngược về nguồn của nó bất cứ khi nào cần. Và vì nó là nội dung được quản lý nên nó có thể được sửa đổi và cập nhật khi cần thiết; và tất cả các mối quan hệ sử dụng đều có thể được truy tìm, cho cả các thành phần trên trang tính đó và lên đến các thiết kế sử dụng trang tính đó. Điều này đảm bảo bạn có tất cả thông tin cần thiết để quyết định xem trang tính đã sửa đổi đó phải được chuyển sang các thiết kế hiện có hay một thiết kế cụ thể phải tiếp tục sử dụng bản sửa đổi trước đó.

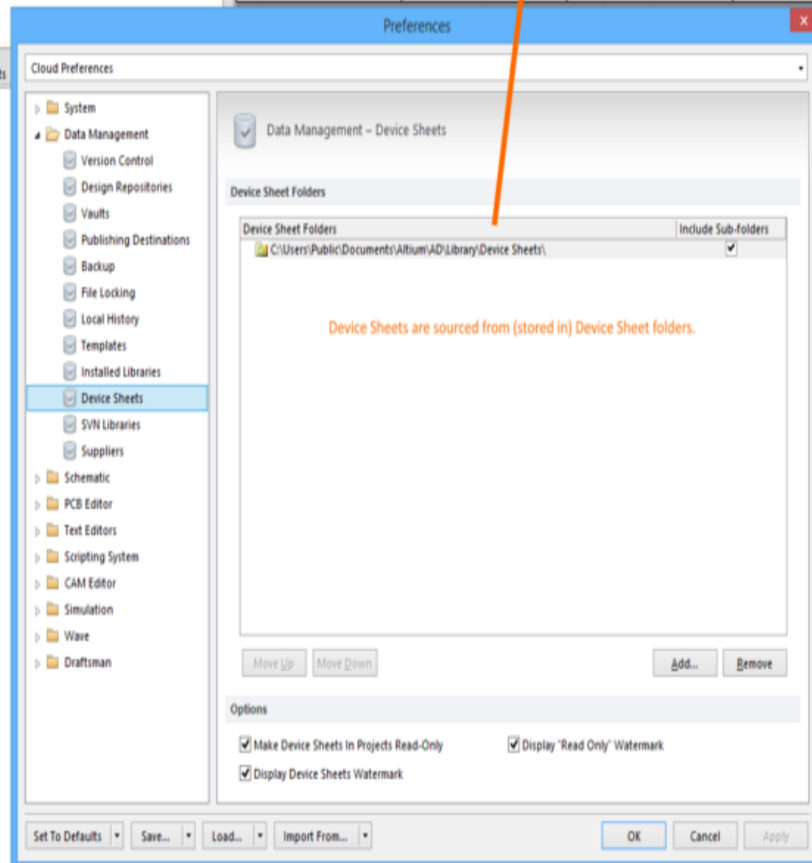
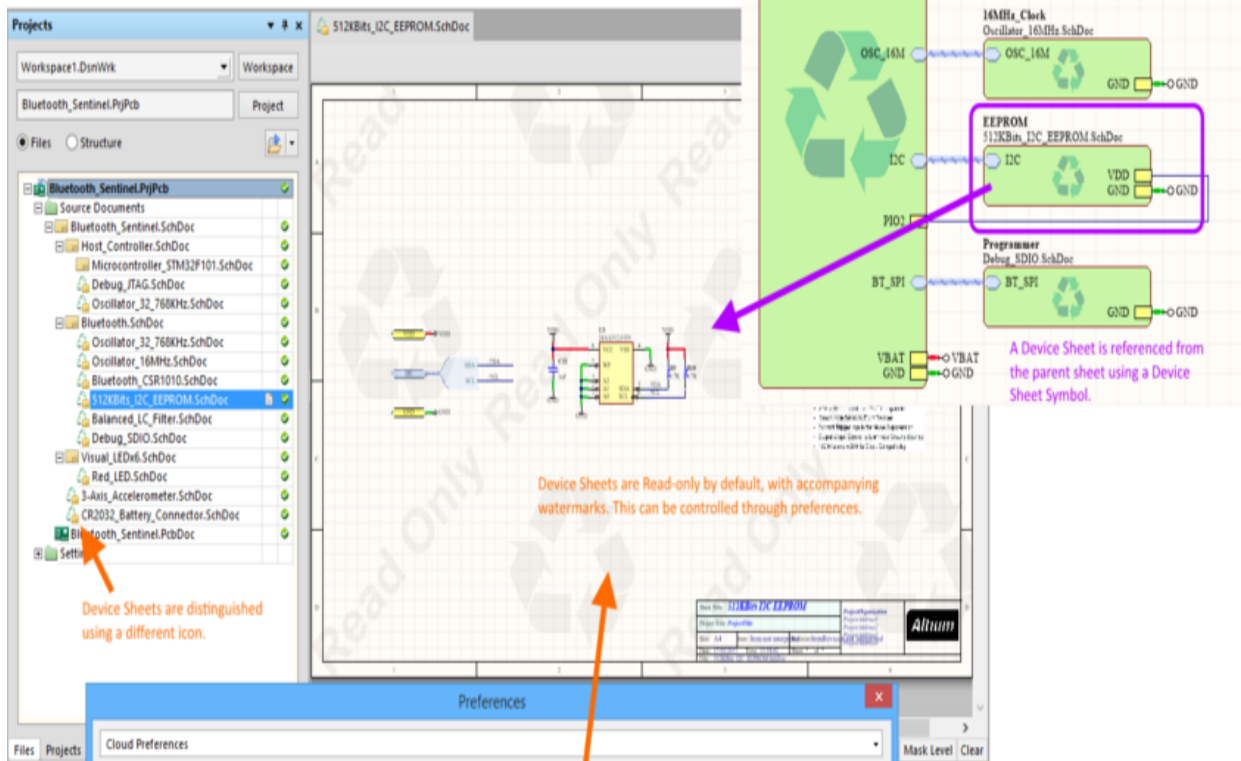
## Trang tính thiết bị

Trang tính thiết bị đơn giản hóa quá trình thiết kế bằng cách cung cấp các khối xây dựng được mô-đun hóa và nhất quán có thể được sử dụng lại giữa các dự án. Biểu tượng Trang tính Thiết bị được đặt và tham chiếu tương tự như các thành phần. Chúng hoạt động theo cách tương tự như Biểu tượng Trang tính và Tài liệu Sơ đồ nhưng không được thêm vào các dự án một cách rõ ràng.

Trang tính thiết bị là các khối xây dựng được phát triển với mục đích được sử dụng lại trong các thiết kế khác nhau. Chúng thường chứa các mạch được xác định trước thường được sử dụng giữa các dự án.

Trang tính Thiết bị được lưu trữ dưới dạng Tài liệu Sơ đồ bình thường trong các Thư mục Trang tính Thiết bị đặc biệt. Chúng được đặt và tham chiếu trong dự án của bạn, tương tự như một thành phần đơn giản. Khi dự án được biên dịch, Trang tính thiết bị được bao gồm trong hệ thống phân cấp dự án và có thể được phân biệt với Tài liệu sơ đồ bằng một biểu tượng tài liệu sơ đồ khác trong [bảng điều khiển Dự án](#).





Ví dụ về Trang thiết bị chỉ đọc. Ngoài ra còn có hình mờ Chỉ đọc với hình mờ Trang thiết bị (tái chế). Bản thân trang tính này nằm trong thư mục Trang tính thiết bị trên ổ đĩa cục bộ (hoặc mạng) và được đưa vào một dự án (được tham chiếu) thông qua vị trí và định nghĩa của biểu tượng Trang tính thiết bị trên trang tính chính ở trên.

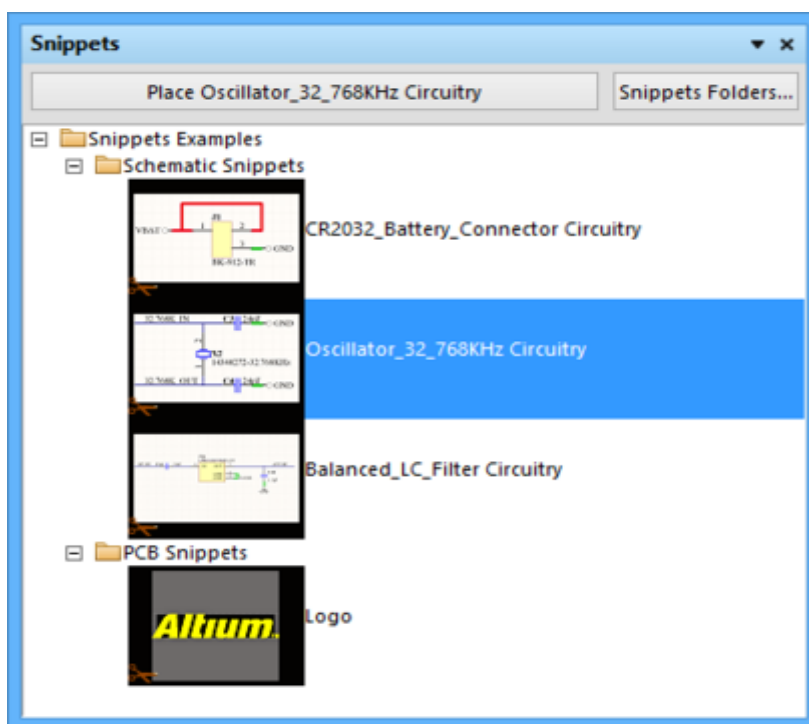
Đối với cài đặt mặc định của Altium Designer, thư mục Trang tính thiết bị mặc định đã được tạo và tham chiếu: \ Users \ Public \ Documents \ Altium \ AD <VersionNumber> \ Library \ Device Sheets .

## Đoạn mã thiết kế

Nếu các thiết kế của bạn thường bao gồm các 'phần' mạch hoặc mã phổ biến, thì bạn sẽ sử dụng tốt tính năng Đoạn mã thiết kế. Một tính năng đơn giản và dễ sử dụng, hệ thống Snippets cho phép bạn lưu bất kỳ lựa chọn nào về:

- Mạch điện trên một tờ sơ đồ duy nhất.
- Mạch trong thiết kế PCB, bao gồm các thành phần và định tuyến.

Một 'đoạn mã' mạch có thể được thêm vào bất kỳ thiết kế nào mà bạn không cần phải bắt đầu lại từ đầu mỗi lần - việc sử dụng lại thiết kế, được thực hiện đơn giản.



Các *Snippets* bảng điều khiển là điểm trung tâm để tạo, quản lý, và tái sử dụng các đoạn của mạch thiết kế.

## Tái cấu trúc thiết kế

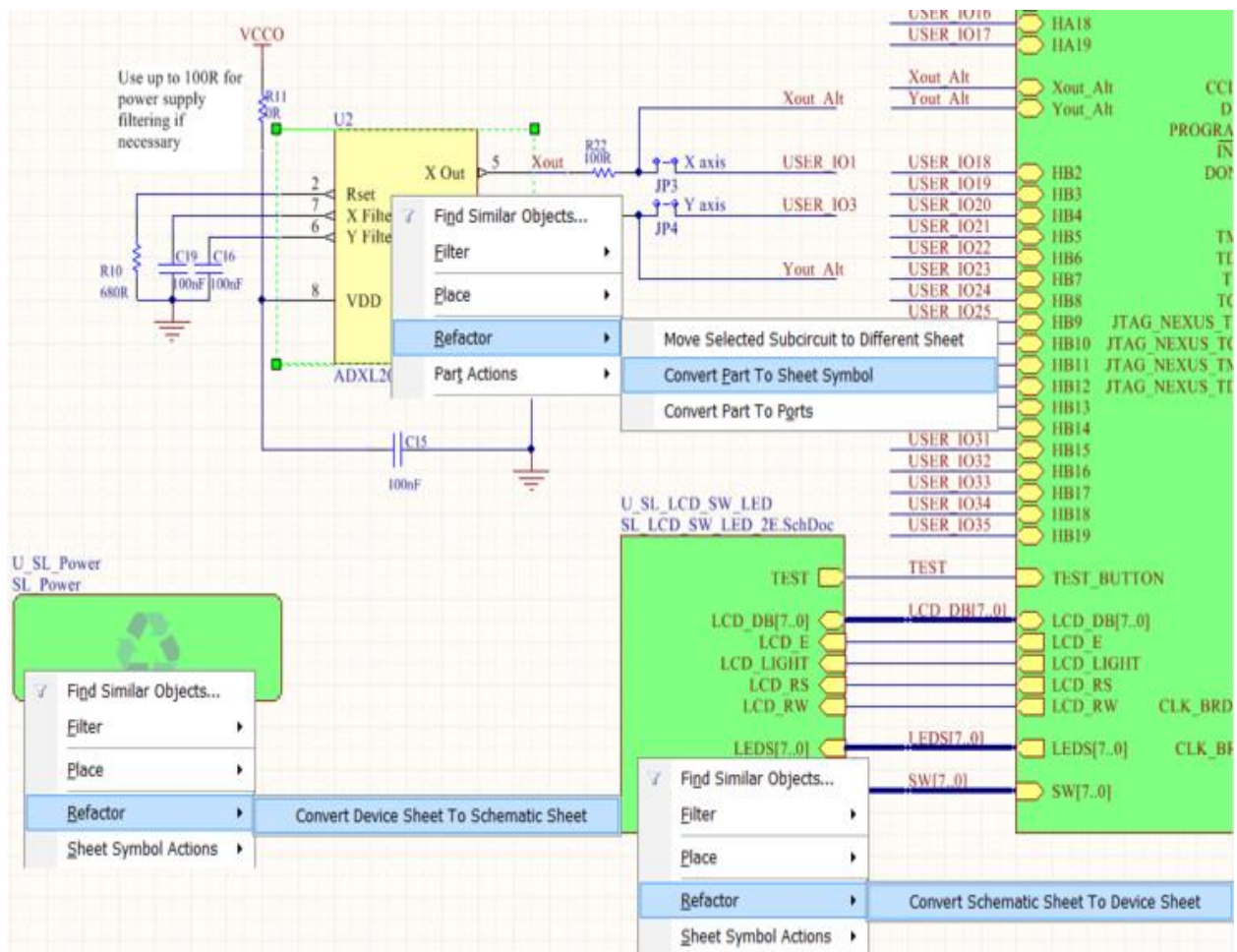
Tái cấu trúc, theo nghĩa truyền thống, là hành động tái cấu trúc một thiết kế hiện có (hoặc nội dung mã trong vùng lập trình) mà không thay đổi chức năng của thiết kế (hoặc mã) đó. Về thiết kế PCB, có nhiều tình huống khác nhau trong đó một số hình thức tái cấu trúc sẽ cung cấp một giải pháp hữu ích và kịp thời:

- Một bộ phận đã trở nên lỗi thời và cần được thay thế bằng một mạch phụ tương đương về chức năng. ( [Cho tôi xem](#) )
- Một thiết kế sơ đồ là trở thành một mạch phụ để sử dụng trong một thiết kế lớn hơn. ( [Cho tôi xem](#) )
- Một trang phụ sơ đồ hiện có sẽ được tạo thành một trang thiết bị để sử dụng lại trong các thiết kế trong tương lai. ( [Cho tôi xem](#) )
- Một bảng thiết bị hiện có cần được bản địa hóa và tùy chỉnh cho thiết kế hiện tại. ( [Cho tôi xem](#) )
- Một số mạch phụ hiện có cần được chuyển sang trang tính khác. ( [Cho tôi xem](#) )

Altium Designer cung cấp một số tính năng tạo thành chung khả năng Tái cấu trúc thiết kế - cho phép bạn linh hoạt tối đa để tái cấu trúc thiết kế của mình theo yêu cầu.

### Truy cập các tính năng Refactoring

Một số lệnh tái cấu trúc nhất định có thể được truy cập từ menu **Edit »Refactor** , nhưng có thể truy cập tốt hơn nhiều bằng cách sử dụng menu ngữ cảnh nhấp chuột phải của Schematic Editor. Các lệnh có sẵn từ menu phụ **Refactor** sẽ thay đổi theo ngữ cảnh với đối tượng dưới con trỏ - áp dụng cho một bộ phận, biểu tượng trang tính hoặc biểu tượng trang thiết bị. Phương pháp truy cập này cung cấp cho bạn các lệnh bạn cần, ở đâu và khi nào bạn cần chúng - và *chỉ* các lệnh có thể áp dụng cho đối tượng thiết kế cụ thể trong tầm tay.



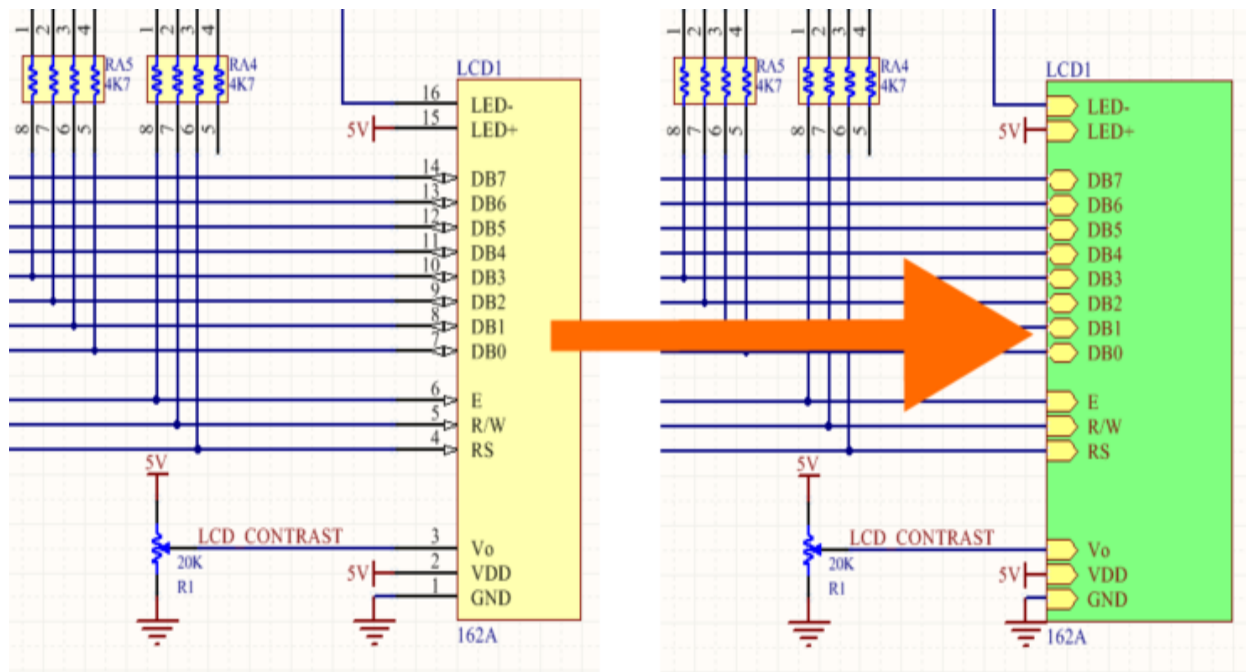
Nhấp chuột phải vào menu ngữ cảnh - một cách trực quan và thuận tiện để truy cập các lệnh tái cấu trúc có liên quan. Lưu ý rằng menu chỉ điền vào các lệnh tái cấu trúc áp dụng cho đối tượng thiết kế dưới con trỏ.

### Chuyển đổi một phần thành một biểu tượng trang tính

Tính năng này là lý tưởng khi một bộ phận hiện có đã trở nên lỗi thời và cần được thay thế bằng một mạch phụ tương đương về chức năng, được xác định trên một trang tính riêng biệt.

Nhấp chuột phải vào một bộ phận và chọn lệnh **Refactor » Convert Part To Sheet Symbol** từ menu ngữ cảnh, chuyển biểu tượng bộ phận thành biểu tượng trang tính. Khả năng kết nối được giữ lại, với các mục nhập trang tính được đặt tên theo cách đặt tên chân ban đầu và **Loại I / O** được đặt để phản ánh loại điện của chân ban đầu.

Biểu tượng tờ của **Designator** ban đầu được thiết lập để vấn thiết kế phần ban đầu, và nó **ảnh Tên** ban đầu thiết lập để của phần văn bản nhận xét.



Chuyển một phần hiển có thành biểu tượng trang tính.

Nếu trang tính con được yêu cầu tồn tại, chỉ cần thay đổi **Tên tệp** của biểu tượng trang tính để trở đến trang tính đó. Nếu không, có thể nhanh chóng tạo trang tính con bằng cách nhấp chuột phải vào biểu tượng trang tính và chọn lệnh **Hành động** ký hiệu trang tính **»Tạo** trang tính từ ký hiệu trang tính . Trong trường hợp thứ hai này, các công tương ứng với các mục trên trang của biểu tượng sẽ được đặt trên trang phụ mới, sẵn sàng cho mạch phụ thay thế được xác định và nối.

Lệnh **Convert Part To Sheet Symbol** cũng có sẵn từ menu phụ **Part Actions** khi bấm chuột phải , cũng như menu **Tools »Convert chính** .

Đẩy một phần lên một trang con mới

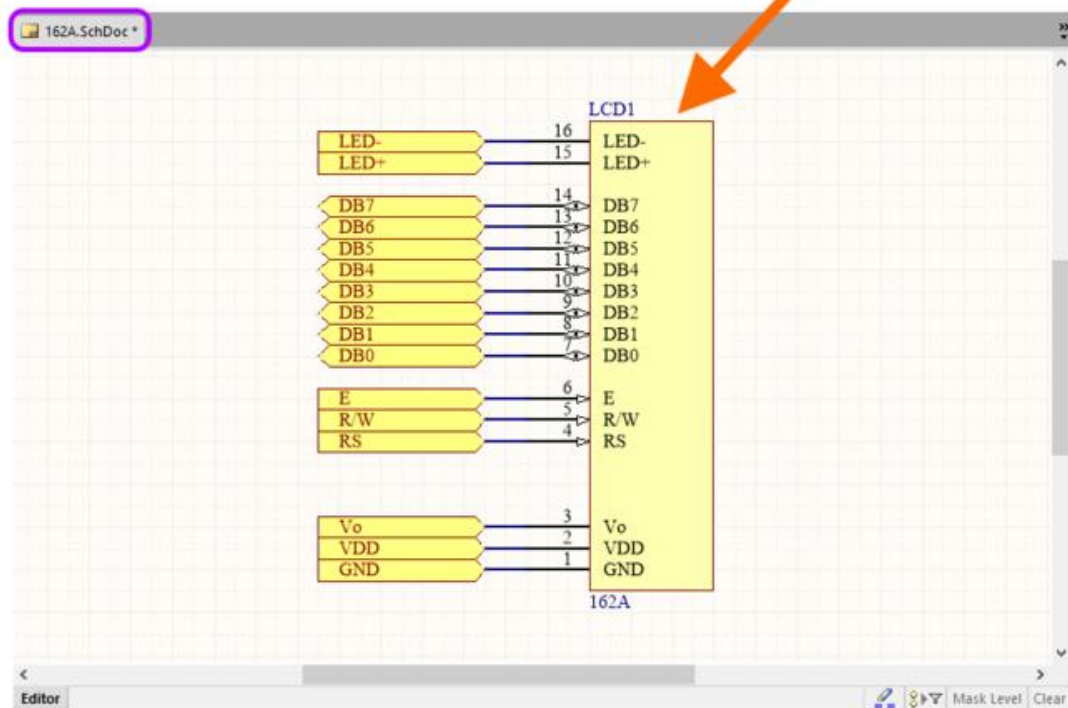
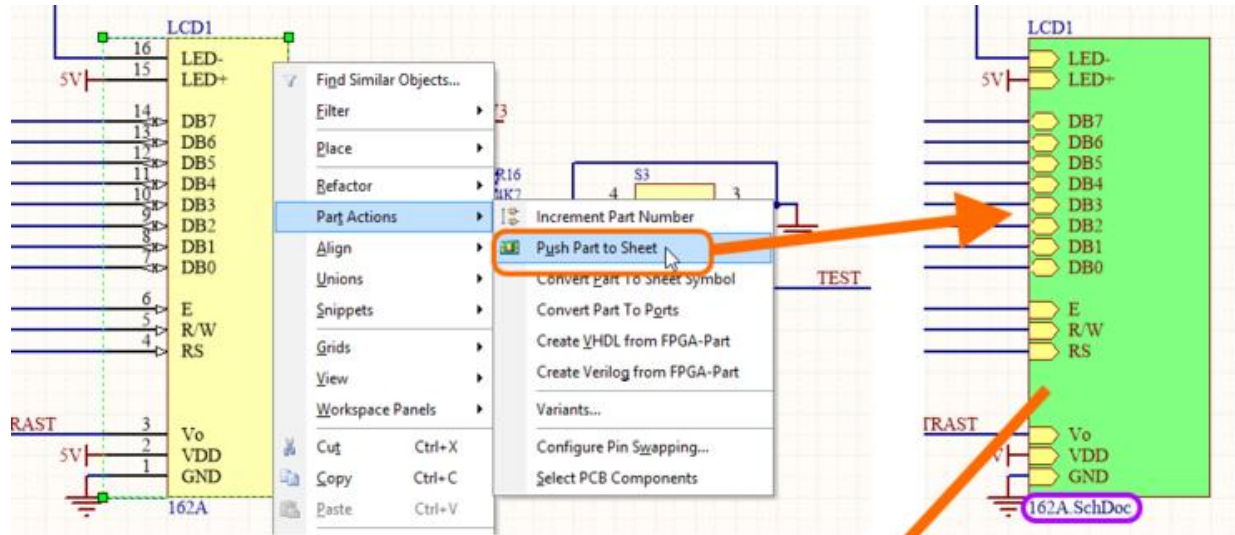
Một phương pháp thay thế, và có lẽ nhanh hơn để đạt được kết quả cuối cùng tương tự, là nhấp chuột phải vào phần cần thiết và chọn lệnh **Part Actions »Push Part To Sheet** . Trình tự các bước sau đây về cơ bản được thực hiện:

1. Phần được sao chép.
2. Phần gốc được chuyển đổi thành biểu tượng trang tính với Bộ thiết kế được đặt thành bộ chỉ định của phần gốc và **Tên tệp** được đặt thành <OriginalPartComment>.SchDoc . Một lần nữa, đặt tên mục nhập trang tính và **Loại I / O** phản ánh các chân của phần ban đầu.



3. Một trang tính sơ đồ mới được tạo từ biểu tượng trang tính, được đặt tên bằng giá trị **Tên tệp** của biểu tượng.
4. Bản sao của phần gốc được dán ở trung tâm của trang tính, với các cổng tương ứng với các mục nhập biểu tượng của trang tính được đặt và nối dây với các chân của bộ phận.

Sau đó, bạn có thể chỉ cần xóa bộ phận và thay thế nó bằng mạch tương đương về chức năng, theo yêu cầu.



Sử dụng lệnh **Push Part To Sheet** sẽ nhanh chóng chuyển đổi phần ban đầu thành

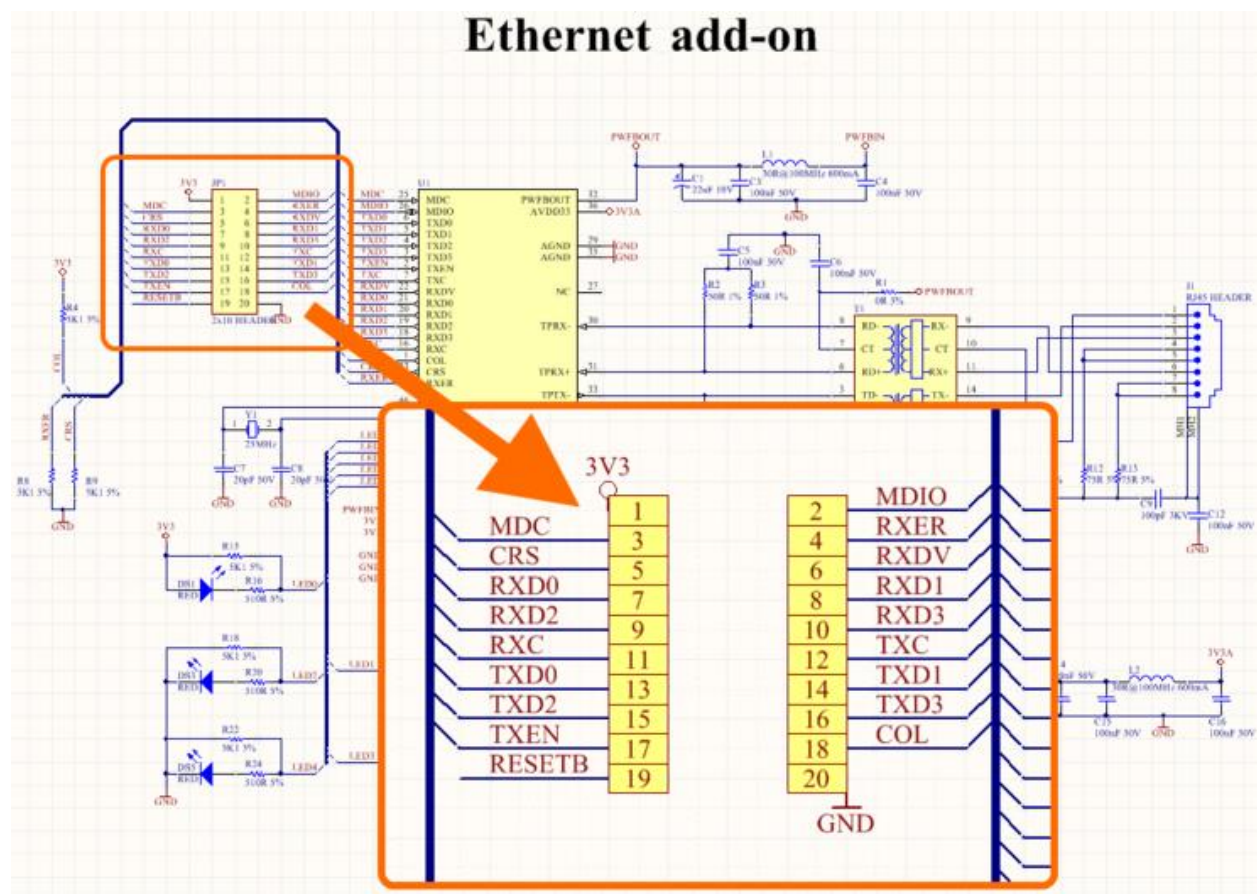


biểu tượng trang tính, sau đó dán bản sao của phần đó lên trang tính mới tạo, được tham chiếu bởi ký hiệu đó.

### Chuyển đổi một phần thành công

Tính năng này lý tưởng khi thiết kế phụ độc lập hiện có, chẳng hạn như nguồn điện hoặc bảng vệ tinh, được tạo thành mạch phụ, được sử dụng trong một thiết kế bảng đơn lớn hơn - có lẽ để giảm thiểu chi phí sản xuất. Đây là phần ngược lại của phần trước, đó là thay thế một thành phần bằng một mạch phụ cấp thấp hơn. Thay vào đó, đây là quá trình cắm một mạch phụ vào thiết kế cấp cao hơn, làm cho nó có sẵn để kết nối với một điểm ở trên trong hệ thống phân cấp.

Nhấp chuột phải vào một bộ phận và chọn lệnh **Refactor »Convert Part To Ports** từ menu ngữ cảnh, chuyển đổi biểu tượng bộ phận thành một tập hợp các cổng. Kết nối được giữ lại, với các cổng được đặt tên theo cách đặt tên chân ban đầu và **Loại I / O** được đặt để phản ánh loại điện của chân ban đầu.

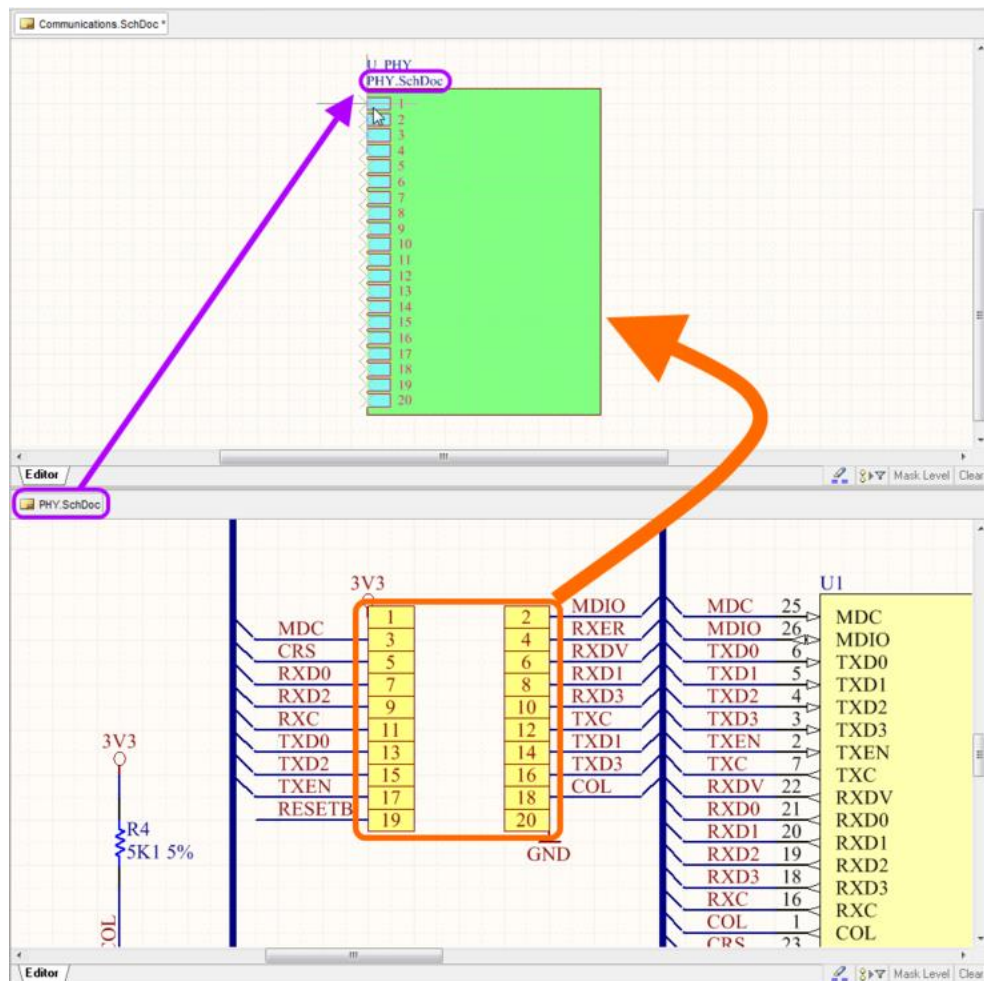


Sử dụng lệnh **Convert Part To Ports** để nhanh chóng thay thế một bộ phận bằng các cổng để nối mạch phụ vào thiết kế cấp cao hơn.

Sau đó, việc chèn mạch phụ vào hệ thống phân cấp được hoàn thành bằng cách thêm ký hiệu trang tính trên trang tính cấp cao hơn có liên quan. Để làm điều này:

1. Làm cho trang tính bắt buộc hoạt động.
2. Sử dụng lệnh Design »Create Sheet Symbol From Sheet hoặc lệnh HDL .
3. Chọn tài liệu (chứa các cổng được tạo từ một phần) trong hộp thoại Chọn tài liệu để đặt .
4. Một biểu tượng trang tính sẽ xuất hiện trên con trỏ - vị trí bên trong trang tính theo yêu cầu, và nhấp để thực hiện vị trí.

Biểu tượng trang tính tham chiếu đến trang tính con bên dưới (thông qua thuộc tính **Tên tệp** của nó ) và có các mục nhập trang tính tương ứng với các cổng trên trang tính con.



Sử dụng lệnh **Tạo biểu tượng trang tính từ trang tính** hoặc lệnh **HDL** để nhanh chóng thêm ký hiệu trang tính, từ đó luồn mạch con vào cấu trúc phân cấp thiết kế.

## Chuyển đổi Sơ đồ thành Trang thiết bị

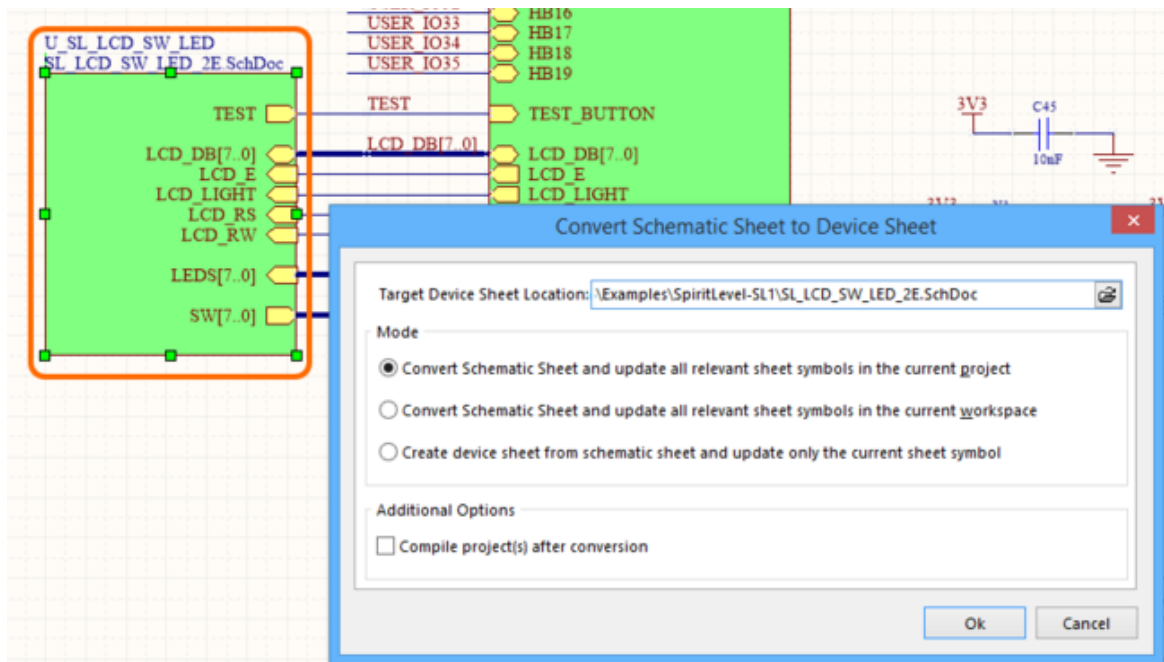
Ở một số giai đoạn, khái niệm thiết kế để tái sử dụng phải tăng tính trừu tượng. Nếu chúng ta chỉ dừng lại ở cấp độ thành phần, thì mỗi thiết kế có một phần chức năng tương tự - chẳng hạn như giao diện USB hoặc bộ điều chỉnh điện áp - sẽ được 'phát minh lại bánh xe' như nó vốn có. Và đó là lúc Trang [tính thiết bị](#) phát huy tác dụng - các trang tính sơ đồ được thiết kế để cung cấp chức năng mạch cụ thể. Việc sử dụng chúng loại bỏ các rủi ro liên quan đến phương pháp sao chép và dán truyền thống. Và chúng loại bỏ sự lặp lại của nỗ lực thiết kế đồng thời tăng thêm mức độ nội dung thiết kế có thể được sử dụng lại trong các thiết kế trong tương lai.

Là một phần của bộ công cụ Refactoring, Schematic Editor cung cấp khả năng nhanh chóng chuyển đổi một trang sơ đồ tiêu chuẩn hiện có thành một trang thiết bị, để sử dụng lại trong các thiết kế khác.


Để có tính toàn vẹn cao nhất và khả năng tái sử dụng tối ưu, cùng với các lợi ích bao gồm sửa đổi và quản lý vòng đời và khả năng truy xuất nguồn gốc 'nơi được sử dụng', hãy xem xét phát hành các tờ sơ đồ của mạch phụ chức năng vào [Altium Vault](#). Có sẵn cho toàn bộ nhóm thiết kế trong toàn tổ chức, các yếu tố thiết kế dựa trên vault này - sau đó được gọi là Trang *tính được quản lý* - cung cấp các khối xây dựng chất lượng cao, cấp cao hơn để tái sử dụng trong các thiết kế trong tương lai. Nhà thiết kế, giống như chọn các bộ phận trên kệ, chỉ cần sử dụng lại các trang tính năng thiết kế được quản lý này như các thành phần cấu thành của dự án thiết kế lớn hơn. Để biết thêm thông tin, hãy xem Trang [tính sơ đồ được quản lý trong Altium Vault](#).

Để chuyển đổi một trang sơ đồ hiện có thành một trang thiết bị:

1. Định vị ký hiệu trang tính - tham chiếu đến trang tính được yêu cầu - trên trang mẹ có liên quan trong phân cấp thiết kế.
2. Nhấp chuột phải vào biểu tượng trang tính và chọn lệnh [Refactor »Convert Schematic Sheet To Device Sheet](#) từ trình đơn ngữ cảnh. Các [Chuyển đổi Schematic tấm để hộp thoại Device Tấm](#) sẽ xuất hiện. Chọn vị trí mục tiêu để lưu trang thiết bị mới được tạo và cả phạm vi chuyển đổi - có cập nhật biểu tượng trang tính hiện tại hay tất cả các ký hiệu trang tính liên quan trong không gian làm việc hoặc dự án đang hoạt động hay không. Loại thứ hai đặc biệt hữu ích cho thiết kế đa kênh, trong đó mạch phụ tồn tại trong một số trường hợp.

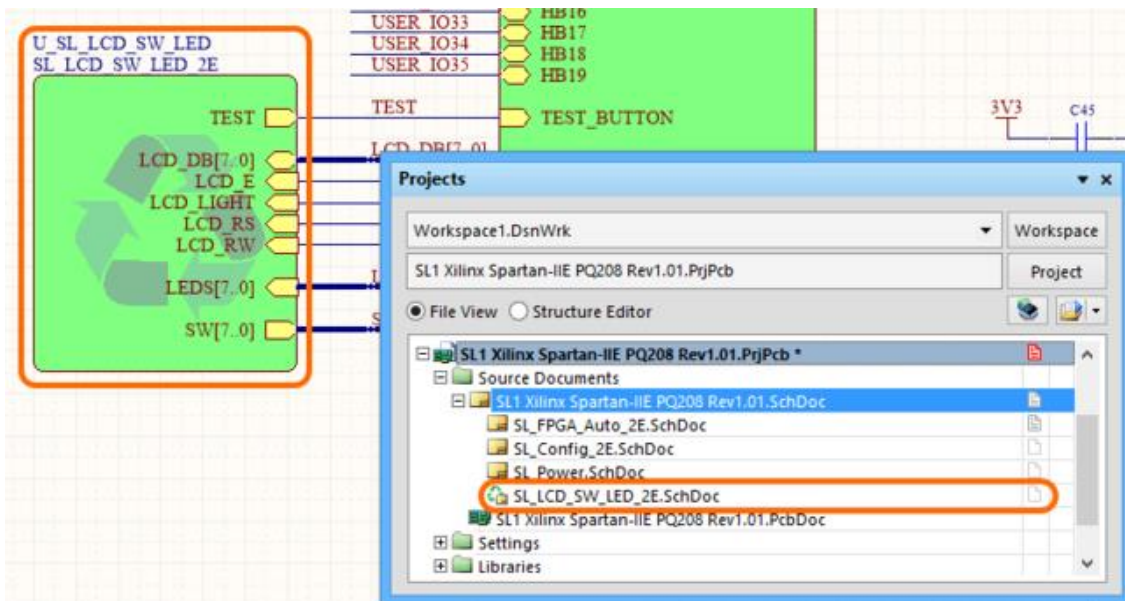


Chỉ định chi tiết của việc chuyển đổi trong hộp thoại *Convert Schematic Sheet to Device Sheet* .

Nhấn vào  ở bên phải của trường vị trí để truy cập [hộp thoại Chọn Thư mục Trang tính Thiết bị](#) . Hộp thoại này liệt kê tất cả các thư mục Trang tính Thiết bị hiện được xác định. Để thêm vị trí thư mục mới, hãy nhấp vào nút **Thư mục Trang tính Thiết bị** ở cuối hộp thoại này, để truy cập [hộp thoại Thư mục Trang tính Thiết bị](#) . Ngoài ra, hãy xác định Thư mục [Trang tính Thiết bị trên trang Quản lý Dữ liệu - Trang tính Thiết bị](#) của [hộp thoại Tùy chọn](#) .

3. Bấm **OK** . Biểu tượng trang tính sẽ được chuyển đổi thành biểu tượng trang thiết bị và giản đồ sẽ được chuyển đến vị trí trang thiết bị được chỉ định.
4. Biên dịch lại dự án để trang thiết bị mới xuất hiện trong [bảng Dự án](#) .





Biên dịch lại dự án để bảng thiết bị xuất hiện chính xác trong phân cấp thiết kế.

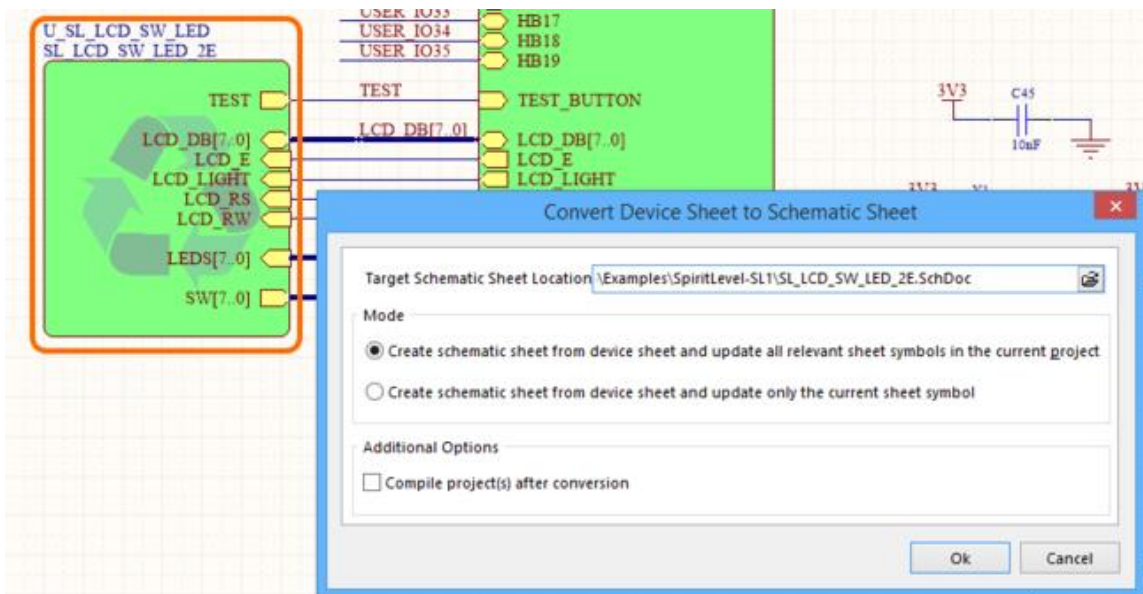
Không giống như cắt và dán truyền thống, Tái cấu trúc duy trì các Mã nhận dạng duy nhất của các mạch phụ (bao gồm các ký hiệu trang tính và biểu tượng trang thiết bị), đảm bảo rằng các mạch phụ trong thiết kế luôn được liên kết với các cá thể vật lý của chúng trong miền PCB.

### Chuyển đổi Trang tính thiết bị thành Trang tính giản đồ


Các bảng thiết bị cho phép các mạch phụ chức năng được thu nhận và sử dụng lại trên các thiết kế. Tuy nhiên, có thể cần phải sửa đổi một mạch phụ hiện có cho một thiết kế cụ thể. Thay vì sửa đổi bản thân trang thiết bị, Trình chỉnh sửa sơ đồ cung cấp khả năng lấy bản sao của trang thiết bị, làm cho mạch của nó có sẵn trên một trang sơ đồ tiêu chuẩn. Điều này cho phép bạn sửa đổi bản sao cục bộ phù hợp với các yêu cầu cho thiết kế hiện tại của bạn và an toàn khi biết rằng trang thiết bị gốc vẫn không bị ảnh hưởng.

Để 'chuyển đổi' một trang thiết bị hiện có thành một trang sơ đồ:

1. Tìm biểu tượng trang thiết bị tham chiếu đến trang thiết bị cần thiết.
2. Nhấp chuột phải vào biểu tượng trang thiết bị và chọn lệnh **Refactor »Convert Device Sheet To Schematic Sheet** từ trình đơn ngữ cảnh. Các **Chuyển đổi Device tấm để thoại Tấm Schematic** sẽ xuất hiện. Chọn vị trí mục tiêu để lưu trang tính sơ đồ mới được tạo và cả phạm vi chuyển đổi - có cập nhật ký hiệu trang thiết bị hiện tại hay tất cả các biểu tượng trang thiết bị liên quan trong dự án đang hoạt động hay không.



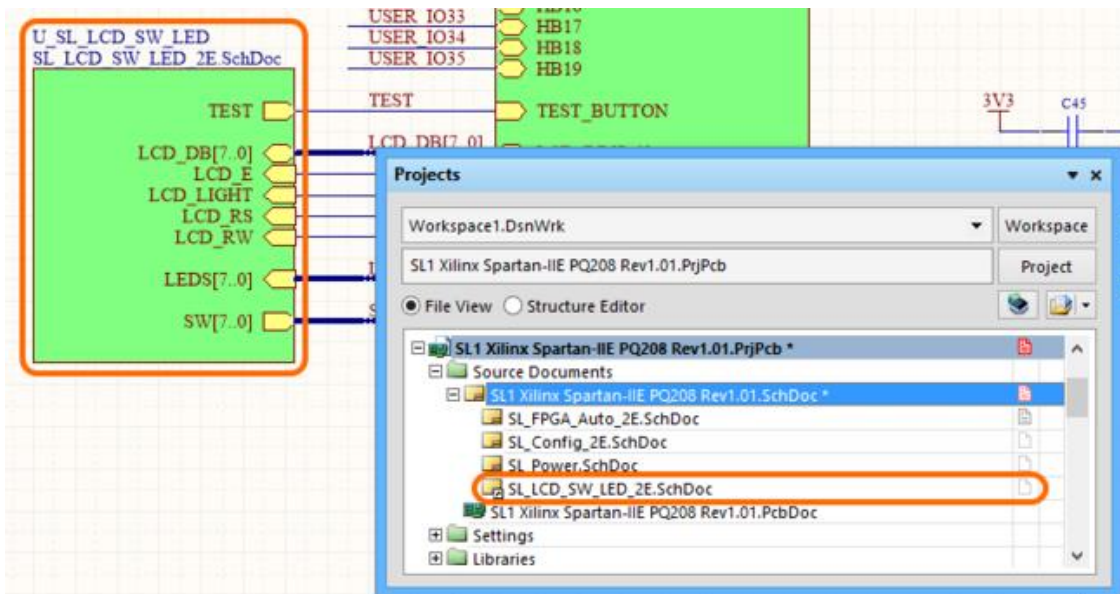
Chỉ định chi tiết chuyển đổi trong hộp thoại *Convert Device Sheet to Schematic Sheet* .

**Vị trí trang tính sơ đồ mục tiêu** mặc định là thư mục chứa dự án đang hoạt động. Trang tính được đặt tên bằng cách sử dụng **Tên tệp** của biểu tượng trang tính thiết bị . Nhấn vào  ở bên phải của trường vị trí để truy cập hộp thoại *Mở* , trong đó để thay đổi vị trí và dưới tên gì, giản đồ sẽ được lưu (nếu cần).

3. Bấm **OK** . Biểu tượng trang thiết bị sẽ được chuyển đổi thành biểu tượng trang tính và bản sao của trang thiết bị sẽ được lưu trữ cục bộ dưới dạng trang tính tiêu chuẩn (không được bảo vệ) ở vị trí được chỉ định. Biểu tượng trang tính sẽ tham chiếu trang tính cục bộ này.

Không cần thiết phải biên dịch lại dự án đang hoạt động theo cách thủ công, điều này được thực hiện tự động, với trang tính sơ đồ mới sau đó xuất hiện trong bảng Dự án .





Bảng sơ đồ cục bộ sẽ thay thế trang thiết bị trước đó, trong bảng *Dự án*, sau khi chuyển đổi.

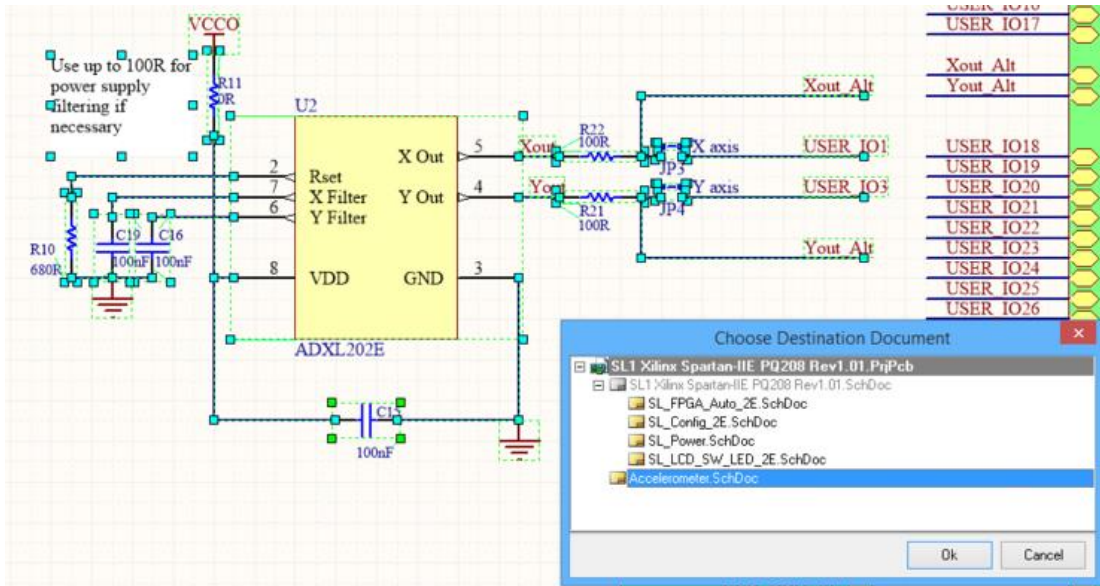
Di chuyển mạch phụ đã chọn sang một trang tính khác

Khi một thiết kế phát triển, nội dung của các trang tính sơ đồ nguồn bao gồm thiết kế đó có thể cần phải được thay đổi xung quanh - một phần cụ thể của mạch điện có thể 'đọc' tốt hơn trên trang tính của chính nó, hoặc có lẽ một trang tính đang trở nên quá tải (và không thể đọc được!) và có thể được lợi từ việc chuyển một số mạch điện sang một trang tính bổ sung / khác.

Một tính năng tái cấu trúc khác là khả năng chọn một hoặc nhiều đối tượng trên một trang tính và di chuyển lựa chọn đó sang một trang tính khác. Để làm điều này:

1. Đầu tiên chọn mạch mà bạn muốn di chuyển.
2. Nhấp chuột phải và chọn lệnh **Refactor » Move Selected Subcircuit to Other Sheet** từ menu ngữ cảnh. Các **Chọn hộp thoại Document Điểm đến** sẽ xuất hiện - sử dụng để chỉ định các mục tiêu tấm sơ đồ.

Nếu mạch con đã chọn nằm trên một trang tính hoàn toàn mới, hãy đảm bảo rằng sơ đồ được tạo và lưu trước tiên, để sơ đồ đó sẽ xuất hiện trong hộp thoại *Chọn tài liệu đích*.

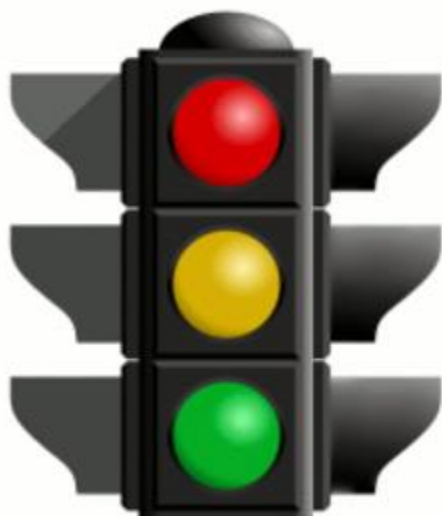


Chuyển một phần của thiết kế sang một trang tính sơ đồ khác.

3. Bấm **OK** . Trang tính đã chọn sẽ được kích hoạt và mạch phụ đã chọn sẽ xuất hiện nổi trên con trỏ.
4. Định vị mạch điện trên trang tính theo yêu cầu, và nhấp để thực hiện vị trí. Sau khi được đặt, mạch đó sẽ bị xóa khỏi trang tính ban đầu.
5. Nếu chuyển sang trang tính mới, hãy thêm ký hiệu trang tính vào trang mẹ có liên quan để sắp xếp chính xác trang tính đó vào hệ thống phân cấp thiết kế.
6. Biên dịch lại dự án thiết kế.

Tìm hiểu thêm về Lỗi trình biên dịch

Tham chiếu vi phạm trình biên dịch dự án



Quá trình biên dịch là không thể thiếu để tạo ra một danh sách mạng hợp lệ cho một dự án. Trên thực tế, đó là quá trình biên dịch tạo ra mô hình dữ liệu thống nhất của một thiết kế - một mô hình dữ liệu duy nhất có thể truy cập trên các lĩnh vực thiết kế trong môi trường thiết kế thống nhất của Altium Designer. Nhận thức về kết nối trong sơ đồ sơ đồ của bạn có thể được xác minh trong quá trình biên dịch theo các quy tắc được xác định như một phần của các tùy chọn cho dự án thiết kế - trên các tab [Báo cáo lỗi](#) và [Ma trận kết nối](#) tương ứng.

Phần này của tài liệu Altium Designer cung cấp tài liệu tham khảo toàn diện mô tả từng vi phạm về điện và soạn thảo có thể tồn tại trong tài liệu nguồn khi biên dịch dự án.

## Triển khai thành phần với ánh xạ mã pin không hợp lệ

Chế độ báo cáo mặc định:  **Error**

Sự vi phạm này xảy ra khi biên dịch Gói thư viện tích hợp ( \*.LibPkg) và ánh xạ pin giữa thành phần giản đồ và mô hình được liên kết được phát hiện là không hợp lệ.

### Thông báo

Nếu các lỗi và cảnh báo của trình biên dịch được bật để hiển thị trên giản đồ (được bật trên trang [Sơ đồ - Trình biên dịch](#) của [hộp thoại Tùy chọn](#)), một đối tượng vi phạm sẽ hiển thị một ô màu bên dưới nó. Thông báo cũng được hiển thị trong [bảng Tin nhắn](#) ở định dạng sau:

*ComponentName* : Không thể tìm thấy cổng < *ModelPinNumber* > trên mô hình < *ModelName* > cho pin < *ComponentPinNumber* > - liên quan đến mô hình PCB

Mô hình *ComponentName ModelPinNumber < ModelName >* - liên quan đến mô hình mô phỏng: Could not map port <> on to a pin

Ở đâu:


- *ComponentName* là tên của thành phần trong thư viện giản đồ nguồn.
- *ModelPinNumber* là bộ chỉ định dự kiến cho pin / pad không thể tìm thấy trên mô hình được liên kết.
- *ModelName* là tên của mô hình được liên kết với thành phần.
- *ComponentPinNumber* là mã chỉ định của chân trên thành phần sơ đồ nguồn mà chân bị lỗi của mô hình được ánh xạ tới.

### Khuyến nghị cho giải pháp

Nếu thông báo lỗi liên quan đến mô hình PCB được hiển thị, hãy nhấp đúp vào mục nhập cho liên kết mô hình PCB để truy cập [hộp thoại Mô hình PCB](#). Khi đó, nhấp vào nút **Pin Map** để truy cập [hộp thoại Bản đồ mô hình](#). Trong cột **Bộ thiết kế chân thành phần**, hãy tìm số pin được gắn cờ bởi thông báo (*Số thành phần*). Vi phạm phát sinh do mục nhập tương ứng trong cột **Bộ thiết kế pin mô hình** trỏ đến bộ chỉ định đệm không tồn tại trong mô hình PCB. Sửa đổi mục nhập theo yêu cầu. Thông thường sẽ có ánh xạ 1-1, với những người chỉ định ở cả hai bên như nhau.

Nếu thông báo liên quan đến mô hình mô phỏng được hiển thị, hãy nhấp đúp vào mục nhập cho liên kết mô hình mô phỏng để truy cập hộp thoại *Mô hình Sim*. Khi đó, hãy nhấp vào tab **Bản đồ cổng**. Vi phạm này sẽ phát sinh khi chân mô hình không được ánh xạ chính xác đến chân của thành phần sơ đồ. Điều này có thể xảy ra khi mục nhập cho chân mô hình đã được đặt thành một ghim đã được ánh xạ hoặc thành Not Connected. Sửa đổi mục nhập theo yêu cầu.

### Các thành phần chứa các tiểu phần trùng lặp

Chế độ báo cáo mặc định:  Error

### Tóm lược

Sự vi phạm này xảy ra khi cùng một phần của một phiên bản thành phần nhiều phần đã được đặt nhiều lần trong một thiết kế sơ đồ. Ví dụ: bạn đã đặt một 74HC32 thành

phần, với bộ chỉ định U9, nhưng đã vô tình đặt hai trường hợp của phần một của thành phần này, dẫn đến hai trường hợp U9A trong thiết kế.

## Thông báo

Nếu các lỗi và cảnh báo của trình biên dịch được bật để hiển thị trên giản đồ (được bật trên trang [Sơ đồ - Trình biên dịch](#) của [hộp thoại Tùy chọn](#)), một đối tượng vi phạm sẽ hiển thị một ô màu bên dưới nó. Thông báo cũng được hiển thị trong [bảng Tin nhắn](#) ở định dạng sau:

Component *<Tên thành phần>* has duplicate sub-parts at *<Vị>* and *trí1 <Vị trí2>*

Ở đâu:

- *ComponentName* là tên của thành phần vi phạm về mặt chỉ định và tham chiếu thư viện của nó.
- *Location1* là tọa độ X, Y cho lần xuất hiện đầu tiên của phần phụ cụ thể.
- *Location2* là tọa độ X, Y cho bản sao của phần phụ cụ thể.

## Khuyến nghị cho giải pháp

Thay đổi số bộ phận cho các bộ phận vi phạm theo yêu cầu. Điều này có thể đạt được bằng một trong những cách sau:

- Truy cập [hộp thoại Thuộc tính thành phần](#) cho bộ phận và thay đổi số bộ phận bằng cách sử dụng các nút mũi tên có sẵn trong vùng **Thuộc tính** của hộp thoại.
- Sử dụng lệnh **Số bộ phận tăng dần** - có sẵn từ menu **Chỉnh sửa** chính hoặc từ menu phụ **Tác vụ** bộ phận (khi nhấp chuột phải vào bộ phận). Ưu điểm của việc khởi chạy lệnh từ menu **Chỉnh sửa** là bạn vẫn ở chế độ tăng dần, cho phép bạn xoay vòng qua các số bộ phận cho đến khi đạt được số mong muốn.

## Các thành phần có ghim trùng lặp

Chế độ báo cáo mặc định:  **Warning**

## Tóm lược

Sự vi phạm này xảy ra khi hai hoặc nhiều chân trong một thành phần có cùng một bộ chỉ định.

## Thông báo

Nếu các lỗi và cảnh báo của trình biên dịch được bật để hiển thị trên giản đồ (được bật trên trang [Sơ đồ - Trình biên dịch](#) của [hộp thoại Tùy chọn](#)), một đối tượng vi phạm sẽ hiển thị một ô màu bên dưới nó. Thông báo cũng được hiển thị trong [bảng Tin nhắn](#) ở định dạng sau:

Duplicate pins in component Pin <Định danh1> and Pin <Định danh2 >

Ở đâu:

- *Số nhận dạng1* là số nhận dạng cho trường hợp đầu tiên của mã pin được sao chép, được đại diện bởi ghép nối bộ chỉ định chân máy chỉ định bộ phận
- *Mã định danh2* là mã định danh cho trường hợp thứ hai của mã pin được sao chép, được đại diện bởi ghép nối bộ chỉ định chân máy chỉ định một phần.

## Khuyến nghị cho giải pháp

Thay đổi tên chỉ định của (các) chốt vi phạm cho phù hợp để mỗi chốt có một nhiệm vụ duy nhất. Các chỉ định ghim có thể được chỉnh sửa từ trong Trình chỉnh sửa sơ đồ cho một thành phần đã được đặt. Nếu các chân linh kiện không bị khóa, bạn có thể chỉ cần nhấp đúp vào ghim và chỉnh sửa bộ chỉ định của nó trong [hộp thoại Thuộc tính chân có](#) liên quan. Nếu không, hãy chỉnh sửa (các) ghim bằng cách sử dụng [hộp thoại Trình chỉnh sửa ghim thành phần](#) - được truy cập từ [hộp thoại Thuộc tính thành phần](#) bằng cách nhấp vào nút **Chỉnh sửa ghim**.


Thông thường, sự trùng lặp sẽ nằm trong thành phần thư viện, trong trường hợp đó, bạn nên chỉnh sửa bộ chỉ định chân cho thành phần đó trong thư viện giản đồ nguồn và sau đó chuyển thay đổi cho các bản sao đã đặt của thành phần, bằng cách sử dụng **Cập nhật từ thư viện** (Trình chỉnh sửa lược đồ) hoặc các lệnh **Cập nhật sơ đồ** (Schematic Library Editor). Cả hai lệnh đều có sẵn từ menu **Công cụ** chính của các trình chỉnh sửa này.

## Lời khuyên

1. Chỉ một trường hợp lỗi sẽ được liệt kê trong bảng *Tin nhắn* cho từng thành phần riêng biệt. Một thành phần có thể có nhiều hơn hai chân với cùng một bộ chỉ định, nhưng khi điều tra lỗi bằng cách sử dụng vùng **Chi tiết** của bảng điều khiển, chỉ hai chân trùng lặp đầu tiên (theo thứ tự tên chân bảng chữ cái) sẽ được liệt kê.



## Nhân viên thiết kế phần trùng lặp

Chế độ báo cáo mặc định:  Error

### Tóm lược

Sự vi phạm này xảy ra khi ít nhất hai phần trên các trang sơ đồ nguồn trong một thiết kế có cùng một ký hiệu được liên kết với chúng.

### Thông báo

Nếu các lỗi và cảnh báo của trình biên dịch được bật để hiển thị trên giản đồ (được bật trên trang **Sơ đồ - Trình biên dịch** của **hộp thoại Tùy chọn**), một đối tượng vi phạm sẽ hiển thị một ô màu bên dưới nó. Thông báo cũng được hiển thị trong **bảng Tin nhắn** ở định dạng sau:

Duplicate	Component
Designators <i>&lt;PartDesignator&gt;</i> at <i>&lt;Location1&gt;</i> and <i>&lt;Location2&gt;</i>	

Ở đâu:

- *PartDesignator* là người chỉ định vi phạm.
- *Vị trí 1* là tọa độ X, Y đánh dấu tâm của phần chính đối với trường hợp đầu tiên của người chỉ định vi phạm.
- *Vị trí 2* là tọa độ X, Y đánh dấu tâm của phần chính cho trường hợp thứ hai của bộ chỉ định vi phạm.

### Khuyến nghị cho giải pháp

Chỉ định những người chỉ định khác nhau và duy nhất cho các bản sao theo yêu cầu. Việc này có thể được thực hiện theo cách thủ công, bằng cách chỉnh sửa từng bộ chỉ định vi phạm hoặc thông qua việc sử dụng **hộp thoại Chú thích** ( **Công cụ** » **Sơ đồ chú thích** ).

## Kết nối mã pin ẩn không khớp

Chế độ báo cáo mặc định:  Error

### Tóm lược

Sự vi phạm này xảy ra trong các thành phần nhiều phần, trong đó một chốt ẩn chung cho nhiều phần phụ được kết nối với các mạng khác nhau.

### Thông báo

Nếu các lỗi và cảnh báo của trình biên dịch được bật để hiển thị trên giản đồ (được bật trên trang [Sơ đồ - Trình biên dịch](#) của [hộp thoại Tùy chọn](#)), một đối tượng vi phạm sẽ hiển thị một ô màu bên dưới nó. Thông báo cũng được hiển thị trong [bảng Tin nhắn](#) ở định dạng sau:

Mismatched hidden pin connections in Pin <Bộ định danh> and Pin <Bộ định danh>

Ở đâu:

- Mã định danh được sử dụng để xác định mã pin được đề cập. Định danh xuất hiện ở định dạng PhysicalComponentName-PinDesignator (ví dụ: U2-7 ).

### Khuyến nghị cho giải pháp

Gán lại (các) chốt vi phạm cho đúng lưới. Chỉnh sửa (các) [ghim bằng hộp thoại Trình chỉnh sửa ghim thành phần](#) - được truy cập từ [hộp thoại Thuộc tính thành phần](#) bằng cách nhấp vào nút **Chỉnh sửa ghim** . Từ hộp thoại *Trình chỉnh sửa ghim thành phần* , truy cập tab **Logic** của [hộp thoại Thuộc tính ghim](#) cho chân vi phạm (lần lượt cho từng phần phụ) và kiểm tra / sửa đổi mục nhập rỗng trong trường **Kết nối với** .

## Lỗi mô hình thành phần

Chế độ báo cáo mặc định:  Warning

### Tóm lược

Vi phạm này xảy ra khi biên dịch Gói thư viện tích hợp ( \*.LibPkg) và không thể tìm thấy mô hình được liên kết cho một thành phần trong thư viện giản đồ nguồn.

## Thông báo

Nếu các lỗi và cảnh báo của trình biên dịch được bật để hiển thị trên giản đồ (được bật trên trang [Sơ đồ - Trình biên dịch](#) của [hộp thoại Tùy chọn](#)), một đối tượng vi phạm sẽ hiển thị một ô màu bên dưới nó. Khi mô hình được liên kết là mô hình dấu chân, mô hình mô phỏng hoặc mô hình PCB3D, thông báo một thông báo cũng được hiển thị trong [bảng điều khiển Tin nhắn](#) ở một trong các định dạng sau:

< *ComponentName* >: Không thể tìm thấy < *ModelName* > - khi phạm vi tìm kiếm mô hình là Bất kỳ .

< *ComponentName* >: Không thể tìm thấy < *ModelName* > trong < *LibraryName* > - khi phạm vi tìm kiếm mô hình là Tên thư viện .

< *ComponentName* >: Không thể tìm thấy < *ModelName* > trong < *Đường dẫn* > - khi phạm vi tìm kiếm mô hình là Đường dẫn Thư viện .

Ở đâu:

- *ComponentName* là tên của thành phần trong thư viện giản đồ nguồn.
- *ModelName* là tên của Thành phần 2D / 3D, PCB3D hoặc mô hình mô phỏng, được liên kết với thành phần nguồn và không thể tìm thấy thành phần này.
- *LibraryName* là tên của tệp thư viện được chỉ định để chứa mô hình được liên kết.
- *Đường dẫn* là đường dẫn tuyệt đối đến tệp thư viện được chỉ định để chứa mô hình được liên kết.

Khi mô hình được liên kết là mô hình toàn vẹn tín hiệu, thông báo được hiển thị trong bảng *Tin nhắn* theo định dạng sau:

*Đường dẫn* <*ComponentName*>: Could not find 'GenericEntity'in <>

Ở đâu:

- *ComponentName* là tên của thành phần trong thư viện giản đồ nguồn.
- *Đường dẫn* là đường dẫn tuyệt đối đến một thư viện / mô hình

## Khuyến nghị cho giải pháp

Khi sự cố là mô hình dấu chân, mô phỏng hoặc PCB3D được liên kết

Sự cố này thường do một trong các trường hợp sau gây ra:

- Tên mô hình được chỉ định không chính xác khi xác định liên kết mô hình.
- Mô hình được liên kết không nằm trong tệp thư viện được chỉ định.
- Tệp thư viện chứa mô hình được liên kết đã bị di chuyển hoặc xóa.

Cổng gọi đầu tiên để giải quyết vi phạm này là hộp thoại thiết lập liên quan cho loại mô hình bạn đang liên kết - [hộp thoại Mô hình PCB](#), hộp thoại *Mô hình Sim* hoặc hộp thoại *Thư viện Mô hình PCB3D*. Trong mỗi trường hợp, hãy kiểm tra và đảm bảo:

- Tên của mô hình mà bạn đang liên kết là chính xác và
- Tùy chọn đúng được sử dụng để xác định vị trí tệp thư viện / mô hình mà mô hình đó cư trú.

Định dạng của thông báo lỗi được hiển thị phụ thuộc vào phạm vi tìm kiếm mà bạn đã bật khi định vị mô hình và có thể giúp ích rất nhiều khi theo dõi sự cố với liên kết mô hình:


- Nếu không thể tìm thấy mô hình trong một đường dẫn đã chỉ định (phạm vi tìm kiếm Library Path:), hãy đảm bảo rằng tệp thư viện / mô hình bạn đã chỉ định thực sự tồn tại ở vị trí đó và cũng kiểm tra tệp thư viện / mô hình để xem liệu mô hình có tên được chỉ định có tồn tại hay không bên trong.
- Nếu không thể tìm thấy mô hình trong tệp thư viện / mô hình được chỉ định (phạm vi tìm kiếm Library Name:), hãy đảm bảo rằng tệp thư viện / mô hình đã được thêm vào danh sách Thư viện sẵn có (Thư viện dự án, Thư viện đã cài đặt, Đường dẫn tìm kiếm dự án). Đồng thời kiểm tra để đảm bảo rằng tệp thư viện / mô hình chứa mô hình có cùng tên được chỉ định trong liên kết.
- Nếu không thể tìm thấy mô hình một cách đơn giản (phạm vi tìm kiếm Any:), hãy đảm bảo rằng tệp thư viện / mô hình - chứa mô hình có cùng tên với tên được chỉ định trong liên kết - đã được thêm vào danh sách Thư viện sẵn có.

Khi vấn đề là một mô hình toàn vẹn tín hiệu được liên kết

Thường gây ra khi loại mô hình toàn vẹn tín hiệu (ví dụ: diode, IC) không được chỉ định, điều này được giải quyết trong hộp thoại thiết lập liên quan cho các mô hình toàn vẹn tín hiệu. Cách dễ nhất để truy cập điều này là thông qua [hộp thoại Thuộc tính thành phần](#), nơi có thể chỉ định cả kiểu mô hình toàn vẹn tín hiệu và mô hình chân. Kiểm tra để đảm bảo rằng bạn đang sử dụng (các) mô hình chính xác trong vùng **Mô hình** của hộp thoại *Thuộc tính Thành phần* và sửa đổi nếu cần. Các nút **Thêm** và **Chỉnh sửa** có thể được sử dụng để tạo một mô hình mới hoặc sửa đổi các mô hình người dùng hiện có mà không cần phải chỉnh sửa trực tiếp. Sau

đó, bạn có thể khởi chạy hộp thoại *Mô hình toàn vẹn tín hiệu* bằng cách nhấp đúp vào mục nhập cho Loại **toàn vẹn tín hiệu**, nơi nút **Cập nhật tệp Ibis** cho phép nhập các mô hình chân từ tệp mô hình Ibis.

## Cặp vi sai Kết nối mạng Đảo cực

Chế độ báo cáo mặc định:  Warning

### Tóm lược

Sự vi phạm này xuất hiện khi cực tính của lưới cặp vi sai không giống với cực của chân cặp vi sai mà nó được kết nối. Ví dụ, mạng dương được kết nối với chân âm hoặc ngược lại.

### Thông báo

Nếu các lỗi và cảnh báo của trình biên dịch được bật để hiển thị trên giản đồ (được bật trên trang [Sơ đồ - Trình biên dịch](#) của [hộp thoại Tùy chọn](#)), một đối tượng vi phạm sẽ hiển thị một ô màu bên dưới nó. Thông báo cũng được hiển thị trong [bảng Tin nhắn](#) ở định dạng sau:

Inversed connection on differential pair <PairName>: net <NetName> is connected to pin <PinDesignator> (<Polarity>)

Ở đâu:


- *PairName* là tên của cặp vi phân (ví dụ V\_TX1)
- *NetName* là tên của mạng vi phạm (ví dụ V\_TX1\_P)
- *PinDesignator* là bộ chỉ định của chân thiết bị mà mạng vi phạm được kết nối (ví dụ E6)
- *Polarity* là cực của pin (ví dụ negative).

### Khuyến nghị cho giải pháp

Sử dụng vùng **Chi tiết** của bảng *Tin nhắn* để nhanh chóng đi qua đầu dò tới chân cặp vi sai mà kết nối đã được thực hiện. Đảm bảo rằng nhãn lưới gắn với dây được kết nối có cùng cực tính với cực của chân cắm. Ví dụ: nếu tên pin là IO\_L02N\_0 và nhãn net V\_TX1\_P, hãy thay đổi nhãn net thành V\_TX1\_N.

Nếu một cặp thông báo vi phạm thuộc loại này xuất hiện - một cho mạng dương của cặp được gắn với chân âm của thiết bị và một cho mạng âm của cùng một cặp được gắn với chân dương - chỉ cần hoán đổi các nhãn lưới được đánh kèm xung quanh .

## Trùng lặp Nets

Chế độ báo cáo mặc định:  Error

### Tóm lược

Vi phạm này xảy ra khi hai lưới có cùng tên được phát hiện trong thiết kế.

### Thông báo

Nếu các lỗi và cảnh báo của trình biên dịch được bật để hiển thị trên giản đồ (được bật trên trang **Sơ đồ - Trình biên dịch** của **hộp thoại Tùy chọn**), một đối tượng vi phạm sẽ hiển thị một ô màu bên dưới nó. Thông báo cũng được hiển thị trong **bảng Tin nhắn** ở định dạng sau:

Duplicate Net Names <Đối tượng> <Tên mạng>

Ở đâu:

- *Đối tượng* là Wire hoặc Bus Slice hoặc Element[n] (đối với phần tử bus)
- *NetName* là tên của mạng bị ảnh hưởng.

### Khuyến nghị cho giải pháp

Khi thiết kế được biên dịch, các lưới được tạo theo cách sau:

- Trong mỗi trang tính, một mạng lưới duy nhất được tạo cho mỗi tập hợp các đối tượng điện được kết nối.
- Sau đó, trình biên dịch sẽ kiểm tra Phạm vi định danh rỗng, để xác định xem thiết kế là phẳng hay có phân cấp.
- Nếu thiết kế phẳng, lưới cấp tám được kết nối trực tiếp giữa các tám khác nhau.
- Nếu thiết kế có thứ bậc,
  - bằng cách sử dụng Cổng được gắn vào mạng cấp thấp hơn, kết nối được tạo từ Cổng đó lên đến Mục nhập Trang tính trong Biểu tượng Trang tính trên trang tính chính, sau đó



- kết nối được tạo giữa Mục nhập Trang tính và đối tượng điện được kết nối khác trên trang tính chính.

Để tìm hiểu thêm về thiết kế phẳng và phân cấp, hãy tham khảo bài viết [Tạo kết nối](#).

Vi phạm này có thể phát sinh khi, ví dụ:

- Thiết kế phẳng và các cổng đã được sử dụng trong thiết kế. Các **Net Định danh Phạm vi** tự động là (hoặc bằng tay) để thiết lập Flat (Only ports global). Vi phạm sẽ xảy ra nếu cùng một nhãn lưới đã được sử dụng giữa các trang tính. Điều này là do các nhãn rỗng được xác định trên mỗi trang tính, ngay cả khi có cùng tên, vẫn là cục bộ đối với các trang tính đó. Giải pháp trong trường hợp này là đảm bảo sử dụng nhãn mạng duy nhất giữa các trang tính.
- Tính liên tục thực giữa các tấm giản đồ phẳng bị phá vỡ do việc sử dụng vô tình các cổng hoặc các đầu nối ngoại vi có tên khác nhau. Sử dụng vùng **Chi tiết** của bảng *Tin nhắn* để nhanh chóng chuyển thăm dò đến tên mạng trùng lặp. Theo dõi mạng trở lại cổng đến / đi trên mỗi trang tính và đảm bảo tên của các cổng được đặt giống nhau.
- Bạn có thể có cùng một mạng được sử dụng trong hai nhánh khác nhau của thiết kế phân cấp - tức là các ký hiệu trang tính khác nhau được sử dụng để tham chiếu các trang tính con khác nhau, nhưng cùng một tên được sử dụng cho các mục nhập trang tính cấp cao nhất và các cổng con và hai biểu tượng là kết nối bằng dây hoặc bus vật lý. Tính liên tục rỗng giữa các nhánh này có thể bị phá vỡ do việc sử dụng vô tình các mục nhập trang tính có tên khác nhau hoặc bỏ sót một bus / dây vật lý kết nối các mục nhập trang tính. Đảm bảo rằng dây vật lý nối hai biểu tượng trang tính được đặt đúng vị trí và được nối dây chính xác và các mục nhập trang tính được đặt tên giống nhau.

## Tín hiệu không có trình điều khiển

Chế độ báo cáo mặc định:  Error

### Tóm lược

Sự vi phạm này xảy ra khi một chốt (với Loại I / O Input hoặc IO), hoặc mục nhập trang tính (với Loại I / O Input hoặc Bidirectional), không được kết nối với chân dẫn động hoặc một cổng trên trang sơ đồ.

## Thông báo

Nếu các lỗi và cảnh báo của trình biên dịch được bật để hiển thị trên giản đồ (được bật trên trang [Sơ đồ - Trình biên dịch](#) của [hộp thoại Tùy chọn](#)), một đối tượng vi phạm sẽ hiển thị một ô màu bên dưới nó. Thông báo cũng được hiển thị trong [bảng Tin nhắn](#) ở định dạng sau:

Signal <SignalName> has no driver

Ở đâu:

- *SignalName* là tên của tín hiệu bị ảnh hưởng.

## Khuyến nghị cho giải pháp

Lỗi này đôi khi có thể được gây ra bởi mục nhập pin / trang tính vi phạm không được kết nối với mạng dự định trong mạch. Nếu trường hợp này xảy ra, một lỗi bổ sung cho biết mục nhập trang tính / pin tín hiệu bị ảnh hưởng không được kết nối cũng sẽ xuất hiện trong [bảng Tin nhắn](#). Với vi phạm được chọn trong [bảng Tin nhắn](#), hãy sử dụng vùng **Chi tiết** của bảng để thăm dò chéo đến mục nhập trang tính / pin tín hiệu bị ảnh hưởng. Theo dõi hệ thống dây điện từ mục nhập pin / sheet để đảm bảo nó được kết nối theo yêu cầu và sửa đổi nếu không.

Nếu thông báo 'tín hiệu không có trình điều khiển' tự xuất hiện, hãy tìm chân đầu ra của thành phần mà mục nhập pin / trang tính đầu vào được kết nối trực tiếp. Sau khi xác định, bạn có thể kiểm tra / chỉnh sửa loại điện của chân ra từ [hộp thoại Trình chỉnh sửa chân thành phần](#). Truy cập hộp thoại này từ hộp thoại [Thuộc tính Thành phần được](#) liên kết cho phần bằng cách nhấp vào nút **Chỉnh sửa Ghim**.

## Lời khuyên

1. Loại vi phạm này sẽ chỉ được hiển thị khi biên dịch một dự án FPGA (\*.PrjFpg), một giản đồ nguồn duy nhất là một phần của dự án FPGA hoặc một tài liệu giản đồ miễn phí.

## Tín hiệu với nhiều trình điều khiển

Chế độ báo cáo mặc định:  Error

## Tóm lược

Vì phạm này xảy ra khi một chân cắm (với Loại I / O Input hoặc IO), hoặc mục nhập trang tính (với Loại I / O Input hoặc Bidirectional), được kết nối với nhiều chân dẫn động hoặc cổng trên trang sơ đồ.

## Thông báo

Nếu các lỗi và cảnh báo của trình biên dịch được bật để hiển thị trên giản đồ (được bật trên trang [Sơ đồ - Trình biên dịch](#) của [hộp thoại Tùy chọn](#)), một đối tượng vi phạm sẽ hiển thị một ô màu bên dưới nó. Thông báo cũng được hiển thị trong [bảng Tin nhắn](#) ở định dạng sau:

Signal <*SignalName*> has multiple drivers

Ở đâu:

- *SignalName* là tên của tín hiệu bị ảnh hưởng.

## Khuyến nghị cho giải pháp

Với vi phạm được chọn trong bảng *Tin nhắn*, hãy sử dụng vùng **Chi tiết** của bảng để thăm dò chéo đến các mục nhập bảng / chân tín hiệu bị ảnh hưởng. Theo dõi hệ thống dây điện từ mục nhập pin / sheet để đảm bảo nó được kết nối theo yêu cầu và sửa đổi nếu không.

## Dây không kết nối

Chế độ báo cáo mặc định:  Warning

## Tóm lược

Vì phạm này xảy ra khi một đối tượng dây được phát hiện là vật nổi - không được kết nối điện với bất kỳ phần nào của thiết kế mạch.

## Thông báo

Nếu các lỗi và cảnh báo của trình biên dịch được bật để hiển thị trên giản đồ (được bật trên trang [Sơ đồ - Trình biên dịch](#) của [hộp thoại Tùy chọn](#)), một đối tượng vi phạm sẽ hiển thị một ô màu bên dưới nó. Thông báo cũng được hiển thị trong [bảng Tin nhắn](#) ở định dạng sau:

Unconnected line <Location1> To <Location2>

Ở đâu:

- *Vị trí 1* là tọa độ X, Y cho điểm bắt đầu của dây nối.
- *Vị trí 2* là tọa độ X, Y đối với điểm cuối của dây nối.

Khuyến nghị cho giải pháp

Đảm bảo rằng đối tượng dây vi phạm được kết nối vào mạch theo yêu cầu. Nếu dây thừa, hãy xóa nó khỏi thiết kế. Nếu dây (hoặc bất kỳ đối tượng nào khác) nằm ngoài trang tính và không thể chọn trực tiếp, hãy sử dụng lệnh **Chỉnh sửa »Chọn» Vùng bên ngoài** để chọn nó, sau đó xóa nó.

## Hoàn thiện thiết kế bảng

### Finalizing the Board Design

#### Thêm điểm kiểm tra vào bảng

Kiểm tra là một phần quan trọng của quá trình sản xuất bo mạch. Sau khi chế tạo, bo mạch thường được kiểm tra để đảm bảo không bị đoản mạch hoặc hở mạch. Sau khi được cung cấp đầy đủ tất cả các thành phần của nó, một bo mạch thường được kiểm tra lại để đảm bảo tính toàn vẹn của tín hiệu và hoạt động của thiết bị. Để hỗ trợ trong quá trình này, nó về cơ bản là có lợi để có một chương trình của các điểm trên bảng - *Testpoints* - mà các thiết bị thử nghiệm có thể thăm dò và thực hiện các xét nghiệm cần thiết.

Vị trí của các điểm kiểm tra trên bo mạch sẽ phụ thuộc vào các yếu tố bao gồm phương thức kiểm tra (bao gồm kiểm tra chế tạo bo mạch trần, kiểm tra lắp ráp trong mạch, v.v.) và phương pháp kiểm tra (bao gồm kiểm tra tự động bằng cách sử dụng đầu dò bay và giường của -giá móng, kiểm tra tay, vv ..). Ví dụ: khi thực hiện thử nghiệm chế tạo bảng trần, bảng không được điền và vì vậy tất cả các miếng đệm và vias là 'trò chơi công bằng' khi nói đến việc chỉ định các điểm kiểm tra. Tuy nhiên, vị trí được sử dụng cho các điểm kiểm tra khi thực hiện kiểm tra lắp ráp trong mạch hầu như sẽ luôn khác nhau. Khi hội đồng quản trị được phổ biến, bạn có thể không

còn quyền truy cập vào các miếng đệm thành phần và chắc chắn không có quyền truy cập vào các miếng đệm và vias trong một thành phần!

Altium Designer cung cấp một hệ thống mạnh mẽ để xử lý các nhu cầu về điểm kiểm tra của bạn và nâng cao khả năng kiểm tra của bảng mạch của bạn, cho phép bạn chỉ định riêng các điểm kiểm tra để kiểm tra chế tạo bo mạch trần và / hoặc kiểm tra lắp ráp trong mạch theo yêu cầu. Các điểm kiểm tra có thể được chỉ định theo cách thủ công hoặc được sắp xếp hợp lý và tự động hơn bằng cách sử dụng [hộp thoại Trình quản lý điểm kiểm tra](#) .

### Xem xét chiến lược điểm kiểm tra của bạn

Trước khi chuyển sang việc chỉ định các miếng đệm và vias để sử dụng làm vị trí điểm kiểm tra, bạn nên lùi lại và suy nghĩ về những gì được yêu cầu. Sau đây chỉ là một số điểm cần xem xét khi xác định chiến lược kết hợp các điểm kiểm tra vào một thiết kế:

- Khi chọn mặt bên của bảng mà các điểm kiểm tra sẽ được cho phép, cần xem xét các quy trình kiểm tra và các thiết bị liên quan sẽ được sử dụng. Ví dụ, bảng chỉ được thăm dò từ mặt dưới, chỉ mặt trên hay cả hai mặt.
- Một điểm kiểm tra bên dưới một thành phần (ở cùng phía của bo mạch với thành phần) thường được sử dụng ở giai đoạn thử nghiệm bo mạch trần. Điều này cần được xem xét khi lập kế hoạch vị trí điểm kiểm tra để kiểm tra bảng mạch lắp ráp.
- Chỉ nên định vị tất cả các điểm kiểm tra trên một mặt của bảng, sử dụng vias để đạt được điều này nếu cần. Lý do cho điều này nằm ở thực tế là giá cố định kiểm tra hai đầu phải chịu chi phí lớn hơn so với cố định kiểm tra một đầu.
- Mẫu điểm kiểm tra của bạn càng không chuẩn và phức tạp, thì việc định cấu hình thiết bị cố định để kiểm tra bảng càng tốn kém. Triết lý tốt nhất là phát triển một phương pháp luận sẽ dẫn đến khả năng kiểm tra chung. Một chính sách điểm kiểm tra được mài dũa và thích ứng tốt sẽ cho phép các thiết kế khác nhau được kiểm tra một cách hiệu quả và tiết kiệm chi phí.
- Cần xem xét cẩn thận bất kỳ thông qua yêu cầu nào của thiết kế. Lều một điểm kiểm tra được chỉ định qua sẽ chặn hiệu quả sự tiếp xúc của đầu dò kiểm tra. Ngay cả khi dùng mặt nạ hàn lỏng có thể nhìn thấy quang ảnh (LPI) cắm vào một phần cũng sẽ gây ra các vấn đề về tiếp xúc, vì chất lỏng của mặt nạ sẽ có xu hướng chảy ra ngoài qua lỗ thông. Mặt nạ hàn có thể lột được thực sự có thể được sử dụng để cung cấp tạm thời cho các vias được chỉ định như vậy, nhưng điều này thường có thể tỏ ra khá tốn kém.

- Tham khảo ý kiến chặt chẽ với các nhà chế tạo và lắp ráp của bạn để đảm bảo rằng mọi thông số thiết kế cụ thể đều được tính đến khi chỉ định điểm kiểm tra. Chúng có thể bao gồm khoảng cách giữa các điểm kiểm tra và điểm kiểm tra và khoảng cách giữa các điểm kiểm tra và các thành phần có thể nghiêm ngặt hơn so với khoảng cách định tuyến và vị trí thông thường.

Các phần sau xem xét kỹ hơn về chế tạo và kiểm tra lắp ráp, bao gồm các ràng buộc về điểm kiểm tra cụ thể và các cân nhắc liên quan đến từng loại.

## Kiểm tra chế tạo

Kiểm tra chế tạo liên quan đến việc kiểm tra bảng mạch in ở giai đoạn trước khi lắp ráp sản xuất, trước khi bất kỳ thành phần nào được đặt lên bảng. Do đó, nó thường được gọi là thử nghiệm bo mạch trần. Phương pháp kiểm tra này thường có thể liên quan đến việc sử dụng thiết bị thăm dò bay để thực hiện kiểm tra từng mạng. Về cơ bản, hai đầu dò được lập trình để hoạt động đồng thời, một đầu dò để phát tín hiệu qua mạng và đầu dò kia để phát hiện sự hiện diện (hoặc vắng mặt) của tín hiệu đó.

Hai kịch bản thử nghiệm phổ biến cho thử nghiệm chế tạo bo mạch chủ là:

1. Kiểm tra để đảm bảo rằng đồng tiếp giáp đầu cuối cố ý mang tín hiệu sạch (dưới ngưỡng trở kháng tối đa cho phép) mà không có bất kỳ mạch hở nào.
2. Kiểm tra để đảm bảo rằng các lưới không bị chập vào nhau.

Ràng buộc về vị trí điểm kiểm tra

Các trường hợp ngoại lệ và các cân nhắc khác

## Kiểm tra lắp ráp

Kiểm tra lắp ráp liên quan đến việc kiểm tra bảng mạch in ở giai đoạn sản xuất sau lắp ráp, sau khi bảng đã được điền đầy đủ các thành phần được chỉ định trong Bill of Materials (BOM) liên quan của nó. Như vậy, nó thường được gọi là thử nghiệm trong mạch hoặc điện. Phương pháp kiểm tra này thường liên quan đến (nhưng không giới hạn ở!) Việc sử dụng bộ cố định móng tay được cấu hình thủ công. Tùy thuộc vào loại thử nghiệm đang được thực hiện bằng cách sử dụng thiết bị cố định, bo mạch có thể được cấp nguồn hoặc không.

Hai kịch bản thử nghiệm phổ biến để thử nghiệm lắp ráp trong mạch là:

1. Đồng thời thăm dò một điểm kiểm tra chuyên dụng cho mỗi mạng (hoặc mạng quan tâm). Điều này được thực hiện bằng cách phát tín hiệu qua từng đầu dò riêng lẻ và phát hiện kết quả thu tín hiệu bởi tất cả các đầu dò khác.



2. Kiểm tra các thành phần / bus cụ thể để đảm bảo rằng bản thân thiết bị đang hoạt động bình thường. Đây là những thử nghiệm chuyên biệt có thể được tiến hành bằng nhiều phương pháp thử nghiệm khác nhau. Trong trường hợp đơn giản nhất, có thể sử dụng bộ cố định lớp móng để kiểm tra các miếng đệm thành phần.

#### Ràng buộc về vị trí điểm kiểm tra

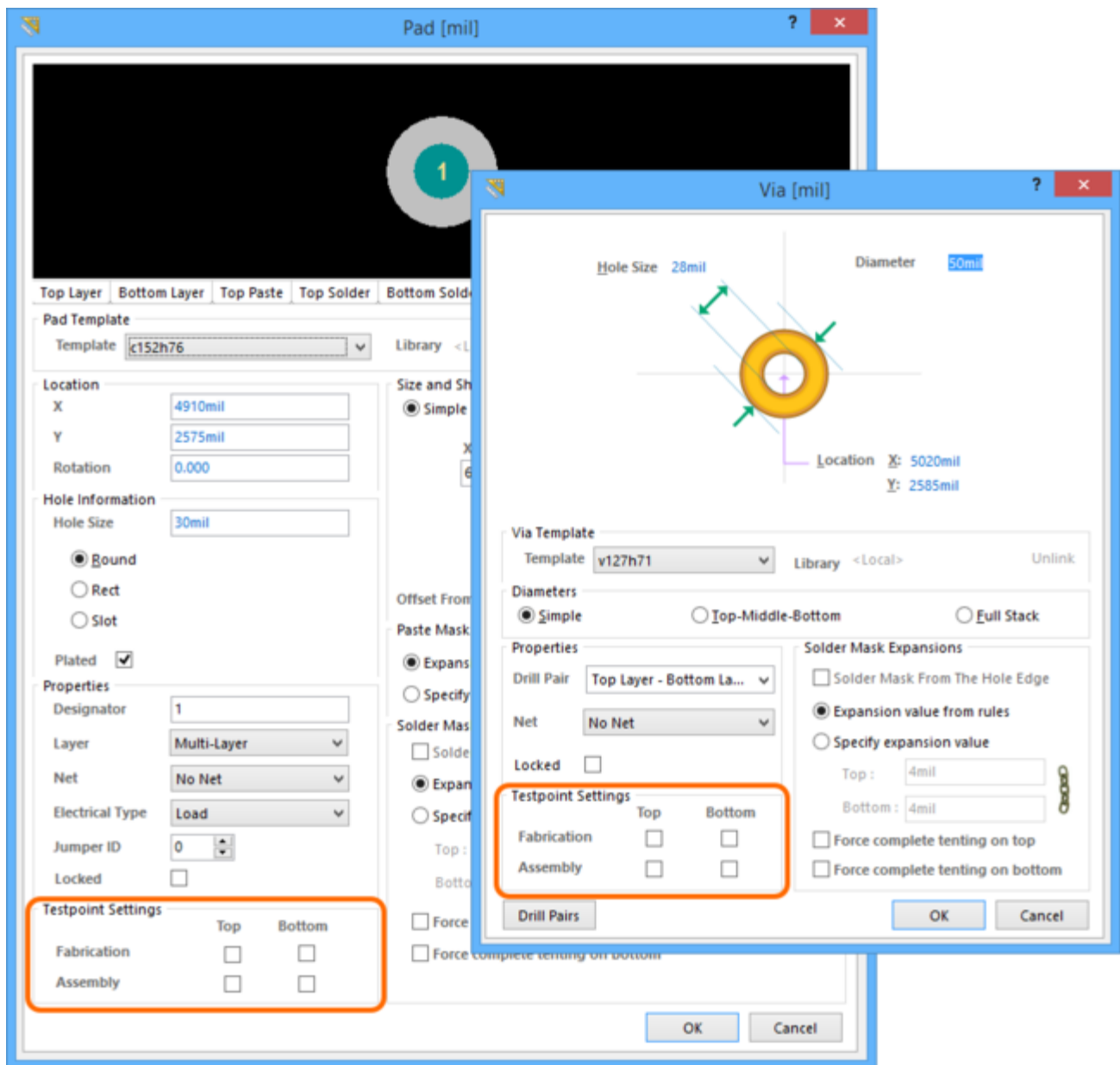
#### Các trường hợp ngoại lệ và các cân nhắc khác

#### Hỗ trợ Pad và Via Testpoint

Altium Designer cung cấp hỗ trợ đầy đủ cho các điểm kiểm tra, cho phép bạn chỉ định các miếng đệm (thông qua lỗ hoặc SMD) và / hoặc vias được sử dụng làm vị trí điểm kiểm tra trong quá trình chế tạo và / hoặc kiểm tra lắp ráp. Một Pad hay Via được đề cử để sử dụng như một testpoint bằng cách thiết lập thuộc tính testpoint có liên quan của nó, và trả lời hai câu hỏi quan trọng:

- Có nên sử dụng pad / via làm điểm kiểm tra chế tạo và / hoặc lắp ráp không?
- Nên sử dụng pad / via ở phía nào của bảng làm điểm kiểm tra - Top, Bottom, hay cả hai?

Các thuộc tính này có thể được tìm thấy trong hộp thoại Pad hoặc hộp thoại Qua , tương ứng.



Một pad hoặc qua được chỉ định để sử dụng làm điểm kiểm tra thông qua các tùy chọn liên quan trong hộp thoại thuộc tính liên quan của nó.

Để hợp lý hóa quy trình và giảm bớt nhu cầu thiết lập các thuộc tính điểm kiểm tra của miếng đệm / vias theo cách thủ công, Altium Designer cung cấp phương pháp tự động chỉ định điểm kiểm tra dựa trên các quy tắc thiết kế đã xác định và sử dụng Trình quản lý điểm kiểm tra. Việc gán tự động này chỉ đơn giản là đặt các thuộc tính điểm kiểm tra có liên quan cho pad / via trong từng trường hợp. Tất nhiên, bạn có tùy chọn để chỉ định thủ công các điểm kiểm tra - về bản chất, làm thủ công ở cấp độ pad / via riêng - cho phép bạn toàn quyền kiểm soát sơ đồ điểm kiểm tra được sử dụng cho bảng của bạn.

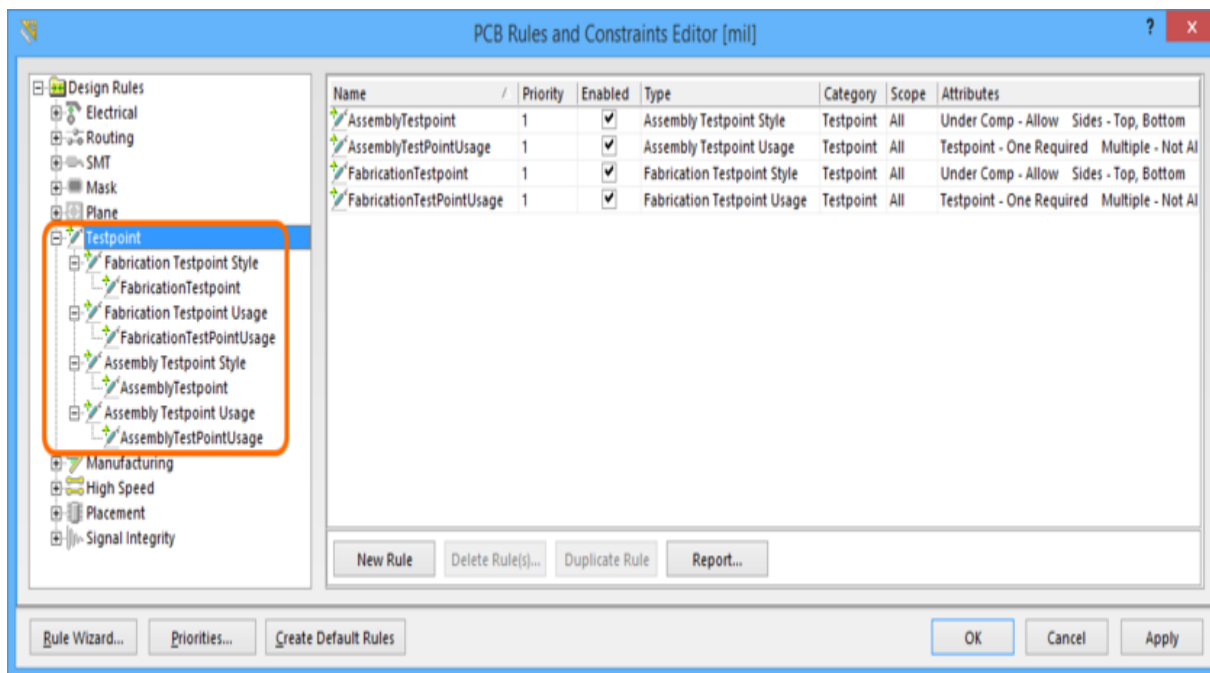
Khi mở các thiết kế PCB được tạo trong bản phát hành phần mềm trước bản phát hành Summer 09, mọi tùy chọn điểm kiểm tra được kích hoạt sẽ trở thành tùy chọn điểm kiểm tra **Chế tạo** được kích hoạt .

## Quy tắc thiết kế điểm kiểm tra

Các hạn chế của thiết kế PCB nên được suy nghĩ và thực hiện như một bộ quy tắc thiết kế được mài dũa kỹ lưỡng . Để thực hiện một sơ đồ điểm kiểm tra thành công - trong đó tất cả các điểm kiểm tra đã xác định có thể được truy cập và sử dụng như một phần của bảng mạch trần và / hoặc kiểm tra trong mạch - các ràng buộc điều chỉnh phải được đưa ra. Để đạt được điều này, các loại quy tắc sau có thể được xác định như một phần của hệ thống Quy tắc thiết kế của PCB Editor:

- Kiểu điểm kiểm tra chế tạo
- Sử dụng điểm kiểm tra chế tạo
- Kiểu điểm kiểm tra lắp ráp
- Sử dụng điểm kiểm tra lắp ráp

Truy cập và xác định các quy tắc của các loại này từ hộp thoại Trình chỉnh sửa Quy tắc và Ràng buộc PCB ( Thiết kế »Quy tắc ).



Xác định các quy tắc thiết kế riêng biệt để ràng buộc các miếng đệm và / hoặc vias trong thiết kế có thể được sử dụng làm điểm kiểm tra Chế tạo và điểm kiểm tra Lắp ráp, và mạng nào yêu cầu điểm kiểm tra.

Các quy tắc về Kiểu và Sử dụng của Testpoint giống hệt nhau, về mặt ràng buộc, giữa hai chế độ thử nghiệm (chế tạo và lắp ráp). Quy tắc kiểu về cơ bản chỉ định các ràng buộc mà pad hoặc thông qua phải đáp ứng để được xem xét lựa chọn làm vị trí điểm kiểm tra. Quy tắc sử dụng chỉ đơn giản chỉ định lưới nào yêu cầu điểm kiểm tra.

Constraints

Testpoint(s)

☒ Required

☒ Single Testpoint per Net
☐ Testpoint At Each Leaf Node
☐ Allow More Testpoints (Manually Assigned)

☐ Prohibited
☐ Don't Care

Constraints

Sizes

	Size	Hole Size
Min	40mil	0mil
Max	100mil	40mil
Preferred	60mil	32mil

Clearances

Min Inter-Testpoint Spacing 0mil
Component Body Clearance 0mil
Board Edge Clearance 0mil
Distance to Pad Hole Centers 0mil
Distance to Via Hole Centers 0mil

Grid

☐ No Grid
☒ Use Grid

Origin X 0mil Y 0mil
Grid Size 1mil
Tolerance 0.01mil
☒ Allow testpoint under component

Allowed Side

☒ Top
☒ Bottom

Rule Scope Helper

☐ SMD Pads
☐ Vias
☐ Thru-hole Pads

Set Scope

Các ràng buộc mặc định cho cả quy tắc Sử dụng điểm kiểm tra (trên cùng) và Kiểu điểm kiểm tra (dưới cùng).

Khi xác định quy tắc kiểu, phạm vi quy tắc có thể được tạo nhanh chóng để nhắm mục tiêu vùng đệm chính xác và / hoặc thông qua các đối tượng để xem xét điểm kiểm tra, sử dụng các tùy chọn có sẵn trong vùng **Trình trợ giúp phạm vi quy tắc**.

Các quy tắc thiết kế điểm kiểm tra được sử dụng bởi [Trình quản lý điểm kiểm tra](#), các quy trình Autorouter, Online và Batch DRC cũng như trong quá trình tạo đầu ra.

Chế tạo mặc định và lắp ráp Các quy tắc về kiểu điểm kiểm tra và cách sử dụng điểm kiểm tra tồn tại. Bạn nên kiểm tra xem các quy tắc này có đáp ứng các yêu cầu của hội đồng quản trị của bạn hay không và thực hiện các thay đổi khi cần thiết. Nếu yêu cầu nhiều quy tắc cùng loại, chỉ cần sử dụng khía cạnh ưu tiên của quy tắc thiết kế để đảm bảo rằng các quy tắc có phạm vi cụ thể hơn sẽ được áp dụng trước (ví dụ: khi chạy DRC).

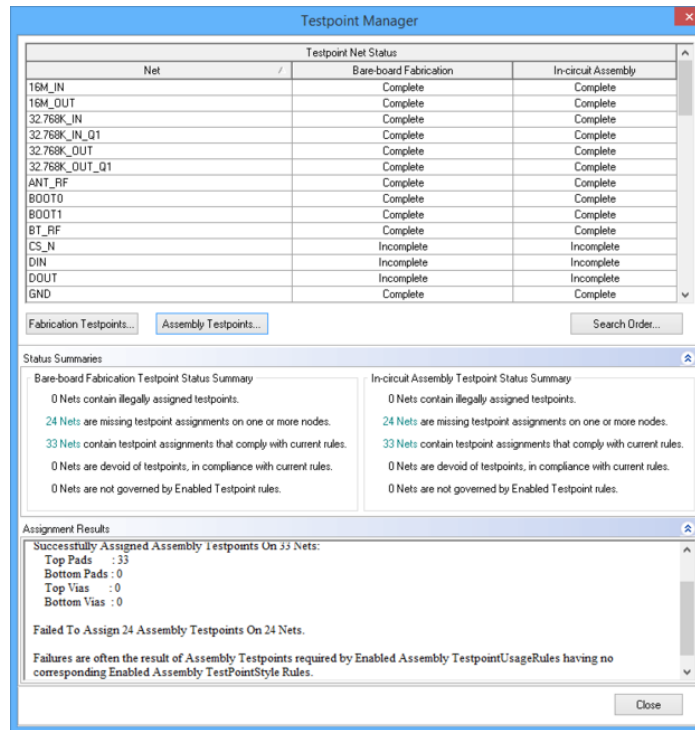
Để *Trình quản lý điểm* kiểm tra chỉ định điểm kiểm tra thành công, phải *luôn* có ít nhất một quy tắc Kiểu điểm kiểm tra tương ứng với phạm vi All.

Khi mở các thiết kế PCB hoặc nhập các quy tắc thiết kế được tạo trong bản phát hành phần mềm trước bản phát hành Summer 09, các quy tắc Kiểu Testpoint sẽ trở thành quy tắc Kiểu Testpoint Chế tạo và các quy tắc Sử dụng Điểm kiểm tra sẽ trở thành quy tắc Sử dụng Điểm kiểm tra Chế tạo.

## Quản lý các điểm kiểm tra

Chỉ định các điểm kiểm tra theo cách thủ công có thể là một công việc khó khăn và tốn nhiều công sức, và thậm chí còn hơn thế nữa trên một bảng phức tạp, chứa hàng trăm thành phần (và trên cả hai mặt của bảng). Để phục vụ cho việc quản lý hợp lý các điểm kiểm tra trong thiết kế bo mạch của bạn, Altium Designer trang bị cho Trình quản lý điểm kiểm tra PCB Editor . Các *testpoint quản lý* cho phép bạn testpoints assign - để thử nghiệm chế tạo trần-board và / hoặc trong mạch lắp ráp thử nghiệm - một cách tự động, dựa trên các quy tắc thiết kế được xác định. Việc gán tự động này chỉ đơn giản là đặt các thuộc tính điểm kiểm tra có liên quan cho pad / via trong từng trường hợp.

Truy cập được thực hiện bằng cách chọn lệnh **Công cụ »Trình quản lý điểm kiểm tra** , từ các menu chính.



Quản lý các yêu cầu về điểm kiểm tra chế tạo và lắp ráp của bạn một cách nhanh chóng và hiệu quả bằng *Trình quản lý điểm kiểm tra* .

Sử dụng hộp thoại để tự động chỉ định và xóa các điểm kiểm tra khỏi một vị trí thuận tiện. Danh sách tất cả các lưới trong thiết kế được cung cấp, với trạng thái để chỉ ra vùng phủ sóng của điểm kiểm tra - hoặc Complete hoặc Incomplete- cho cả chế tạo bo mạch trần và thử nghiệm lắp ráp trong mạch. Nhấp vào các nút Điểm kiểm tra **chế tạo** hoặc Điểm kiểm tra **lắp ráp** để truy cập các lệnh gán hoặc xóa loại điểm kiểm tra đó. Lưu ý rằng bạn có thể chọn thủ công các lưới ở vùng phía trên của hộp thoại để chỉ định / xóa các điểm kiểm tra một cách có chọn lọc.

Cho dù chỉ định các điểm kiểm tra cho một số hoặc tất cả các lưới trong một thiết kế, *Trình quản lý điểm kiểm tra* tuân theo phong cách và quy tắc sử dụng được xác định cho các điểm kiểm tra chế tạo và lắp ráp. Để xem thứ tự các đối tượng hợp lệ được tìm kiếm, hãy nhấp vào nút **Thứ tự tìm kiếm** .

Để thay đổi thứ tự, nhấp chuột phải vào một mục nhập trong danh sách thứ tự tìm kiếm và sử dụng các lệnh menu nổi hoặc **phím tắt Shift + Mũi tên Lên** và **Shift + Mũi tên Xuống** để di chuyển nó lên hoặc xuống trong danh sách.

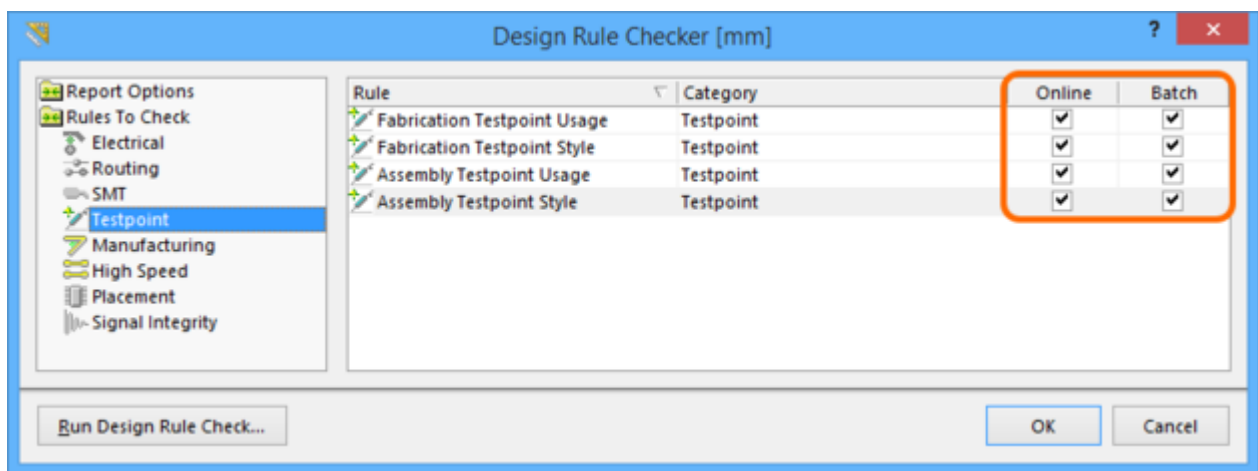
Khu vực **Tóm tắt trạng thái** cung cấp tóm tắt đầy đủ về trạng thái điểm kiểm tra cho bảng, cho cả hai chế độ kiểm tra. Khu vực này cập nhật với mỗi nhiệm vụ hoặc hành động giải phóng mặt bằng được thực hiện. Để biết thêm chi tiết cấp thấp hơn,



hãy sử dụng vùng **Kết quả Bài tập** . Điều này sẽ cung cấp chi tiết, ví dụ, về số lượng các miếng đệm / vias trên cùng / dưới cùng liên quan đến việc chuyển nhượng / thanh thải, cùng với dấu hiệu của các lỗi.

Kiểm tra tính hợp lệ của các điểm kiểm tra

Các quy tắc về điểm kiểm tra chế tạo và lắp ráp đã xác định được tuân theo như một phần của cơ sở Kiểm tra Quy tắc Thiết kế (DRC) của Trình biên tập PCB . Kiểm tra DRC trực tuyến và / hoặc hàng loạt có thể được kích hoạt cho các loại quy tắc khác nhau từ bên trong hộp thoại Bộ kiểm tra quy tắc thiết kế ( **Công cụ** »**Kiểm tra quy tắc thiết kế** ).



Bao gồm các quy tắc thiết kế điểm kiểm tra như một phần của quy trình DRC Trực tuyến hoặc Hàng loạt.

Các trường truy vấn liên quan đến điểm kiểm tra

Để hỗ trợ các điểm kiểm tra chế tạo và lắp ráp khác nhau có thể được chỉ định trong một thiết kế, các từ khóa sau đây có sẵn để sử dụng khi nhắm mục tiêu các điểm kiểm tra bằng cách sử dụng biểu thức truy vấn logic. Bạn có thể tìm thấy từng điều sau trong danh mục Trường - Hàm PCB khi sử dụng Trình trợ giúp truy vấn :

- IsAssyTestpoint - là một điểm kiểm tra lắp ráp.
- IsFabTestpoint - là một điểm kiểm tra chế tạo.
- IsTestpoint - là điểm kiểm tra phía trên hoặc phía dưới.
- Testpoint - nó là điểm kiểm tra phía trên hay phía dưới?
- TestpointAssy - nó có phải là một điểm kiểm tra lắp ráp không?

- TestpointAssyBottom - nó có phải là một điểm kiểm tra lắp ráp phía dưới cùng không?
- TestpointAssyTop - nó có phải là một điểm kiểm tra lắp ráp phía trên cùng không?
- TestpointBottom - nó có phải là điểm kiểm tra phía Dưới không?
- TestpointFab - nó có phải là một điểm kiểm tra chế tạo không?
- TestpointFabBottom - nó có phải là điểm kiểm tra chế tạo phía dưới không?
- TestpointFabTop - nó có phải là điểm kiểm tra chế tạo phía trên không?
- TestpointTop - nó có phải là điểm kiểm tra hàng đầu không?

Tạo biểu thức logic cho các truy vấn để nhắm mục tiêu và trả về các điểm kiểm tra trong thiết kế của bạn theo yêu cầu. Một số ví dụ về biểu thức truy vấn logic nhắm mục tiêu đến điểm kiểm tra chế tạo và lắp ráp là:

1. (ObjectKind = 'Pad') And (TestpointAssy = 'True')  
Nhắm mục tiêu tất cả các miếng đệm là điểm kiểm tra lắp ráp.
2. IsPad And (TestpointAssyTop = 'True')  
Nhắm mục tiêu tất cả các miếng đệm là điểm kiểm tra lắp ráp phía trên cùng.
3. (ObjectKind = 'Pad') And (TestpointFab = 'True')  
Nhắm mục tiêu tất cả các miếng đệm là điểm kiểm tra chế tạo.
4. ((IsPad Or IsVia)) And (TestpointAssy = 'True')  
Nhắm mục tiêu tất cả các miếng đệm và vias là điểm kiểm tra lắp ráp.
5. ((IsPad Or IsVia)) And IsFabTestpoint  
Nhắm mục tiêu tất cả các miếng đệm và vias là điểm thử nghiệm chế tạo.

Tạo báo cáo điểm kiểm tra

Altium Designer bao gồm các trình tạo báo cáo chuyên dụng để tạo các báo cáo điểm kiểm tra chế tạo và lắp ráp tương ứng. Hai trình tạo báo cáo này sử dụng các thuộc tính điểm kiểm tra liên quan cho pad và thông qua các nguyên tắc trong một thiết kế.

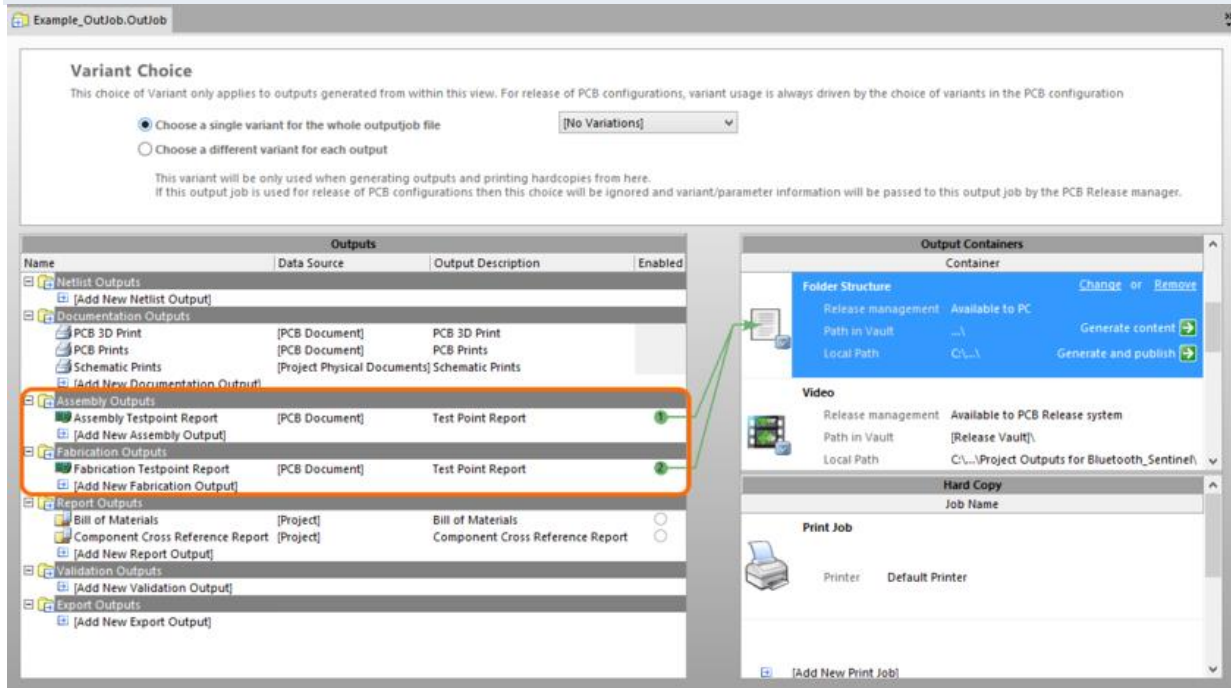
Báo cáo điểm kiểm tra chế tạo sẽ chỉ sử dụng pad và thông qua cài đặt điểm kiểm tra **Chế tạo** . Một báo cáo lắp ráp testpoint sẽ chỉ sử dụng **hội** thiết lập testpoint.

Báo cáo có thể được tạo theo hai cách:

- Trực tiếp từ bên trong tài liệu PCB, sử dụng **tệp »Kết quả chế tạo» Báo cáo điểm kiểm tra** và **tệp »Kết quả lắp ráp» Lệnh Báo cáo điểm kiểm tra** .

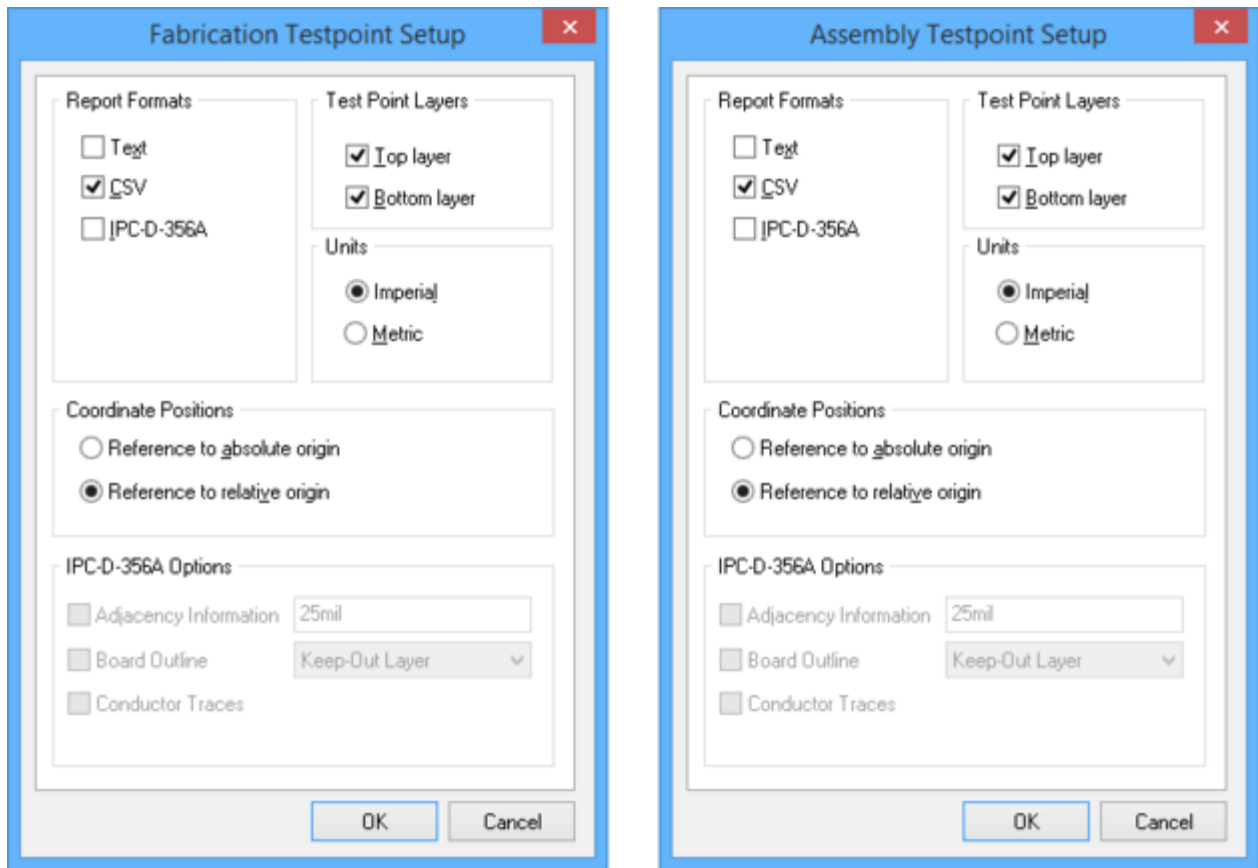
- Bằng cách sử dụng các đầu ra được định cấu hình thích hợp được xác định trong tệp Cấu hình Công việc Đầu ra ( \*.OutJob).

Để biết thêm thông tin về tệp Cấu hình công việc đầu ra, hãy xem [Chuẩn bị nhiều đầu ra trong một OutputJob](#) .



Bao gồm và định cấu hình kết quả đầu ra báo cáo điểm kiểm tra chế tạo và lắp ráp trong tệp Cấu hình công việc đầu ra độc lập và linh hoạt. Sau khi xác định, hãy nhận báo cáo của bạn chỉ bằng một nút bấm!

Bất kể phương pháp được sử dụng để tạo báo cáo là gì, bản thân các tùy chọn báo cáo cũng được xác định trong cùng một hộp thoại. Đối với báo cáo điểm kiểm tra chế tạo, điều này liên quan đến [hộp thoại Thiết lập](#) điểm kiểm tra [chế tạo](#) . Đối với báo cáo điểm kiểm tra lắp ráp, [hộp thoại Thiết lập](#) điểm kiểm tra lắp ráp được sử dụng. Các tùy chọn báo cáo giống hệt nhau giữa các hộp thoại này.



Xác định các tùy chọn báo cáo, bao gồm cả định dạng tệp đã tạo, sử dụng hộp thoại thiết lập báo cáo có liên quan.

Các cài đặt được xác định trong hộp thoại *Thiết lập* điểm kiểm tra khi tạo đầu ra trực tiếp từ PCB là khác biệt và tách biệt với các cài đặt được xác định cho cùng loại đầu ra trong tệp Cấu hình công việc đầu ra. Trong trường hợp trước, cài đặt được lưu trữ trong tệp dự án, trong khi đối với cài đặt sau, chúng được lưu trữ trong tệp Công việc đầu ra.

Các tùy chọn trong vùng **Vị trí tọa độ** của hộp thoại cho phép xuất các vị trí điểm kiểm tra ở tất cả các định dạng báo cáo so với điểm gốc bảng tuyệt đối hoặc điểm gốc bảng hiện tại.

Tất cả các loại báo cáo điểm kiểm tra đều hỗ trợ mảng bảng nhúng. Nhiều tệp danh sách mạng IPC-D-356A được tạo khi xuất từ tài liệu PCB có chứa nhiều mảng bảng nhúng.

### Vai trò của Tệp tin mạng IPC-D-356A

Một trong ba loại định dạng đầu ra báo cáo điểm kiểm tra là tệp danh sách mạng IPC-D-356A. Tệp này thường được sử dụng để nhắm mục tiêu chế độ thử nghiệm

chế tạo bo mạch chủ. Tập IPC được xử lý sau thành các lệnh điều khiển thiết bị thử nghiệm thăm dò bay.

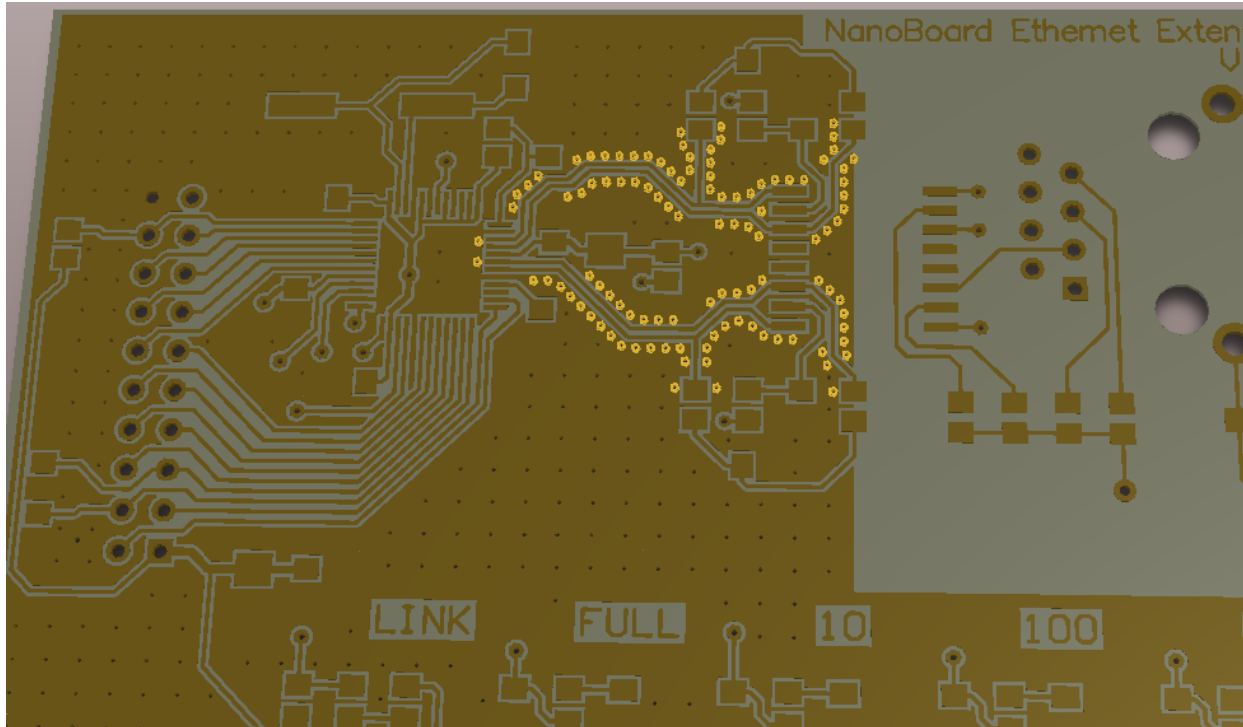
Bất kể tính năng nào được xác định cụ thể là vị trí điểm kiểm tra trong tập IPC-D-356A, các nhà chế tạo bảng nói chung có thể sử dụng dữ liệu tập để đạt được bất kỳ loại kiểm tra nào họ muốn, mặc dù tùy thuộc vào hoàn cảnh và nội dung của tập, nó có thể yêu cầu một số can thiệp thủ công để làm như vậy.

## **Qua khâu và qua che chắn**

Via khâu là một kỹ thuật được sử dụng để kết nối các vùng đồng lớn hơn với nhau trên các lớp khác nhau, nhằm tạo ra một kết nối dọc mạnh mẽ thông qua cấu trúc bảng, giúp duy trì trở kháng thấp và vòng quay trở lại ngắn. Qua đường khâu cũng có thể được sử dụng để buộc các vùng đồng có thể bị cô lập khỏi lưới của chúng vào lưới đó.

Trong các thiết kế RF, để giúp giảm nhiễu xuyên âm và nhiễu điện từ trong một tuyến đường đang mang tín hiệu RF, một tấm chắn thông qua có thể được thêm vào. Một tấm chắn xuyên qua, còn được gọi là hàng rào xuyên qua hoặc hàng rào cọc rào, được tạo ra bằng cách đặt một hoặc nhiều hàng vias dọc theo đường dẫn của tín hiệu. Trong Altium Designer, điều này được gọi là che chắn.

Altium Designer hỗ trợ cả thông qua khâu và thông qua che chắn. Trong hình ảnh dưới đây, các vi che chắn được đánh dấu, hãy di chuyển con trỏ qua hình ảnh để đánh dấu các vi khâu.



Sử dụng lệnh Via Stitching và Via Shields để khâu đồng trên các lớp khác nhau và để thêm một bức tường che chắn bên cạnh đường dẫn tuyến (di chuột để thay đổi).

### Thêm Vias khâu

Via khâu được thực hiện như một quá trình hậu kỳ, lấp đầy các khu vực đồng trống bằng vias khâu. Để có thể thực hiện được qua đường khâu, phải có các vùng đồng chồng lên nhau được gắn vào lưới cụ thể, trên các lớp khác nhau. Các vùng được hỗ trợ của đồng bao gồm Fills, Polygons và Power Planes.

Chọn công cụ **»Qua đường khâu / che chắn» Thêm lệnh khâu vào mạng** từ menu để thêm vias đường khâu vào một mạng cụ thể. Các *Add stitching để Net* thoại sẽ mở ra, nơi **stitching Các thông số** và **Via Phong cách** được quy định. Sử dụng mạng đã chọn, thuật toán ghép xác định tất cả các Hình điện, Đa giác và Điện nguồn được gắn vào mạng đó và cố gắng kết nối chúng qua bảng, sử dụng mẫu thông qua và đường ghép được chỉ định.

Thuật toán ghép nối xử lý Đa giác, Điện và Mặt phẳng theo cách sau:

1. Đa giác và Điện trên cùng một mạng được khâu ở bất cứ nơi nào chúng chồng lên nhau trên các lớp khác nhau. Nếu có Đa giác hoặc Hình lấp đầy trên các lưới khác chồng lên nhau trong khu vực đó (trên một lớp khác), thì khâu không được áp dụng



trong khu vực đó. Các vùng Mặt phẳng chồng chéo trên các lưới khác được chuyển qua.

2. Các vùng Mặt phẳng chồng chéo trên mạng đích luôn được ghép nối, bất kể sự hiện diện của các vùng Mặt phẳng (trên lớp khác) được gắn với các lưới khác. Quy tắc 1 ở trên áp dụng nếu có Đa giác hoặc Vùng điền chồng lên nhau trong cùng một vùng.

Định cấu hình các thông số khâu

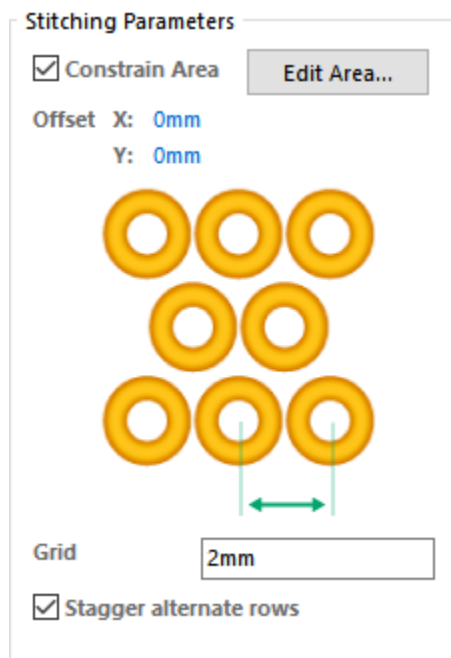
Lưu ý về cài đặt hộp thoại *Add Stitching to Net* :

- Chọn **Mạng** sẽ được sử dụng để ghép trước vì điều này ảnh hưởng đến hành vi của các tùy chọn khác, chẳng hạn như nhấp vào nút **Tải giá trị từ Định tuyến qua Quy tắc kiểu** . Các **Net** thả xuống là phía dưới cùng của hộp thoại, ở giữa.
- Các **Lưới** là khoảng cách giữa các trung tâm của vias khâu liền kề, và áp dụng theo các hướng X và Y. Vias khâu sẽ không được đặt là vi phạm các quy tắc thiết kế hiện hành, nếu một khả năng thông qua trang web sẽ dẫn đến vi phạm, trang web đó sẽ bị bỏ qua.
- Nếu tùy chọn **Hàng thay thế của Găng tay** được bật, các hàng thay thế của vias đường khâu sẽ được bù đắp bằng một nửa giá trị **Lưới** .
- Các tùy chọn **Khe hở Mạng Giống nhau** kiểm soát khe hở giữa các vi đường may và vias và các miếng đệm trên cùng một mạng lưới. Có 2 cách để kiểm soát khe hở giữa các đối tượng trong cùng một mạng lưới, hoặc sử dụng quy tắc thiết kế Khe hở áp dụng hoặc Sử dụng Khoảng trống **qua / đệm mặc định** được chỉ định trong hộp thoại. Nếu một quy tắc áp dụng tồn tại, thì cài đặt chặt chẽ hơn của 2 cài đặt này sẽ được sử dụng. Sử dụng nút **Tạo quy tắc giải phóng mặt bằng mới** để thêm quy tắc thiết kế **Khe hở** mới vào hộp thoại quy tắc, dựa trên cài đặt bạn đã nhập trong trường **Khoảng thông thủy mặc định** .
- Đường khâu **Qua Kiểu** có thể được định cấu hình theo cách thủ công hoặc có thể được chọn từ những đường có sẵn trong menu thả xuống **Mẫu** hoặc có thể được nhập từ quy tắc thiết kế **Định tuyến Qua Kiểu hiện hành** bằng cách nhấp vào nút **Tải giá trị từ nút Quy tắc Định tuyến Qua Kiểu** . Nhấp vào nút này sẽ tải cài đặt Quy tắc **ưa thích** .

Mỗi bộ vias khâu được thêm vào một liên hợp. Tập hợp có thể được xóa bằng cách chạy lệnh **Công cụ »Qua khâu» Xóa qua nhóm khâu** , sau đó nhấp vào bất kỳ thông qua nào trong nhóm.

Ràng buộc khâu qua một khu vực

Cũng như bao phủ toàn bộ bảng, vias khâu có thể được giới hạn trong một khu vực do người dùng xác định. Khi đường khâu nằm trong vùng do người dùng xác định, vùng vias đó có thể được di chuyển tương tác và thay đổi kích thước, nếu cần.



Bật tùy chọn Khu vực cố định để hạn chế vias đường khâu đối với khu vực do người dùng xác định.

Để hạn chế thông qua đường khâu vào một khu vực cụ thể, hãy bật hộp kiểm **Khu vực cố định** trong hộp thoại *Thêm đường khâu vào mạng*, như được hiển thị ở trên. Ngay sau khi bạn bật tùy chọn này, hộp thoại sẽ đóng lại và con trỏ sẽ chuyển thành hình chữ thập, sẵn sàng xác định khu vực - lưu ý thanh Trạng thái, nó sẽ nhắc **Chọn điểm đầu tiên của khu vực**.

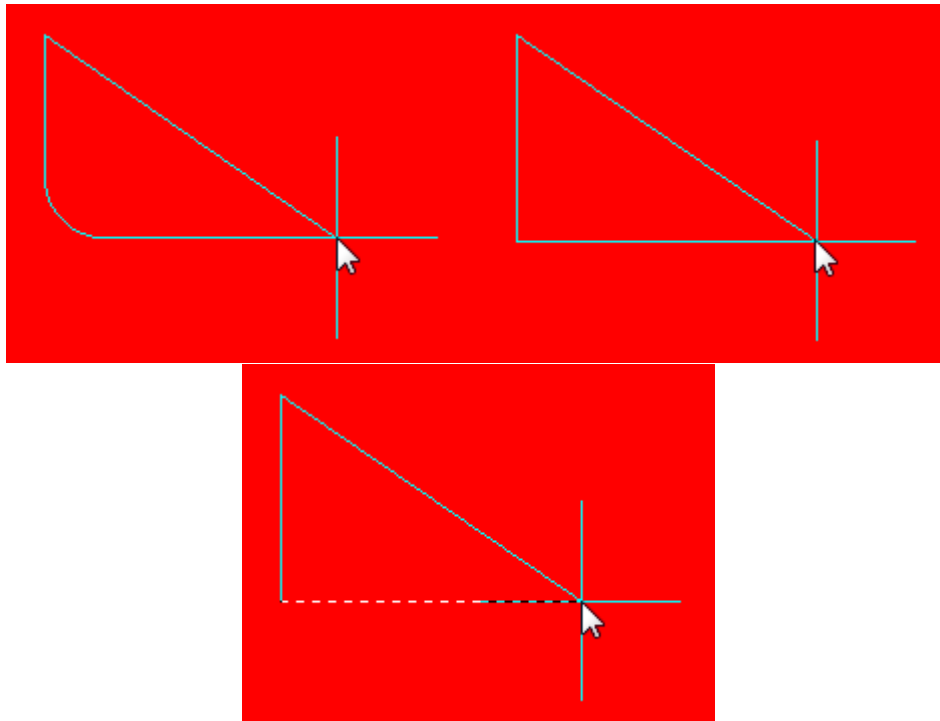
Quá trình xác định vùng thông qua đường ghép cũng giống như xác định vùng đặc hoặc đa giác, bạn:

- bấm để xác định một loạt các đỉnh (góc),
- nhấp chuột phải để thoát khỏi chế độ vị trí và tự động đóng và hoàn thành khu vực.

Trong quá trình đặt, có một số chế độ góc khác nhau có sẵn:

- nhấn **Shift + Phím** cách để chuyển qua các chế độ góc (bạn có thể thấy chế độ góc vuông là thích hợp nhất),
- nhấn **phím** cách để chuyển đổi hướng góc,

- nhấn phím tắt **1** để chuyển đổi giữa việc đặt 1 hoặc 2 cạnh với mỗi lần nhấp.




Nhấn **Shift** + **Phím** cách để xoay chế độ góc, **Phím** cách để chuyển đổi hướng góc, **1** để chuyển đổi giữa đặt 1 cạnh hoặc 2 cạnh với mỗi lần nhấp.



Sau khi khu vực được xác định, bạn sẽ trở lại hộp thoại *Add Stitching to Net* , sẵn sàng để định cấu hình cài đặt. Nhấp **OK** khi hoàn tất, Altium Designer sau đó sẽ phân tích khu vực, xác định tiềm năng thông qua các trang web và đặt vias.

Sửa đổi Khu vực Khâu do Người dùng Xác định

Tập hợp các vias trong mỗi khu vực duy nhất của qua khâu được nhóm lại thành một Liên minh (một tập hợp các đối tượng mà trình soạn thảo PCB nhận ra là một nhóm duy nhất). Toàn bộ liên minh có thể được di chuyển và khu vực cũng có thể được thay đổi kích thước.

Để sửa đổi thông qua đường khâu được giới hạn trong một khu vực:

- Kéo một cửa sổ lựa chọn xung quanh bất kỳ thông qua trong vùng khâu. Ranh giới của vùng đường may sẽ được hiển thị, như trong hình ảnh động bên dưới.
- Để di chuyển liên kết đường may - định vị con trỏ trong vùng, khi di chuyển con trỏ  xuất hiện nhấp và giữ sau đó di chuyển khu vực đến vị trí mới.

- Để thay đổi kích thước liên kết đường may bằng cách di chuyển một cạnh - đặt con trỏ lên trên cạnh, khi con trỏ di chuyển cạnh  xuất hiện nhấp và giữ sau đó trượt cạnh đến vị trí mới.
- Để thay đổi kích thước liên kết đường may bằng cách di chuyển một đỉnh - đặt con trỏ qua cạnh, khi con trỏ di chuyển đỉnh  xuất hiện nhấp và giữ sau đó trượt đỉnh đến vị trí mới.
- Sau khi bạn nhả nút chuột, bạn sẽ được nhắc **Tạo lại thông qua đường khâu?** , nhấp vào **Có** để cập nhật qua đường khâu ở vị trí / hình dạng mới.

Kéo cửa sổ lựa chọn để chọn vùng đường may, sau đó di chuyển hoặc thay đổi kích thước bằng cách định vị chuột để có con trỏ chính xác.

### Thêm Vias che chắn vào mạng

Để đặt một tấm chắn qua một mạng được định tuyến, hãy chọn lệnh **Công cụ » Qua Khâu / Che chắn» Thêm Bảo vệ vào Mạng** từ các menu. Các *Add Tay Che để Net* thoại sẽ xuất hiện, cấu hình **Tay Che thông số** và **Via Phong cách** theo yêu cầu. Vias sẽ được đặt dọc theo cả hai bên của lưới đã chọn, bất cứ nơi nào có thể đặt qua tuân thủ các quy tắc thiết kế hiện hành.

### Định cấu hình các thông số che chắn thông qua

Lưu ý về hộp thoại *Thêm Che chắn vào Mạng* và sử dụng các hình ảnh che chắn:

- Chọn **Mạng** cần được che chắn trước tiên vì điều này ảnh hưởng đến hành vi của các tùy chọn khác, chẳng hạn như nhấp vào nút **Tải giá trị từ Định tuyến qua Quy tắc kiểu** .
- Nếu bạn không muốn che chắn toàn bộ mạng, trước tiên hãy chọn các đoạn đường theo yêu cầu, chạy lệnh **Thêm che chắn vào lưới** , sau đó bật tùy chọn **Đối tượng đã chọn**.
- Để che chắn một cặp vi sai, hãy thêm tấm chắn cho mỗi lưới trong cặp.
- Sử dụng tùy chọn **Thêm đồng che chắn** để thêm một đa giác bao quanh các vi che chắn, bao gồm tùy chọn **Thêm phần cắt bỏ** để cắt đa giác trở lại chỉ bao quanh các vi. Đọc chủ đề [Bao gồm Đồng che chắn với Khâu](#) dưới đây để tìm hiểu thêm về các tùy chọn này.

- Che chắn **Qua Kiểu** có thể được định cấu hình theo cách thủ công hoặc có thể được chọn từ những thứ có sẵn trong menu thả xuống **Mẫu** hoặc có thể được nhập từ quy tắc thiết kế [Định tuyến Qua Kiểu hiện hành](#) bằng cách nhấp vào **Tải giá trị từ nút Quy tắc Định tuyến Qua Kiểu** . Nhấp vào nút này sẽ tải cài đặt Quy tắc **u thích** .
- Kích thước và vị trí của các vi che chắn không phải là một khoa học chính xác, nhưng có những hướng dẫn đã được thiết lập dựa trên thử nghiệm thực nghiệm.
- Như đã lưu ý trong diễn đàn thảo luận <sup>(5)</sup> được tham chiếu bên dưới , đối với PCB có ăng-ten trên bo mạch, "khoảng cách giữa các vias tối đa phải bằng 1/4 bước sóng cộng hưởng của bạn."
- Cuộc thảo luận trên diễn đàn cũng đề cập đến một lưu ý kỹ thuật <sup>(6)</sup> , trong đó nói rằng "nguyên tắc chung là xác định vị trí các vi đường may không cách xa nhau hơn  $\lambda / 10$  và tốt nhất là thường xuyên bằng  $\lambda / 20$ ."

MK Armstrong, trong bài báo có tiêu đề [Kỹ thuật thiết kế PCB để tuân thủ EMC chi phí thấp nhất Phần 1](#) <sup>(7)</sup> đã khuyến nghị:

đường khâu không quá  $\lambda / 20$ , với độ dài sơ khai không dài hơn mức này. Đây thực sự là một quy tắc rất tốt để ghép bất kỳ phần lắp đặt nào vào mặt đất trên một thiết kế nhiều lớp.  $\lambda$  là bước sóng của tần số có ý nghĩa cao nhất cho thiết kế (giả sử tần số 1 GHz nếu không biết) trong đó:

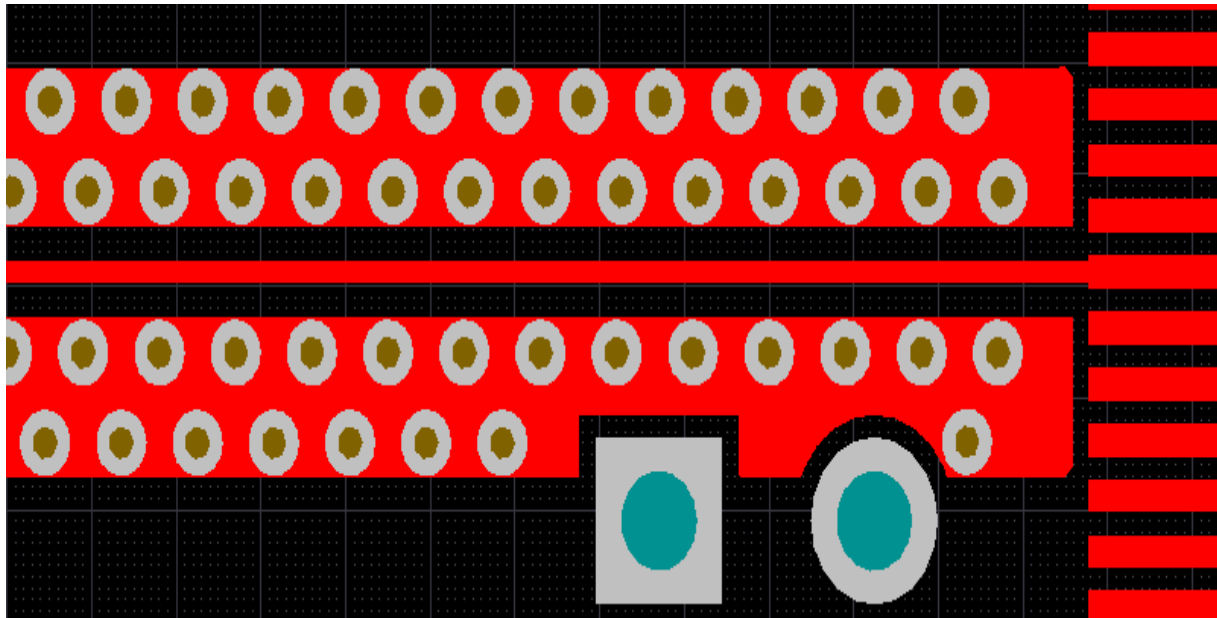
$$f = C / \lambda$$

NB: C (tốc độ ánh sáng) sẽ là khoảng. 60% vận tốc trong không gian tự do đối với bức xạ EM lan truyền qua PCB điện môi FR4.

Bao gồm đồng che chắn với khâu

Ngoài việc thêm các vi che chắn dọc theo mỗi bên của định tuyến, bạn cũng có thể bao gồm đồng che chắn, như thể hiện trong hình ảnh bên dưới. Để thực hiện việc này, hãy bật tùy chọn **Thêm đồng che chắn** . Đồng này được tạo ra dưới dạng một đa giác, vì vậy nó tuân theo các quy tắc thiết kế [Khe hở](#) và [Đa giác Kết nối Kiểu hiện hành](#) .

Các **đồng Add che chắn** lựa chọn sẽ thêm đa giác mà có chứa vias che chắn. Cạnh đa giác cách xa lưới được che chắn sẽ chạm vào cạnh của khung. Cạnh đa giác tiếp giáp với lưới được che chắn sẽ được thiết lập trở lại lưới theo quy tắc thiết kế [Khe hở](#) áp dụng . Nếu tùy chọn **Thêm khoảng cắt bỏ** cũng được bật, thay vào đó, đa giác sẽ được đặt trở lại khỏi lưới được che chắn bằng cài đặt **Khoảng cách** trong hộp thoại *Thêm che chắn vào lưới* . Di con trỏ qua hình ảnh bên dưới để xem sự khác biệt.



Che chắn hình ảnh xung quanh lưới với tùy chọn khe hở được bật, di chuyển con trỏ qua hình ảnh để tắt tùy chọn khe hở.

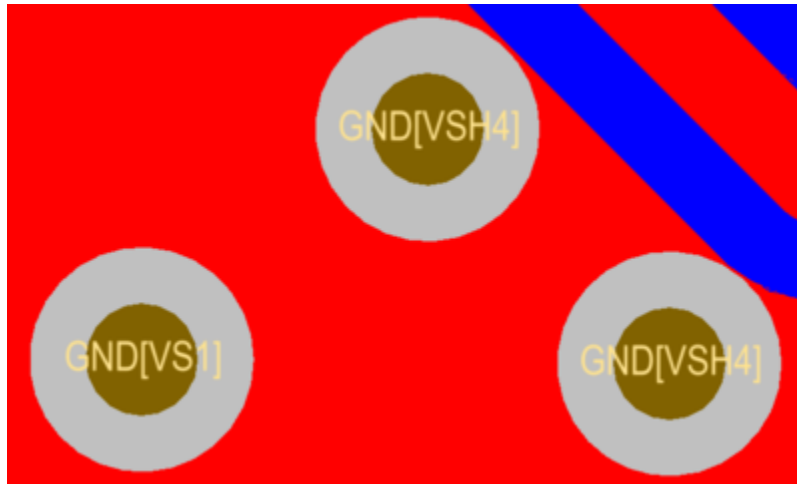
Có thể kiểm soát phong cách của kết nối từ vi che chắn đến đồng che chắn (đa giác) bằng cách đưa vào quy tắc thiết kế Kiểu kết nối đa giác , nhắm mục tiêu vào vi che chắn và đa giác. Sử dụng từ khóa truy vấn InViaShielding để phạm vi quy tắc thiết kế này, để nó nhắm mục tiêu cụ thể các vias và polygon đó.

Xác định Vias là một phần của một mảng ghép hoặc che chắn

Mỗi thông qua trong một mảng ghép hoặc che chắn được xác định bằng cách thêm một chuỗi vào tên mạng, chẳng hạn như [VS1], như thể hiện trong hình ảnh bên dưới, trong đó:

- **VS** - **V** ia **S** titching, và giá trị số xác định điều này thông qua việc thuộc về cùng một liên kết khâu như các vias khác có cùng số nhận dạng.
- **VSH** - **V** ia **SH** che chắn, và giá trị số xác định điều này thông qua việc thuộc về cùng một kết hợp che chắn như các vias khác có cùng số nhận dạng.





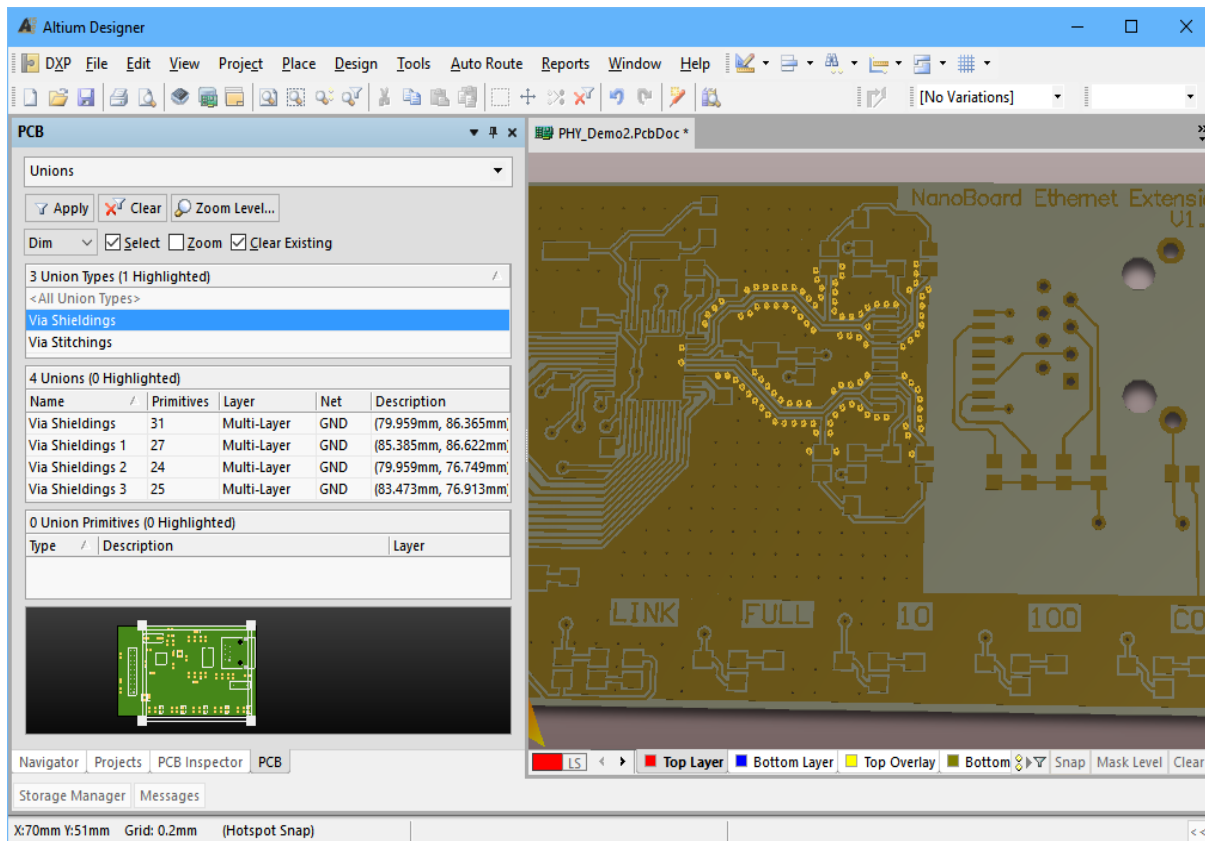
Vias thuộc về một mảng có một chuỗi bổ sung, chẳng hạn như [VS1] cho [Qua che chắn nhóm 1] và [VSH4] cho [Qua che chắn nhóm 4], được nối vào tên mạng của chúng.

Chọn hoặc Chỉnh sửa Đường khâu hoặc Vias che chắn

Để đơn giản hóa quá trình làm việc với một loạt các vias khâu / che chắn, cả hai loại được tự động nhóm lại thành một liên hợp.

Lựa chọn sử dụng Bảng điều khiển PCB

Để chọn mảng, hãy chuyển bảng *PCB* sang chế độ **Liên hợp** và chọn liên hợp **Qua khâu** hoặc **Qua che chắn được yêu cầu**. Tất cả các vias là một phần của mảng đó sẽ được chọn, nếu hộp kiểm **Chọn** được bật trong bảng điều khiển (như thể hiện trong hình ảnh bên dưới). Ngoài ra, nhấp đúp vào bất kỳ thông qua nào trong mảng để mở hộp thoại *Thêm khâu vào mạng* hoặc hộp thoại *Thêm che chắn vào mạng* và chỉnh sửa mảng.

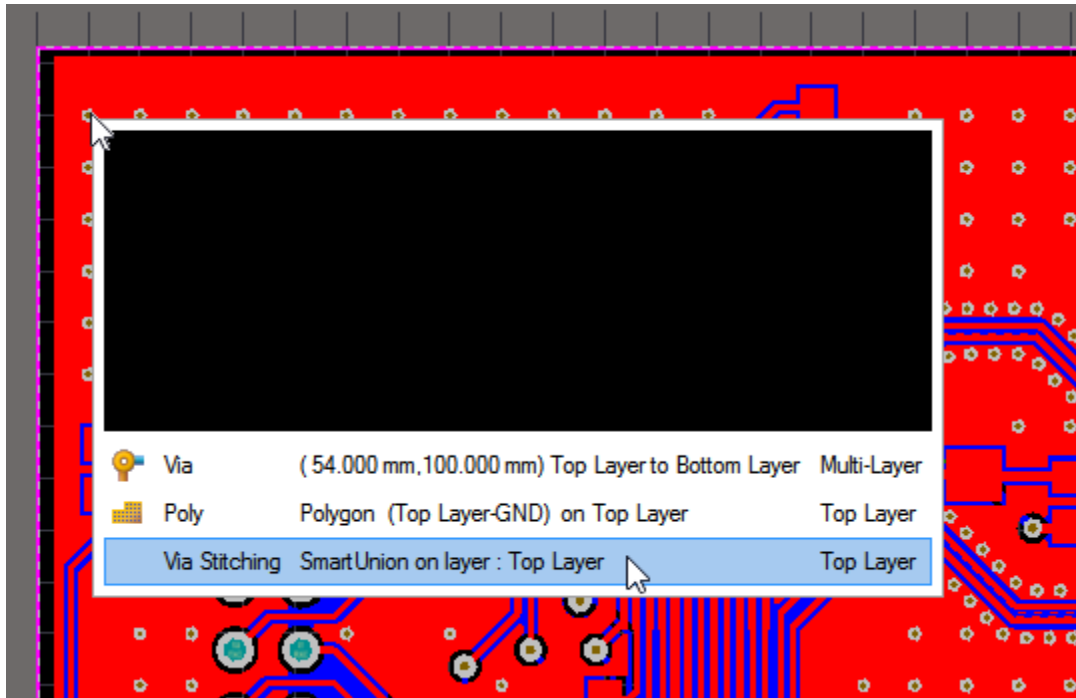


Sử dụng bảng *PCB* ở chế độ **Unions** để chọn tất cả các vias trong một mảng ghép hoặc che chắn. Trong hình ảnh này, tất cả 4 công đoàn che chắn đều được chọn.

Lựa chọn tương tác

Có thể chọn và xóa một đường khâu / che chắn riêng lẻ.

Nếu tùy chọn **Hộp thoại Lựa chọn Cửa sổ** bật lên được bật ( **Trình chỉnh sửa PCB** - Trang **chung** của hộp thoại *Tùy chọn* ), việc nhấp vào một cá nhân thông qua một liên minh sẽ hiển thị một danh sách bao gồm liên kết, như được hiển thị trong hình dưới đây. Nếu công đoàn được chọn từ danh sách thì công đoàn sẽ được chọn, mặc dù nó sẽ không được hiển thị trong màu lựa chọn. Nếu một công đoàn được chọn, nó có thể bị xóa.



Nếu hộp thoại *Lựa chọn Cửa sổ* bật lên không được bật, thì không thể chọn liên hợp bằng cách nhấp vào một cá nhân qua. Có thể chọn liên hợp đường may bị giới hạn trong một khu vực bằng cách kéo một cửa sổ lựa chọn xung quanh bất kỳ thông qua nào trong liên kết, như được minh họa trong hoạt ảnh trong phần [Sửa đổi Khu vực Khâu do Người dùng Xác định](#) của trang này.

Cập nhật các Đa giác sau khi Chính sửa Liên minh Khâu / Che chắn

Khi quá trình ghép hoàn tất, bạn sẽ cần phải đổ lại các đa giác nếu quy tắc thiết kế Polygon Connect Style hiện hành chỉ định một kiểu kết nối nổi. Điều này có thể được thực hiện bằng cách sử dụng các lệnh trong menu phụ **Tools » Polygon Pours**.

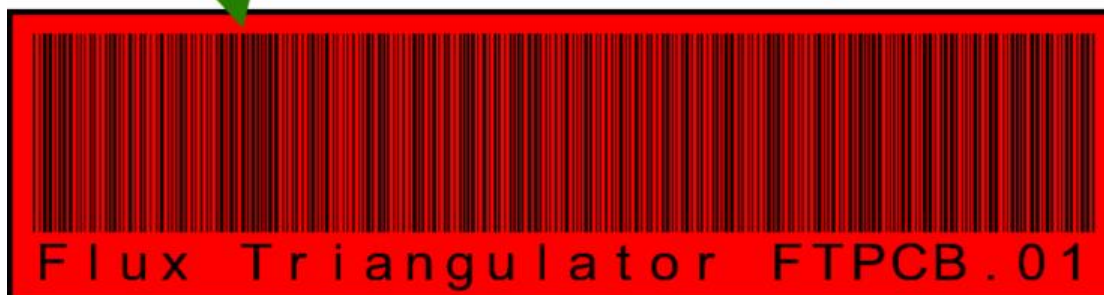
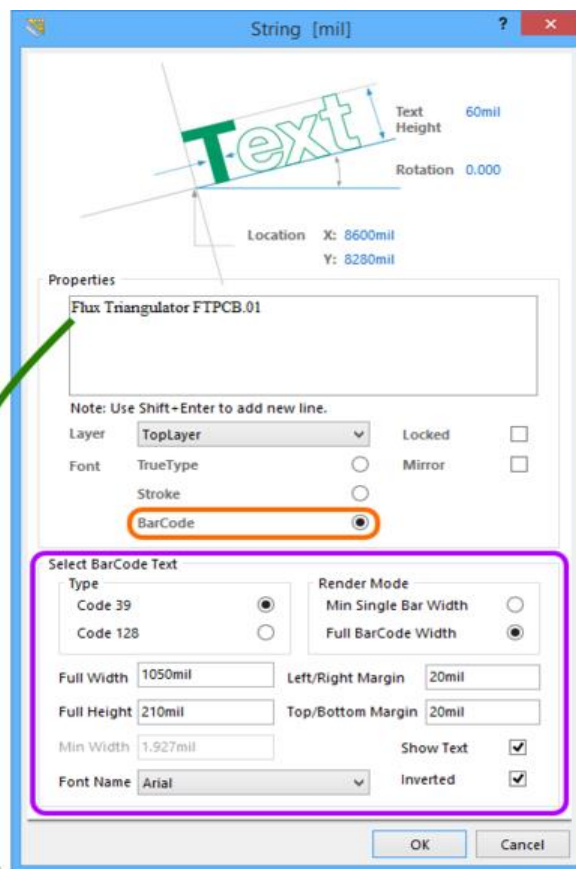
## Bao gồm Mã vạch và Biểu trưng

Trình chỉnh sửa PCB của Nhà thiết kế Altium cung cấp khả năng đặt các ký hiệu mã vạch trực tiếp lên bất kỳ lớp nào của PCB, cho phép dễ dàng in mã vạch lên PCB như một phần của quy trình sản xuất. Ngoài ra, trình chỉnh sửa hỗ trợ một số phương pháp để thêm hình ảnh đồ họa vào tài liệu thiết kế PCB - tuyệt vời để đưa logo công ty của bạn lên bảng!

Thêm mã vạch

Mã vạch thường được sử dụng để gắn thẻ và xác định PCB, đơn giản hóa việc theo dõi hàng tồn kho, ví dụ, thông qua việc sử dụng máy quét tự động. Mã vạch được đặt trong tài liệu PCB dưới dạng đối tượng Chuỗi được định cấu hình. Sử dụng lệnh Place »String để bắt đầu vị trí.

Để sử dụng phông chữ Mã vạch, chỉ cần đặt trường **Phông chữ** (trong hộp thoại Chuỗi) thành Mã vạch và xác định các tùy chọn hiển thị theo yêu cầu trong vùng **Chọn Văn bản Mã vạch**. Mã vạch ISO Mã 39 (tiêu chuẩn của Bộ Quốc phòng Hoa Kỳ) và Mã 128 (tiêu chuẩn nhận dạng thương mại toàn cầu) được hỗ trợ và chuỗi văn bản thực tế mà mã vạch bắt nguồn cũng có thể được hiển thị bằng cách bật tùy chọn **Hiển thị Văn bản**.



Mã vạch mẫu có văn bản gốc (con người có thể đọc được) bên dưới.

Khi hiển thị văn bản, hãy chọn phông chữ TrueType sẽ được sử dụng và đặt chiều cao cho văn bản tương ứng.

Chỉ định chiều cao và chiều rộng của mã vạch bằng cách sử dụng chiều rộng tổng thể mong muốn hoặc chiều rộng phần tử mã vạch tối thiểu để kiểm soát kích thước. Cho dù sử dụng phương pháp nào, hãy đảm bảo sử dụng định cỡ sẽ hiển thị mã vạch có thể đọc được cho các máy quét thích hợp!

Bằng cách sử dụng kết hợp mã vạch và chuỗi văn bản đảo ngược, cùng với việc điền nếu cần thiết, một vùng mã vạch đẹp có thể được xác định trên bảng, với nhiều thông tin bằng văn bản hơn so với chỉ có văn bản mã vạch gốc, như được hiển thị bên dưới.



Ví dụ sử dụng mã vạch đảo ngược và các chuỗi văn bản đảo ngược bổ sung.

Thêm hình ảnh

Thông thường, khi chế tạo bảng, công ty chủ sở hữu - công ty thiết kế bảng và hy vọng sẽ kiếm được lợi nhuận nhỏ từ tính khả dụng và thành công về mặt thương mại của nó - sẽ muốn 'đóng dấu' quyền sở hữu của nó. Chắc chắn điều này có thể đạt được thông qua văn bản đơn giản trên lớp màn hình lụa, nhưng thường thì logo của công ty là một sự thay thế bắt mắt và hiệu quả hơn nhiều. Đáp ứng yêu cầu này, Trình chỉnh sửa PCB của Nhà thiết kế Altium hỗ trợ một số phương pháp để thêm hình ảnh đồ họa vào tài liệu thiết kế PCB.

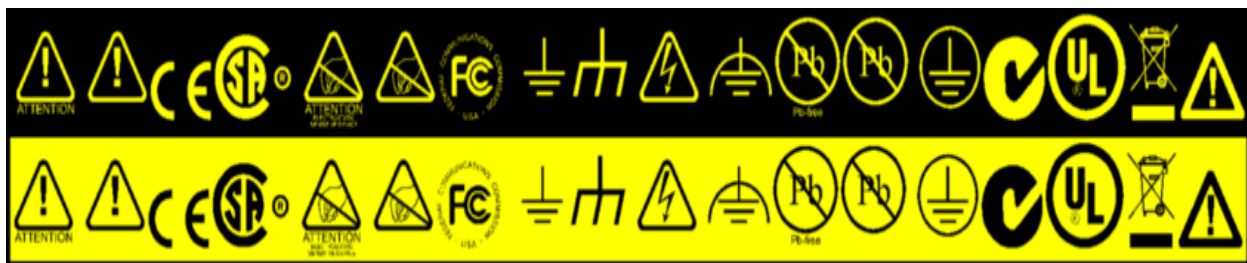
Đặt đồ họa làm phông chữ

Có thể tạo phông chữ TrueType tùy chỉnh có chứa đồ họa dưới dạng glyph (một trong các ký tự trong phông chữ) và sau đó đặt một chuỗi trên bảng PCB sử dụng phông chữ đó. Ngoài việc dễ sử dụng, một ưu điểm lớn khác của phương pháp này

là nếu các glyph phong chữ được tạo từ các hình ảnh đồ họa vector, thì chúng có thể được chia tỷ lệ chính xác.

Một phong chữ của nhiều ký hiệu tiêu chuẩn được sử dụng trong thiết kế PCB, bao gồm: không chứa chì, tái chế, nhạy cảm tĩnh, Earth, C-Tick, UL, CE, FCC và nhiều ký hiệu khác, đã được tạo ra bởi một trong những chuyên gia hàng đầu về thiết kế với Altium Nhà thiết kế - Darren Moore từ Mooretronics. Phong chữ có sẵn để tải xuống [tại đây](#) (ngày tháng 6 năm 2015) và bạn cũng có thể kiểm tra [chuỗi diễn đàn Altium Designer](#) , để biết thêm các phiên bản gần đây trong các bài đăng mới nhất.

Phong chữ được cấp phép dưới dạng Phần mềm thẻ, hãy tham khảo phần Readme.txtbao gồm trong tệp ZIP tải xuống để biết điều kiện sử dụng. Readme cũng bao gồm một danh sách các đồ họa có sẵn. Lưu ý rằng nhiều phiên bản có sẵn với văn bản hoặc không có văn bản, phiên bản ưu tiên được chọn bằng cách sử dụng chữ hoa hoặc chữ thường. Hình ảnh dưới đây cho thấy một mẫu đồ họa có sẵn trong phong chữ.



Mẫu một số đồ họa hữu ích trong phong chữ Mooretronics.

### Dán từ Bảng tạm của Windows

Đối với logo được vẽ bằng 2 màu đen và trắng, PCB Editor hỗ trợ dán siêu tệp trực tiếp từ khay nhớ tạm của Windows, lên lớp PCB hiện tại, sử dụng lệnh dán Windows **Ctrl + V** tiêu chuẩn . Dữ liệu metafile được hỗ trợ bao gồm bitmap, đường thẳng, cung tròn, điền đơn giản và văn bản đúng loại - cho phép bạn dễ dàng dán logo và các biểu tượng đồ họa khác.

Lưu ý rằng không phải tất cả các trình chỉnh sửa hình ảnh đều đặt dữ liệu hình ảnh vào khay nhớ tạm dưới dạng dữ liệu siêu tệp. Một cách tiếp cận để đảm bảo rằng điều này xảy ra, trước tiên là dán hình ảnh vào Microsoft Word, sau đó sao chép từ đó và dán vào Altium Designer. Để làm điều này:

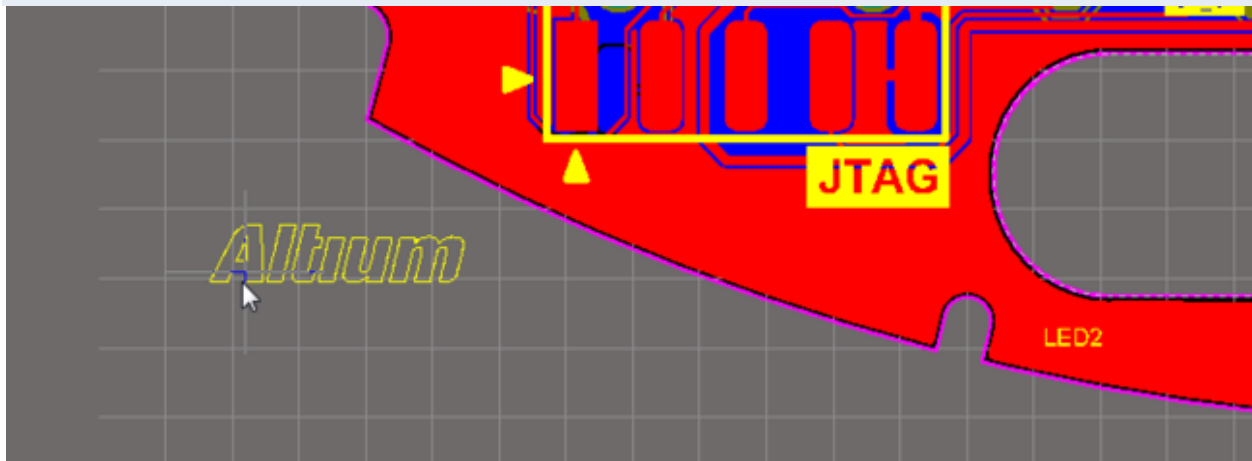
1. Đặt hình ảnh biểu trưng mong muốn (ở định dạng BMP hoặc PNG) vào tài liệu Microsoft Word.



- Đánh dấu hình ảnh trong Microsoft Word và sao chép nó vào khay nhớ tạm.
- Mở tài liệu PCB đích được yêu cầu trong Altium Designer.
- Dán hình ảnh từ khay nhớ tạm ( **Chỉnh sửa »Dán** hoặc **Ctrl + V** ).
- Hình ảnh sẽ xuất hiện nổi trên con trỏ, bạn chỉ cần nhấp vào vị trí mong muốn trong không gian làm việc để hiệu chỉnh vị trí.

Dữ liệu đã nhập sẽ được đưa vào lớp hiện tại, sử dụng màu bạn đã chọn cho lớp đó. Các đối tượng PCB được tạo trong quá trình dán sẽ tự động được thêm vào một Liên minh. Sau khi dán, các chốt chỉnh sửa của Union có thể được sử dụng để tinh chỉnh kích thước của hình ảnh đã dán. Các liên kết tạo ra từ việc dán cũng có thể được thay đổi kích thước bất kỳ lúc nào bằng cách sử dụng lệnh Thay đổi kích thước Union từ menu chuột phải (bấm để chọn liên kết cần thiết sau khi khởi chạy lệnh).

Tùy chọn Dán từ các ứng dụng khác , trên PCB Editor - Trang chung của hộp thoại Tùy chọn , được sử dụng để đặt **Định dạng ưa thích** thành Siêu tệp hoặc Văn bản . Đối với đồ họa, tùy chọn này không có tác động - mỗi hình dạng độc lập trong đồ họa được chuyển đổi thành một đối tượng vùng. Khi dán chuỗi văn bản, mỗi ký tự tự được chuyển đổi thành chuỗi văn bản nếu tùy chọn được đặt thành Siêu tệp , trong khi toàn bộ chuỗi được dán dưới dạng chuỗi Altium Designer, nếu tùy chọn được đặt thành Văn bản .



Biểu trưng Altium được dán dưới dạng đồ họa, mỗi chữ cái trong đồ họa được chuyển đổi thành một đối tượng vùng.

Các điểm ảnh được chuyển đổi thành các vùng và sự kết hợp của các vùng liền kề liền kề được thực hiện. Các pixel đen trong ảnh gốc được ánh xạ tới các vùng trên PCB, trong khi các pixel trắng ánh xạ tới các khoảng trống.

## Đặt làm đối tượng OLE

Một đồ họa, được lưu trữ ở định dạng BMP, cũng có thể được đặt dưới dạng đối tượng OLE trên tài liệu PCB đang hoạt động. Điều này được thực hiện thông qua công nghệ **Liên kết và Nhúng đối tượng** (OLE) trong PCB Editor.

Đầu tiên, tạo lớp mà bạn muốn đặt dữ liệu Đối tượng OLE, lớp đang hoạt động trong không gian làm việc. Sau khi khởi chạy lệnh, hộp thoại *Chọn tệp* tiêu chuẩn của Windows sẽ xuất hiện. Sử dụng hộp thoại này để duyệt đến tệp hình ảnh BMP cần thiết. Sau khi nhấp vào **Mở**, dữ liệu từ tệp đã chọn sẽ xuất hiện nổi trên con trỏ. Định vị theo yêu cầu trong không gian làm việc và nhấp hoặc nhấn **Enter** để thực hiện vị trí.

Đặt hình ảnh BMP, dưới dạng đối tượng OLE, vào tài liệu PCB.