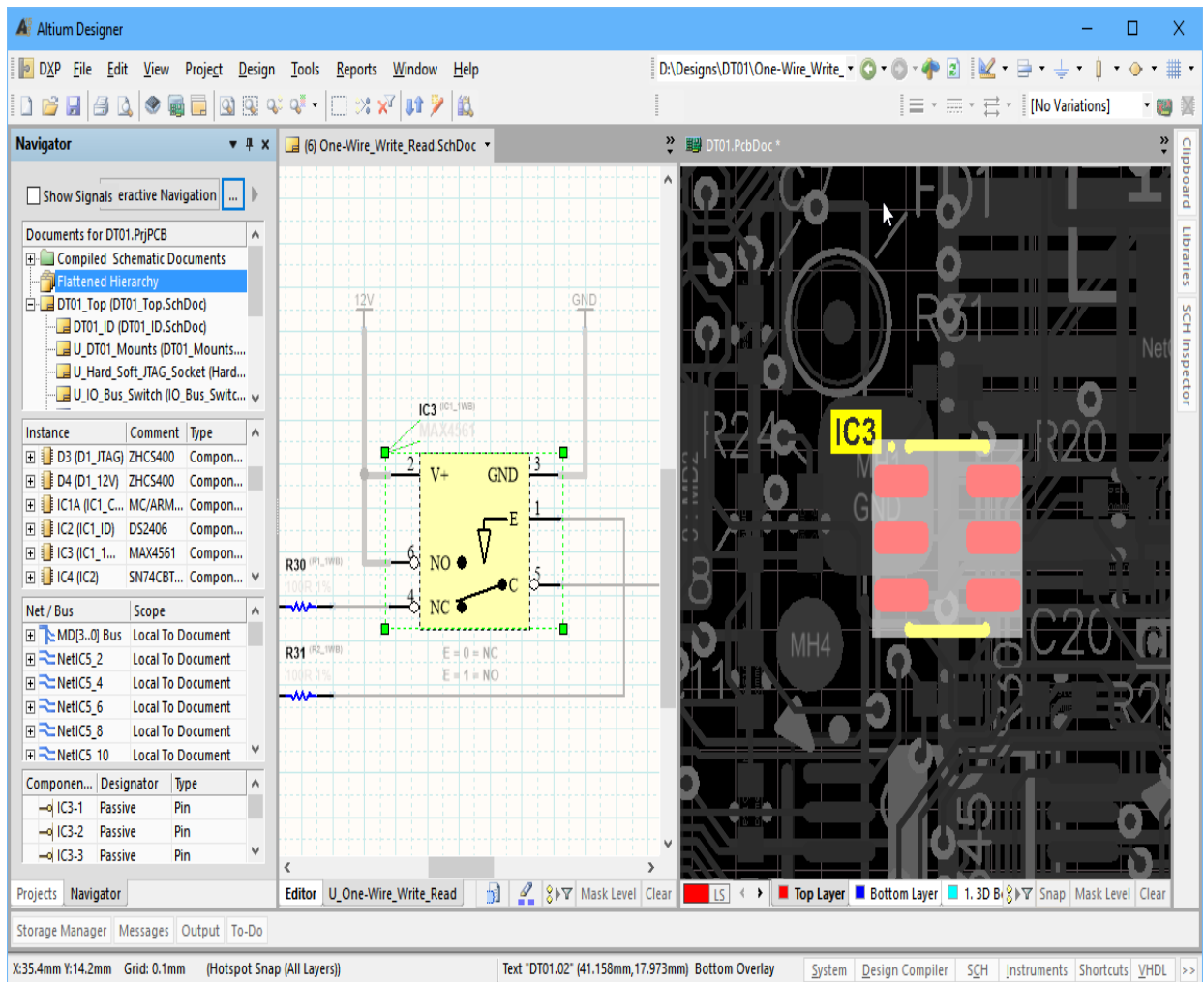


Làm việc giữa Schematic và Board

Working Between the Schematic and the Board



Một trong những điểm mạnh của Altium Designer là bạn có thể dễ dàng di chuyển giữa các yếu tố khác nhau trong thiết kế của mình. Ví dụ: một cú nhấp chuột trong bảng *Projects* sẽ mở ra một trang sơ đồ, một cú nhấp chuột khác sẽ mở PCB và một cú nhấp chuột khác sẽ mở tệp OutputJob, hiển thị tất cả các đầu ra bạn cần tạo từ bảng đã hoàn thành.

Tuy nhiên, thiết kế không chỉ đơn giản là có quyền truy cập vào các tệp thiết kế. Là nhà thiết kế, bạn cần các công cụ định hướng thiết kế giúp bạn hoàn thành hiệu quả nhiều nhiệm vụ thiết kế cần thiết để hoàn thành sản phẩm của mình. Yếu tố quan

trọng để làm việc hiệu quả là có thể di chuyển qua lại linh hoạt giữa sơ đồ và bố cục bảng, khi bạn thực hiện các tác vụ thiết kế khác nhau.

Có lẽ bạn đang chuẩn bị cho vị trí, nhóm các thành phần liên quan xung quanh ngoại vi của bảng khi bạn kiểm tra các tùy chọn bố trí của mình. Hoặc có lẽ bạn đang kiểm tra kết nối, xác định vị trí các mạng quan trọng và kiểm tra vị trí chúng đã được định tuyến.

Đối với các tác vụ như vậy, bạn cần tìm các đối tượng trong tài liệu đích, dựa trên các đối tượng bạn có thể thấy trong tài liệu nguồn.

Môi trường thiết kế thống nhất

Altium sử dụng thuật ngữ *thống nhất* để mô tả cách mà thiết kế nằm, như một thực thể duy nhất, ở trung tâm của quá trình thiết kế. Chính cách tiếp cận thống nhất, lấy thiết kế làm trung tâm này làm cho nó có thể làm việc hiệu quả giữa sơ đồ và bảng. Môi trường cũng thống nhất, với tất cả các trình chỉnh sửa và công nghệ thiết kế hoạt động trong một ứng dụng phần mềm.

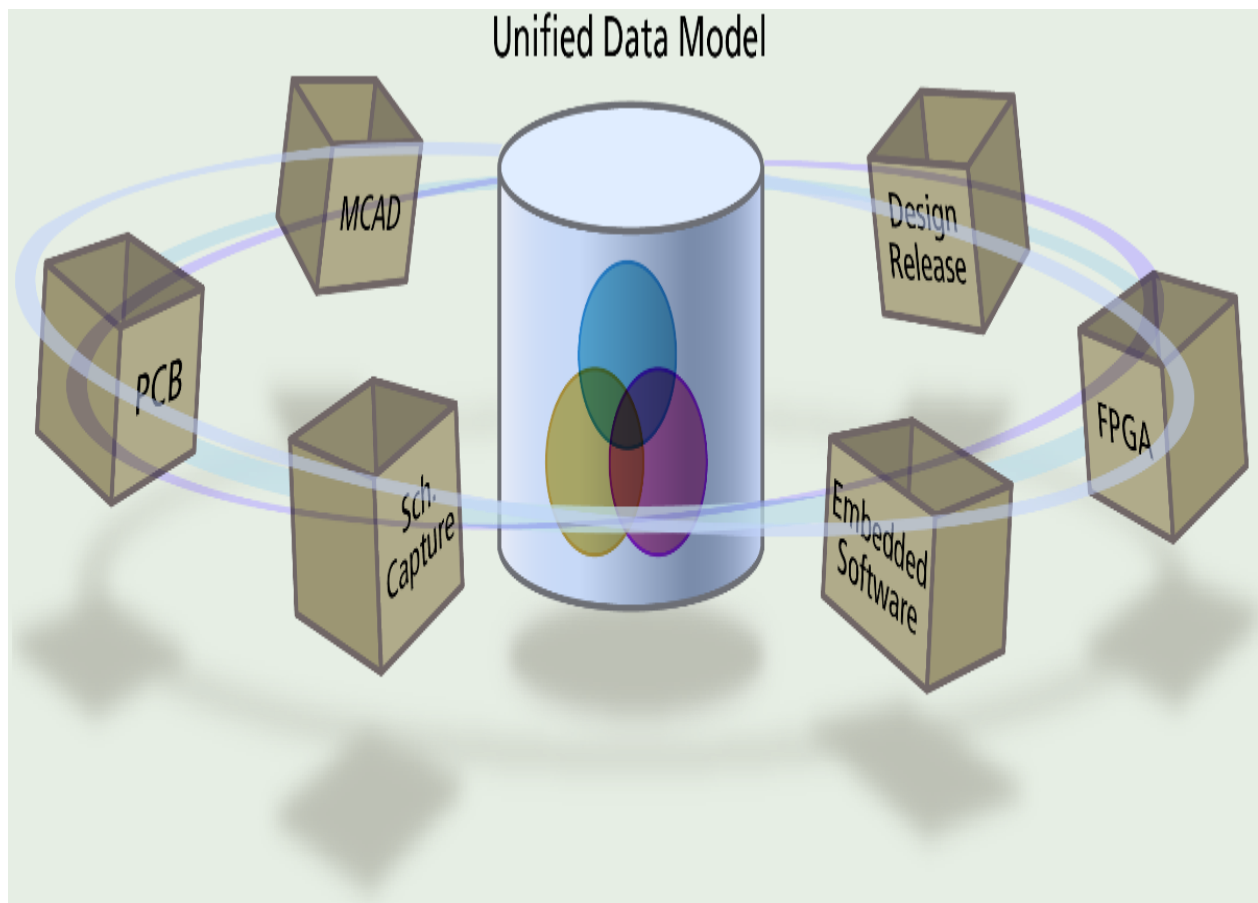
Bởi vì Altium Designer là một môi trường thiết kế thống nhất, sơ đồ và bảng có thể được mở song song với nhau. Khi thiết kế đã được biên dịch, bạn có thể dễ dàng:

- Thăm dò chéo một thành phần, mạng hoặc chân giữa sơ đồ và bảng.
- Chọn chéo các thành phần từ trình chỉnh sửa này sang trình chỉnh sửa khác.
- Dễ dàng chuyển các thay đổi thiết kế từ trình chỉnh sửa này sang trình chỉnh sửa khác, theo cả hai hướng.

Tại sao phải biên dịch và Mô hình dữ liệu hợp nhất là gì?

Vậy biên dịch là gì và tại sao thiết kế cần được biên dịch?

Khi bạn biên dịch dự án sơ đồ của mình, phần mềm sẽ tạo ra kết nối mà bạn đã xác định bằng cách xác định hệ thống dây điện chân cắm được đặt trong thiết kế. Trình tự là:



- Kết nối pin-to-pin được tạo trong mỗi trang tính
- Sau đó, kết nối trang này sang trang tính được tạo, dựa trên Phạm vi số nhận dạng rỗng đã chọn
- Mô hình Dữ liệu Hợp nhất được tạo, hiển thị chi tiết thành phần và liên kết trong bảng *Điều hướng*
- Kiểm tra lỗi đã kích hoạt được chạy.

Mô hình dữ liệu hợp nhất

Một yếu tố cơ bản của phần mềm là Mô hình Dữ liệu Hợp nhất (UDM). Khi dự án được biên dịch, một mô hình gắn kết, duy nhất được tạo ra, nằm ở trung tâm của quá trình thiết kế. Dữ liệu trong mô hình sau đó có thể được truy cập và thao tác bằng các trình chỉnh sửa và dịch vụ khác nhau trong phần mềm. Thay vì sử dụng kho dữ liệu riêng biệt cho từng lĩnh vực thiết kế khác nhau, UDM được cấu trúc để chứa tất cả thông tin từ tất cả các khía cạnh của thiết kế, bao gồm các thành phần và kết nối của chúng.

Làm thế nào để bạn tương tác với mô hình dữ liệu thống nhất, chẳng hạn như để theo dõi mạng thông qua thiết kế? Bạn làm điều đó thông qua bảng điều *hướng*.

Thăm dò chéo

Cross thăm dò là tên được đặt cho khả năng nhấp (hoặc nhấp đúp) vào một đối tượng trong một giao diện thiết kế và được trình bày với đối tượng đó trong một giao diện thiết kế khác. Có rất nhiều nơi bạn có thể thăm dò trong Altium Designer.

Ví dụ: khi bạn đã khởi chạy lệnh **Công cụ »Cross Probe** của trình soạn thảo PCB , bạn có thể nhấp vào một thành phần trên PCB, để hiển thị thành phần tương tự trên giản đồ. Lệnh này hỗ trợ thăm dò chéo giữa các thành phần, bus, lưới và chân / miếng đệm. Hành vi mặc định là vẫn ở trong trình soạn thảo nguồn, sử dụng điều này khi cả tài liệu nguồn và đích đều hiển thị. Giữ **Ctrl** khi bạn nhấp để chuyển đến tài liệu đích.

Hoặc sau khi biên dịch dự án sơ đồ, bạn có thể nhấp chuột phải và chọn **Cross Probe** (hoặc nhấp đúp) vào thông báo lỗi trong bảng *Thông báo* , để chuyển đến điều kiện lỗi đó trên sơ đồ.

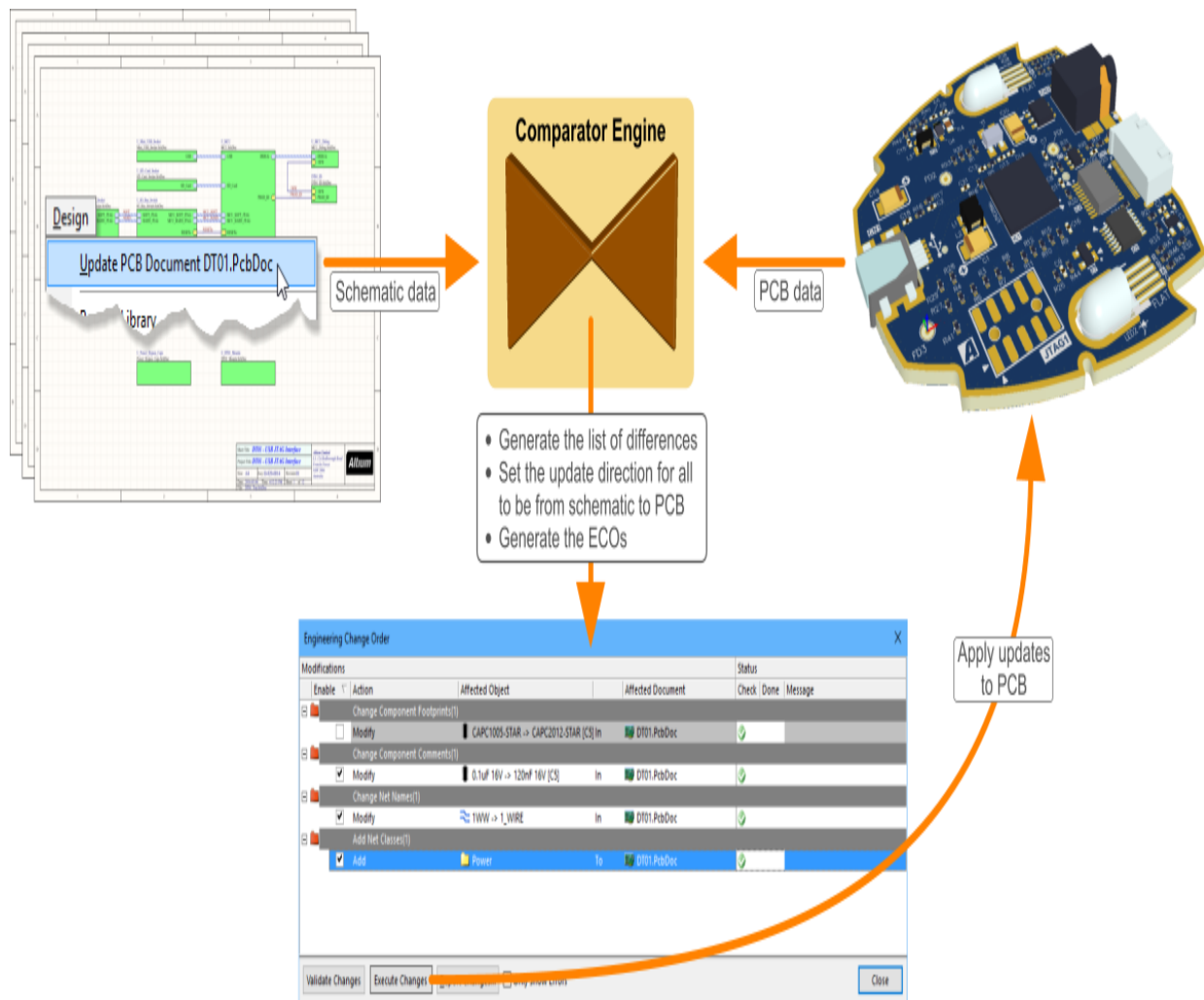
Có một số cách khác nhau để bạn có thể thăm dò chéo trong Altium Designer, những cách này được giải thích trong bài viết Thăm dò [và lựa chọn chéo](#) .

Lựa chọn chéo

Lựa chọn chéo tương tự như thăm dò chéo, bạn sử dụng nó để chọn một thành phần mà bạn hiện có thể thấy, trong một giao diện thiết kế khác. Những gì lựa chọn chéo cung cấp là khả năng chọn nhiều thành phần. Nó hoạt động theo cả hai hướng giữa sơ đồ và PCB, và là một công cụ lý tưởng để xây dựng một tập hợp các đối tượng đã chọn, sẵn sàng cho một hành động thiết kế. Ví dụ, bạn có thể đang xem một số thành phần trên giản đồ và muốn định vị chúng trong không gian làm việc của trình soạn thảo PCB, vì vậy bạn có thể định vị chúng trên bảng. Khi **Chế độ chọn chéo** được bật, mỗi lần bạn chọn một thành phần trong trình chỉnh sửa đó, nó sẽ tự động được chọn trong trình chỉnh sửa khác.

Đồng bộ hóa thiết kế

Nhiệm vụ thiết kế từ sơ đồ đến PCB phổ biến nhất là giữ nguyên thiết kế để giữ cho sơ đồ và PCB khớp hoặc được đồng bộ hóa. Bất kể bạn đang chuyển một thiết kế đã chụp sang một PCB mới lần đầu tiên hay thực hiện các thay đổi đối với thiết kế hiện có ở cả mặt sơ đồ hoặc PCB, quy trình tương tự đều được sử dụng.



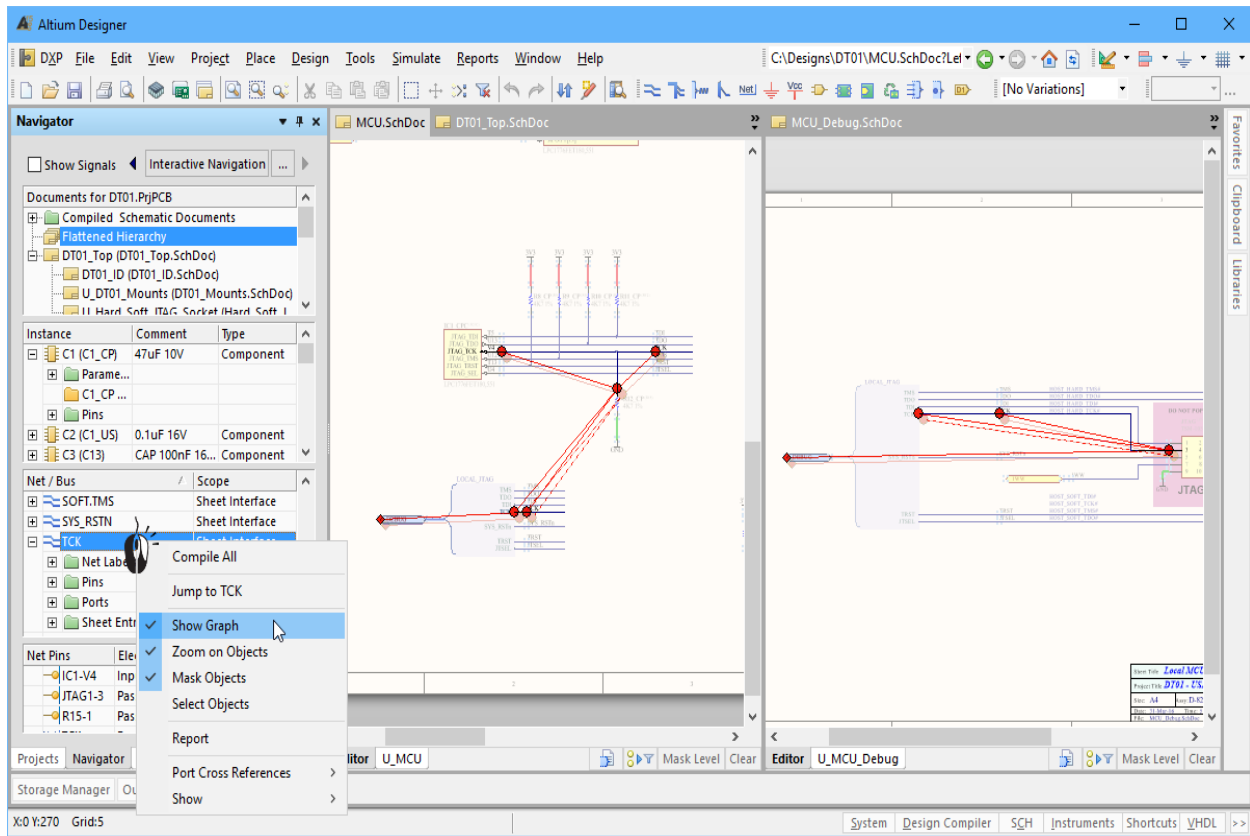
Quá trình đồng bộ hóa phát hiện và giải quyết sự khác biệt về sơ đồ và PCB.

Đồng bộ hóa thiết kế được thực hiện trực tiếp giữa trình chỉnh sửa sơ đồ và PCB, không có tài liệu trung gian giống như danh sách mạng nào được sử dụng. Phần mềm sử dụng một công cụ so sánh để so sánh tất cả các khía cạnh của thiết kế và một tập hợp các Lệnh Thay đổi Kỹ thuật (ECO) được tạo ra để giải quyết bất kỳ sự khác biệt nào. Khi những điều này được áp dụng, hai mặt của thiết kế sẽ đồng bộ trở lại.

Bảng điều hướng

Nếu thiết kế lớn và trải rộng trên nhiều trang tính, việc theo dõi một mạng lưới và xác minh tính kết nối trong thiết kế có thể trở nên khó khăn bằng cách chỉ đơn giản nhìn vào sơ đồ. Để trợ giúp quá trình này, bảng *Điều hướng* được sử dụng. Bảng điều khiển cung cấp cái nhìn về toàn bộ thiết kế đã biên dịch, do đó sẽ dễ dàng cho

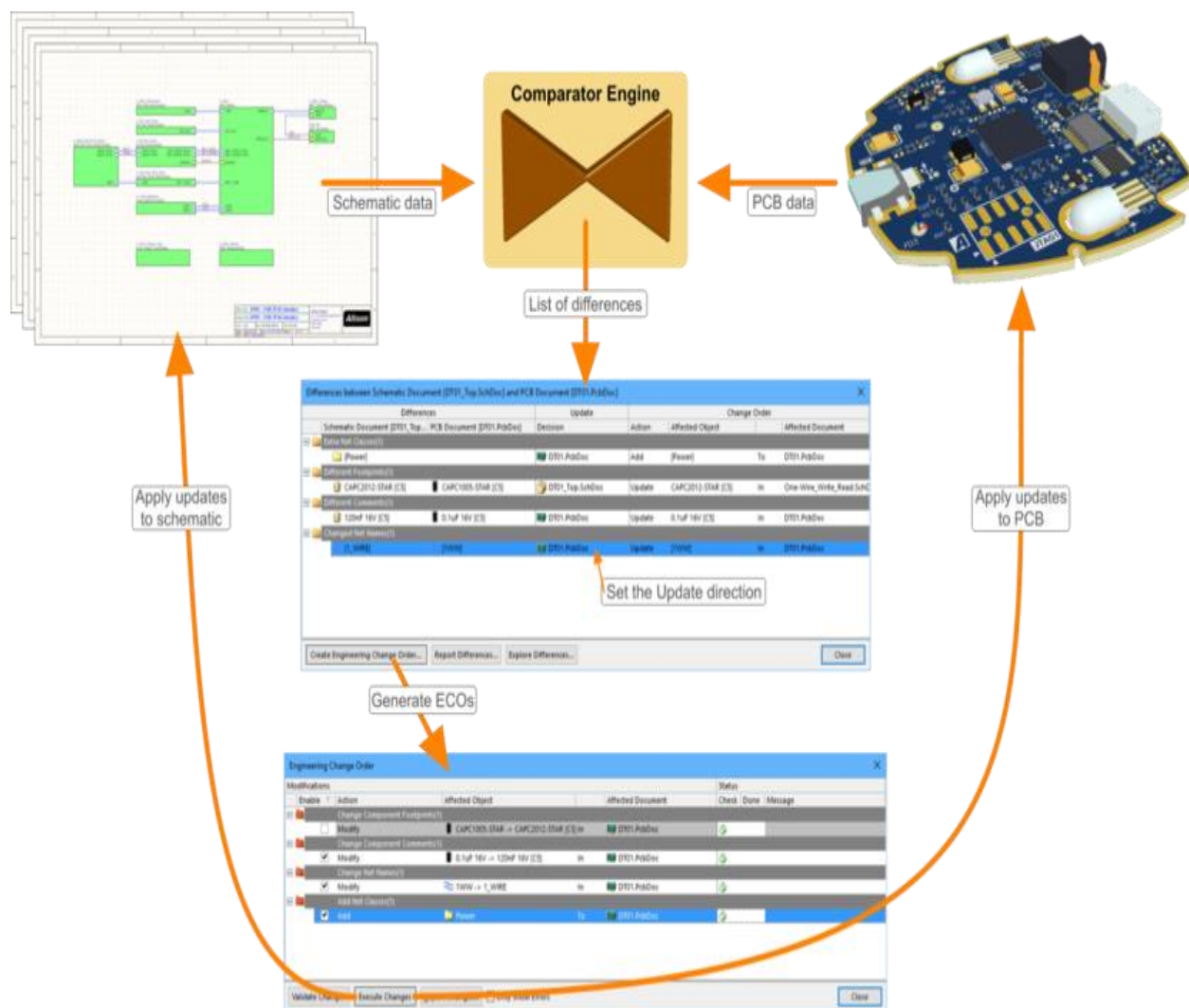
đến khi dự án được biên dịch (**Dự án »Dự án biên dịch PCB**). Bảng *Điều hướng* có thể được mở bằng cách nhấp vào **Design Compiler** nút xuống dưới cùng bên phải của ứng dụng.



Sử dụng bảng *Điều hướng* làm chế độ xem của bạn vào toàn bộ thiết kế đã biên dịch.

Đồng bộ hóa thiết kế

Cho dù bạn đang chuyển một thiết kế đã chụp sang một PCB mới lần đầu tiên hay thực hiện các thay đổi đối với thiết kế hiện có ở cả mặt sơ đồ hoặc PCB, thì cần phải có một số cách để giữ cho cả hai mặt được đồng bộ. Altium Designer cung cấp tính năng đồng bộ hóa design mạnh mẽ mang đến giải pháp hiệu quả cho vấn đề giữ thiết kế được đồng bộ hóa, cho phép nhà thiết kế tập trung vào các khía cạnh sáng tạo của quá trình thiết kế.



Quá trình đồng bộ hóa phát hiện và giải quyết sự khác biệt về sơ đồ và PCB.

Đồng bộ hóa thiết kế được thực hiện trực tiếp giữa trình chỉnh sửa sơ đồ và PCB, không có tài liệu trung gian giống như danh sách mạng nào được sử dụng. Phần mềm sử dụng công cụ so sánh để so sánh tất cả các khía cạnh của thiết kế, chi tiết hóa kết quả đầu ra dưới dạng danh sách các điểm khác biệt. Nhà thiết kế quyết định bên nào nên thay đổi để giải quyết các khác biệt và một tập hợp các Lệnh thay đổi kỹ thuật (ECO) được tạo. Sau đó, chúng được áp dụng, đưa hai mặt của thiết kế trở lại đồng bộ.

Những gì có thể được đồng bộ hóa?

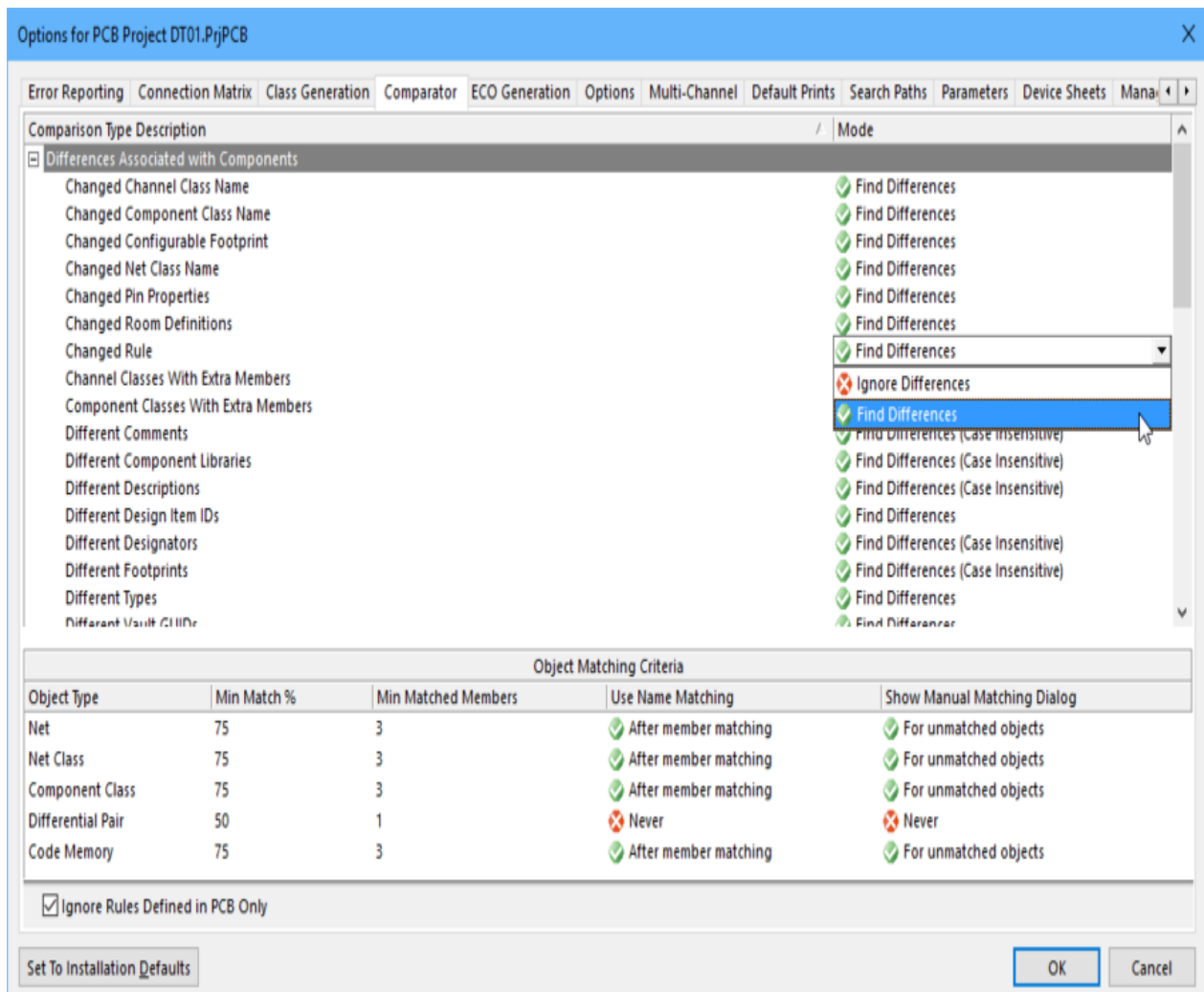
Quá trình đồng bộ hóa đảm bảo rằng thành phần và dữ liệu kết nối trên giản đồ khớp với dữ liệu thành phần và kết nối trên PCB. Cũng như thành phần và dữ liệu kết nối,

quá trình đồng bộ hóa cũng đảm bảo rằng các ràng buộc thiết kế khác; chẳng hạn như lớp net, lớp thành phần và quy tắc thiết kế, cũng đồng bộ.

Định cấu hình các tùy chọn so sánh

Trang hộp thoại: Tùy chọn cho Dự án PCB , tab Bộ so sánh

Chính xác *những gì* dữ liệu sơ đồ và PCB được so sánh, được định cấu hình trong tab Bộ so sánh của hộp thoại *Tùy chọn cho Dự án PCB* . Chọn **Project »Project Options** để mở hộp thoại.



Công cụ so sánh tuân theo các cài đặt được xác định trong tab **Bộ so sánh** của hộp thoại *Tùy chọn cho Dự án* .

Vùng chính của hộp thoại bao gồm một danh sách lớn các Kiểu so sánh, chẳng hạn như Nhà **thiết kế khác nhau** và **Tên mạng đã thay đổi** , được nhóm thành 5 danh mục. Các **chế độ** cột ở bên phải bao gồm một danh sách thả xuống cho mỗi, nơi bạn

chọn chế độ so sánh, chẳng hạn như Find Differences hay Ignore Differences. So sánh kiểu văn bản có tùy chọn thứ ba, để cho phép so sánh không phân biệt chữ hoa chữ thường.

Mặc định cho một dự án mới là Tìm Điểm khác biệt cho mọi kiểu so sánh, đặt các tùy chọn theo yêu cầu cho dự án của bạn.

Như bạn có thể thấy từ danh sách, có một lượng lớn chi tiết thiết kế có sẵn để đồng bộ hóa.

- Để đồng bộ hóa sơ đồ với PCB, tất cả các chi tiết liên quan đến thiết kế PCB có thể được đồng bộ hóa.
- Đối với PCB để đồng bộ hóa sơ đồ, chỉ những thay đổi được thực hiện đối với bộ chỉ định thành phần, nhận xét và dấu chân mới có thể được đồng bộ hóa trở lại sơ đồ. Các thay đổi thực duy nhất có thể được đồng bộ hóa là các thay đổi do hoạt động hoán đổi pin hoặc một phần - cách thực hiện điều này phụ thuộc vào cách các tùy chọn hoán đổi pin / phần được định cấu hình. Để tìm hiểu thêm, hãy tham khảo bài viết [hoán đổi mã pin và bộ phận](#).

Ở phía dưới cùng của hộp thoại có các tùy chọn để đặt **Tiêu chí Đối sánh Đối tượng**. So khớp là một quá trình phức tạp, nhiều lần, không dựa vào kết hợp chuỗi chính xác đơn giản. Để tìm hiểu thêm, hãy tham khảo chủ đề [Kết hợp Nets và Class](#) ở phần sau của bài viết.

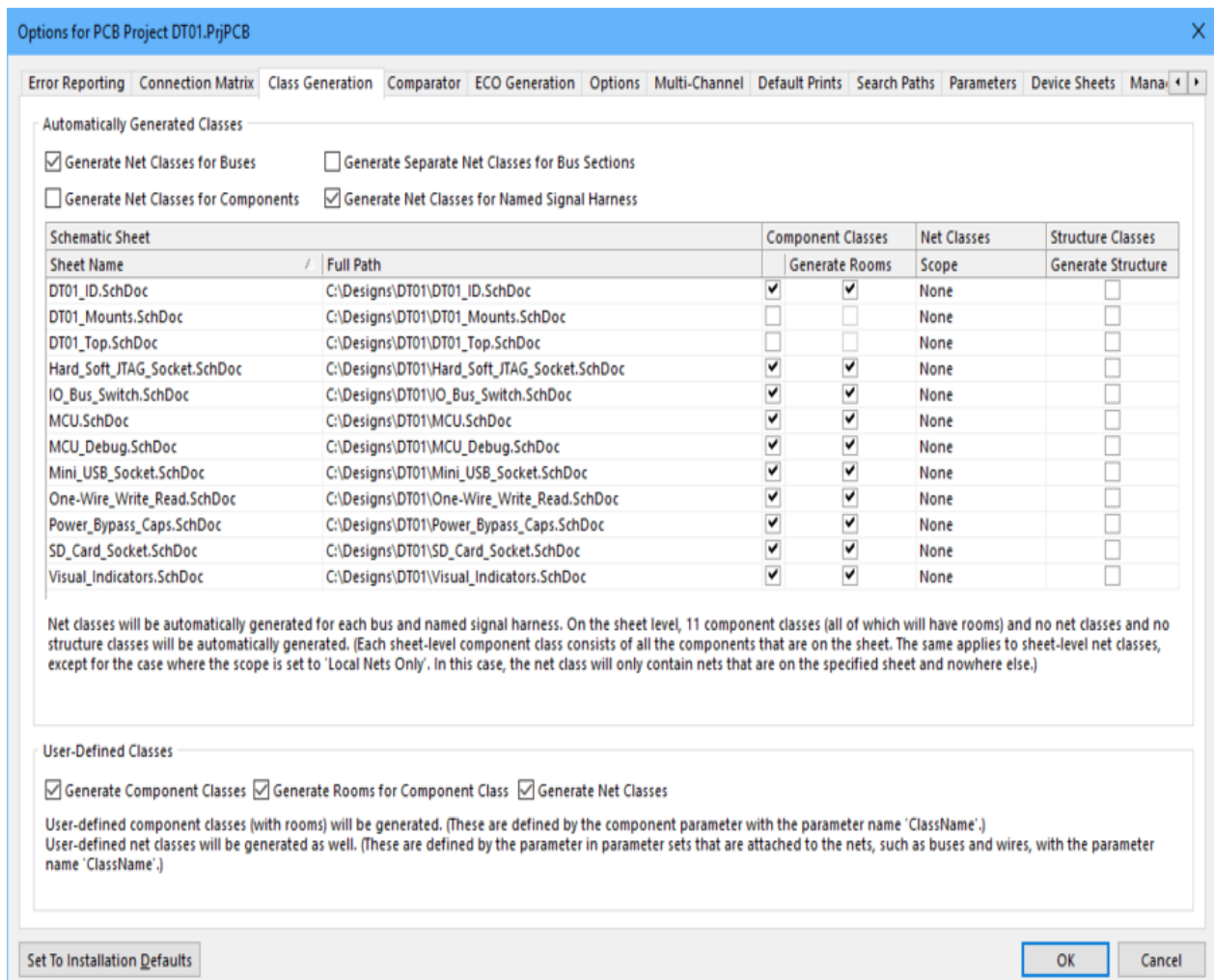
Lưu ý **Các quy tắc bỏ qua được xác định trong** tùy chọn **Chỉ PCB** ở cuối hộp thoại, bật tùy chọn này để loại trừ các quy tắc bạn đã xác định trong PCB khỏi quá trình so sánh.

Đồng bộ hóa các lớp mạng và thành phần

Cũng như dữ liệu thành phần và dữ liệu kết nối, bạn cũng có thể tạo và đồng bộ hóa các lớp và quy tắc thiết kế khi bạn thực hiện **Thiết kế »Cập nhật PCB**. Có hai loại lớp có thể được tạo từ giản đồ và đồng bộ với PCB:

- các lớp tự động - bắt nguồn từ xe buýt / dây nịt, các thành phần hoặc nội dung trang tính; và
- các lớp do người dùng định nghĩa - bắt nguồn từ các chỉ thị thiết kế do người thiết kế đặt.

Việc tạo ra chúng được cấu hình trong **tab Tạo lớp** của hộp thoại *Tùy chọn cho dự án* (đồng bộ hóa được điều khiển bởi các tùy chọn trong tab **Bộ so sánh**).



Sử dụng các tùy chọn trong tab **Tạo lớp** để định cấu hình các lớp được tạo tự động mà bạn yêu cầu và nếu bạn muốn tạo các lớp do người dùng xác định trong quá trình đồng bộ hóa thiết kế.

Các lớp học được tạo tự động

Lớp học Net

Các lớp mạng có thể được tạo tự động cho các nhóm lưới sau:

Khai thác tín hiệu được đặt tên	<u>Các dây tín hiệu</u> được sử dụng để bó và vận chuyển nhiều lưới trong một dự án sơ đồ. Dây nịt không được dùng để đặt tên cho các loại lưới được mang trong dây nịt đó, trừ khi dây nịt có nhãn lưới được dán trên đó. Lưu ý rằng việc đặt nhãn rỗng trên dây tín hiệu sẽ thay đổi cú pháp đặt tên mạng, từ là nhãn lưới riêng lẻ được đặt trên dây, thành hiện thực <HarnessNetLabel>.<HarnessEntryName>. Nếu bạn không
--	--

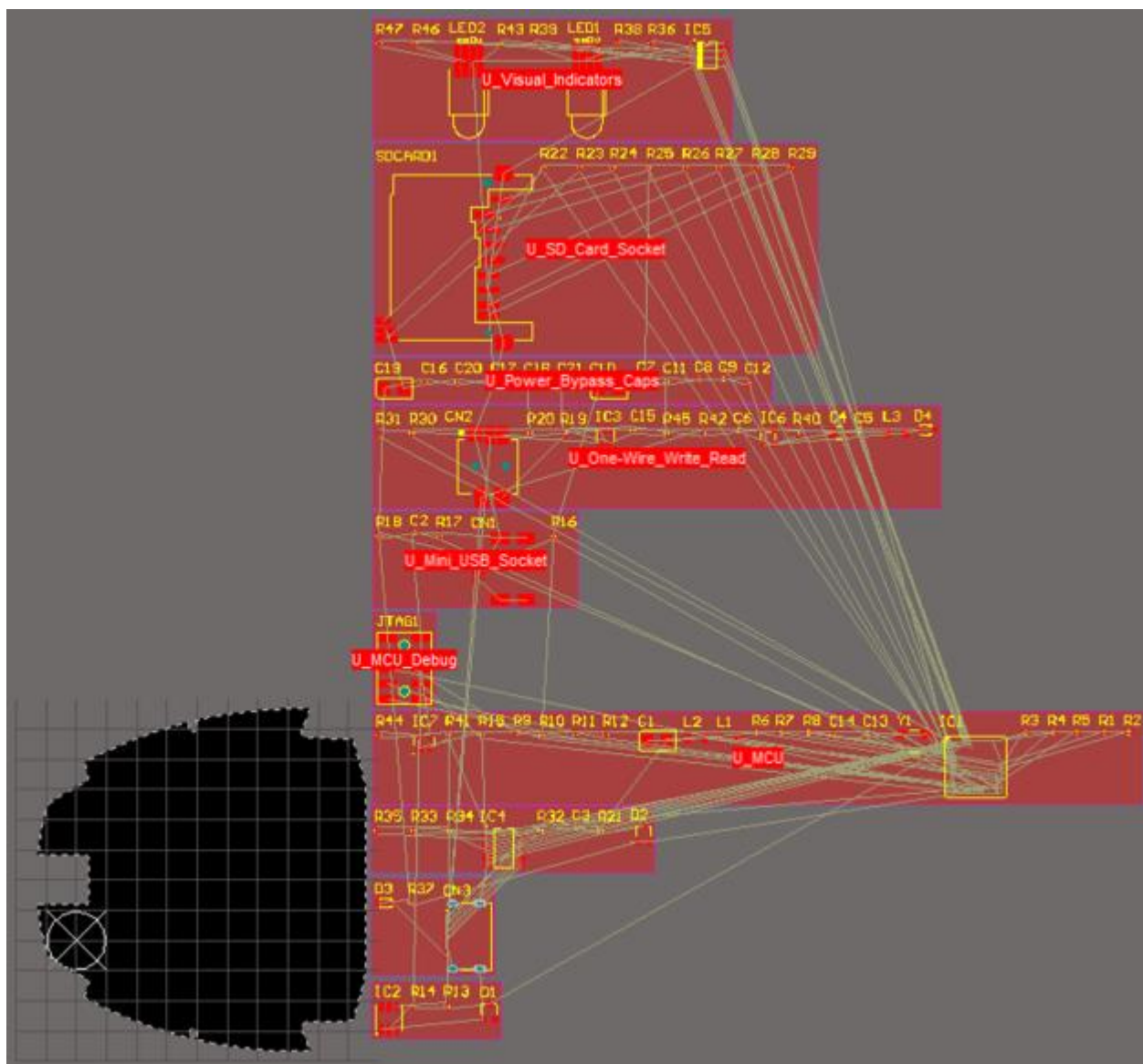
	muốn đổi tên các lưới trong bộ khai thác, bạn có thể tạo một <u>lớp lưới do người dùng xác định</u> thay thế, như được mô tả bên dưới. Tham khảo chủ đề <u>Làm việc với Khai thác tín hiệu</u> để biết thêm thông tin về Khai thác tín hiệu. Cho phép Tạo các lớp mạng để khai thác tín hiệu được đặt tên tùy chọn để tạo một lớp mạng PCB cho mỗi bộ khai thác tín hiệu được đặt tên, trong quá trình đồng bộ hóa thiết kế. Đây là một lựa chọn toàn cầu được áp dụng cho toàn bộ dự án.
Xe buýt / Đoạn xe buýt	Bật tùy chọn Tạo lớp mạng cho xe buýt để tạo lớp mạng PCB cho mỗi xe buýt (và mỗi lát xe buýt nếu tùy chọn phụ được bật), trong quá trình đồng bộ hóa thiết kế. Đây là một lựa chọn toàn cầu được áp dụng cho toàn bộ dự án.
Các thành phần	Tùy chọn này tạo ra một lớp net cho mỗi thành phần trong thiết kế, chứa tất cả các lưới được kết nối với thành phần đó. Đây là một lựa chọn toàn cầu được áp dụng cho toàn bộ dự án.
Trang tính	Tạo một lớp lưới cho các lưới trong mỗi trang tính, theo phạm vi đã chọn. Lưu ý rằng tùy chọn phạm vi Local Nets Only sẽ không bao gồm các lưới đi vào hoặc thoát ra trang tính. Cũng lưu ý rằng một mạng có thể thuộc nhiều hơn một lớp net PCB, vì vậy tùy chọn Tất cả Nets sẽ dẫn đến việc tất cả các lưới bao trùm tấm xuất hiện trong nhiều lớp. Tùy chọn này được cấu hình cho mỗi trang tính sơ đồ.

Các lớp thành phần

Dự án sơ đồ thông thường được cấu trúc trên nhiều trang tính, với mỗi trang tính đại diện cho một khối logic của thiết kế tổng thể. Hỗ trợ điều này, bạn có thể tự động tạo một lớp thành phần chứa tất cả các thành phần trên trang tính đó, cho mỗi trang tính sơ đồ trong dự án, bằng cách bật hộp kiểm **Lớp thành phần** thích hợp. Lớp thành phần PCB sẽ có cùng tên với Bộ thiết kế của biểu tượng trang tính tham chiếu đến trang sơ đồ đó. Một lớp thành phần sẽ không được tạo nếu trang tính không chứa bất kỳ thành phần nào.

Tạo phòng

Phòng là một đối tượng hình đa giác hỗ trợ cho việc bố trí các thành phần, chúng được tạo tự động cho mỗi trang sơ đồ đã bật hộp kiểm **Tạo Phòng**. Trong PCB, mỗi phòng được định nghĩa là một quy tắc thiết kế, quy tắc này sẽ được tạo với phạm vi `InComponentClass('<SheetSymbolDesignator>')`. Phòng sẽ không được tạo nếu trang tính không chứa bất kỳ thành phần nào. Khi sơ đồ ban đầu được chuyển đến PCB, các thành phần trong mỗi lớp thành phần được sắp xếp thành một hàng, và sau đó một căn phòng được tạo xung quanh lớp thành phần đó, như hình dưới đây.



PCB sau khi đồng bộ hóa thiết kế ban đầu - một phòng đã được tạo cho mỗi trang tính và phòng đó được gán lớp thành phần của trang tính đó.

Các lớp cấu trúc

Một lớp cấu trúc có thể bao gồm các lớp net, các lớp thành phần và các lớp cấu trúc cấp độ phân cấp thấp hơn, làm thành viên của nó. Một lớp cấu trúc được tạo cho mỗi trang tính mà tùy chọn được bật và sẽ bao gồm thành phần cấp trang tính và các lớp mạng, nếu các tùy chọn đó được bật cho trang tính đó. Chỉnh sửa Lớp cấu trúc trong trình chỉnh sửa PCB để thêm các lớp mạng / thành phần / cấu trúc khác. Sử dụng chế độ **Cấu trúc** của bảng *PCB* để định vị các thành phần và lưới trong lớp cấu trúc đó.

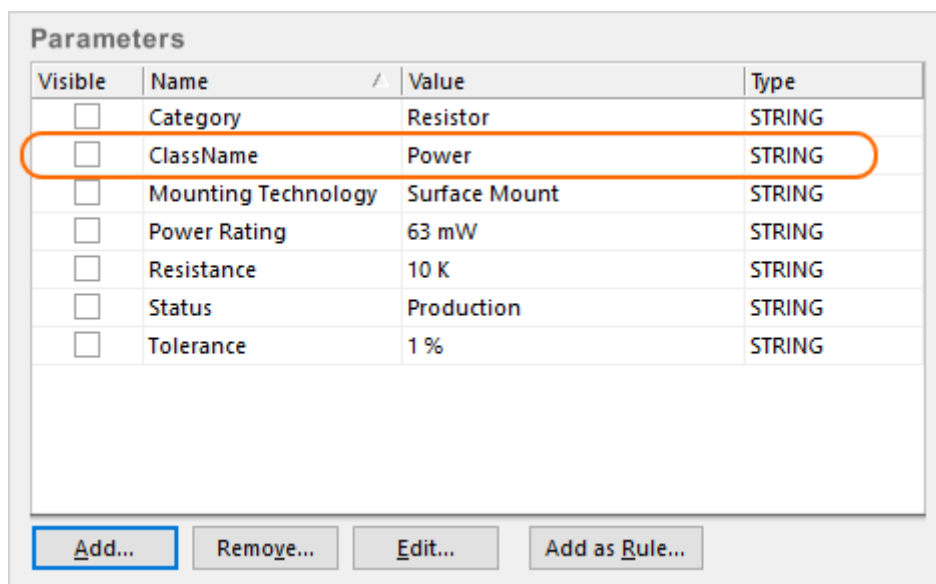
Tạo các lớp do người dùng xác định

Bạn cũng có thể tạo các lớp thành phần và lớp mạng do người dùng xác định, bằng cách đính kèm một tham số vào thành phần hoặc mạng có liên quan. Sau đó, thành phần PCB và các lớp mạng sẽ được tạo nếu các hộp kiểm **Lớp do Người dùng Xác định** thích hợp được bật trong tab **Tạo Lớp** của hộp thoại *Tùy chọn cho Dự án*.

Lớp thành phần do người dùng xác định

Trong sơ đồ, bạn có thể chỉ định rằng một thành phần được thêm vào một lớp thành phần PCB khi sơ đồ được đồng bộ hóa với PCB.

Để làm điều đó, bạn thêm một tham số vào thành phần, với tham số **Tên** chuỗi được đặt thành **ClassName**, và tham số Chuỗi **giá trị** được đặt thành bắt buộc **<PCB_ComponentClassName>**, như thể hiện trong hình ảnh ví dụ bên dưới.



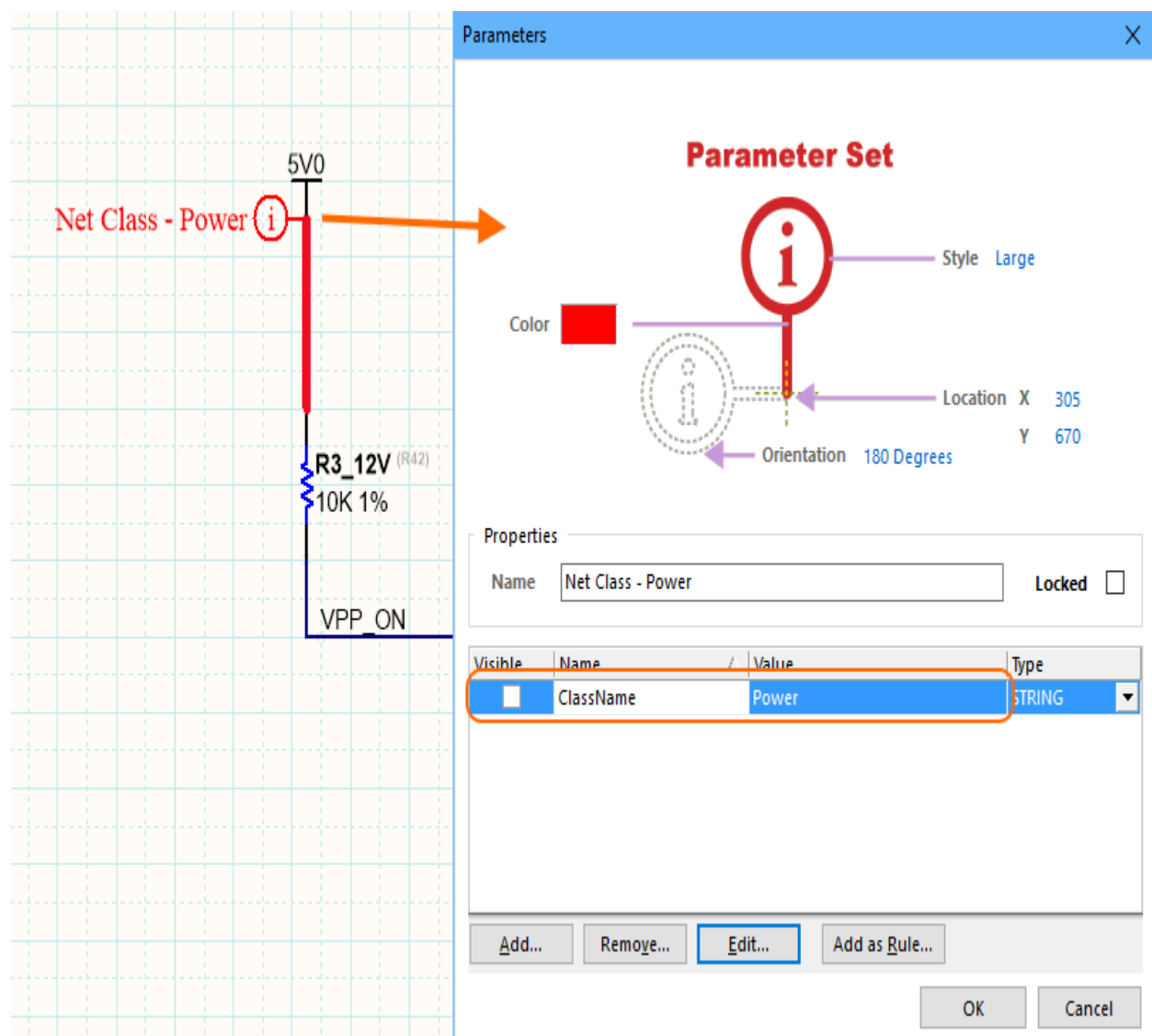
Visible	Name	Value	Type
<input type="checkbox"/>	Category	Resistor	STRING
<input type="checkbox"/>	ClassName	Power	STRING
<input type="checkbox"/>	Mounting Technology	Surface Mount	STRING
<input type="checkbox"/>	Power Rating	63 mW	STRING
<input type="checkbox"/>	Resistance	10 K	STRING
<input type="checkbox"/>	Status	Production	STRING
<input type="checkbox"/>	Tolerance	1 %	STRING

Bằng cách thêm một tham số vào thành phần, thành phần này sẽ được thêm vào lớp thành phần PCB được gọi là Power.

Lớp mạng do người dùng xác định

Để thêm lưới (hoặc các lưới trong bus hoặc dây tín hiệu) vào lớp net PCB, bạn cần đính kèm một tham số vào net / bus / harness đó. Bạn thực hiện điều đó bằng cách đặt một đối tượng **Bộ tham số** với đầu của nó chạm vào mạng / bus / harness, như thể hiện trong hình bên dưới. Bạn có thể đặt đối tượng Bộ thông số (**Place »Directives» Parameter Set**) và sau đó thêm thông số vào nó theo cách thủ công hoặc bạn có thể đặt đối tượng Bộ tham số được cấu hình trước bằng lệnh **Place »Directives» Net Class** .

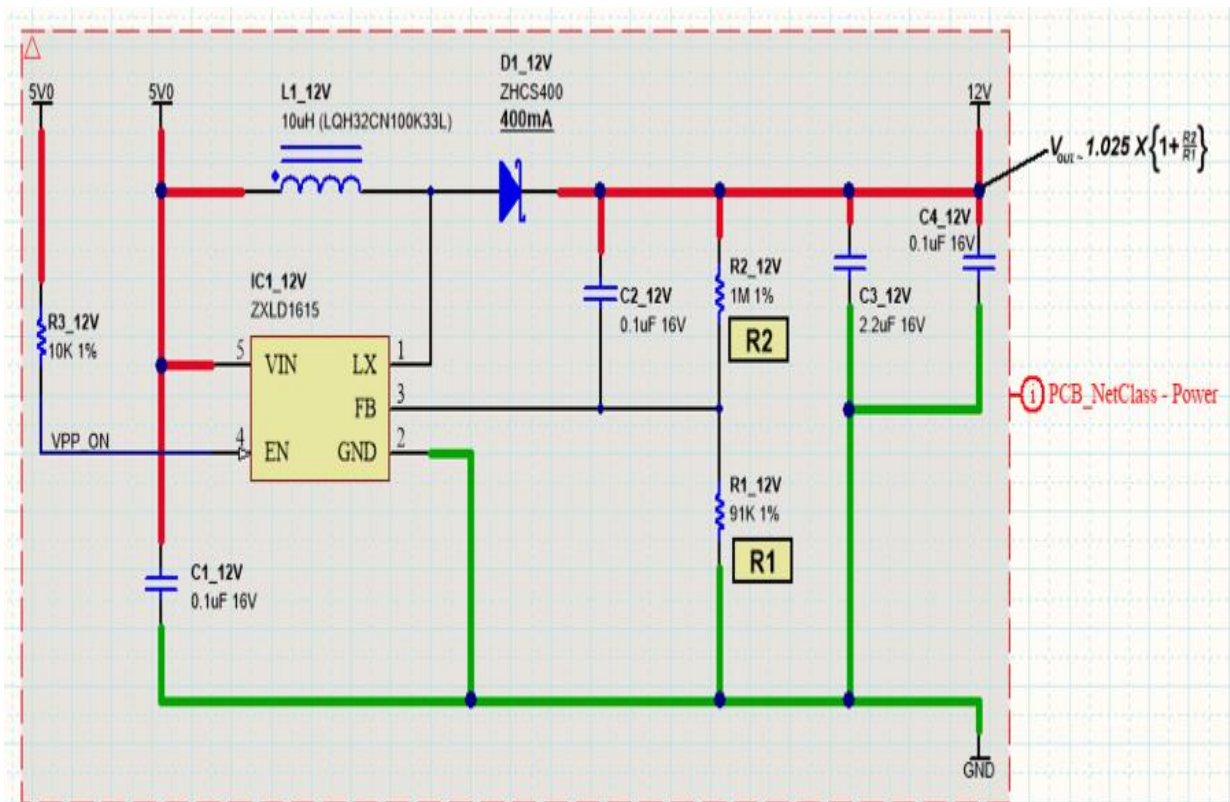
Tham số phải có **Tên** được đặt thành ClassName và **Giá trị** tham số được đặt thành bắt buộc <PCB_NetClassName>.



Để thêm một mạng vào một lớp mạng PCB, hãy đính kèm một đối tượng Bộ tham số vào mạng sơ đồ, sau đó thêm một tham số vào đối tượng Bộ tham số.

Sử dụng Chặn để Áp dụng Chỉ thị cho Nhiều Nets

Bạn cũng có thể thêm nhiều lưới vào một lớp net PCB bằng cách đặt chỉ thị **Blanket** bao gồm tất cả các lưới đó. Chức năng của Blanket là cho phép bạn áp dụng chỉ thị cho tất cả các lưới nằm dưới lớp phủ (hoặc được xác định bằng số nhận dạng mạng, chẳng hạn như Nhãn mạng hoặc Cổng nguồn nằm dưới lớp phủ hoặc mạng có đầu cuối đỉnh chứa trong Blanket). Thay vì đặt lệnh Parameter Set sao cho nó chạm vào một sợi dây, bạn đặt nó sao cho nó chạm vào mép của tấm chắn, như trong hình dưới đây. Lưu ý rằng giá trị của Tham số trong đối tượng Tập tham số xác định tên lớp mạng PCB, không phải tên hiển thị của đối tượng Tập tham số.



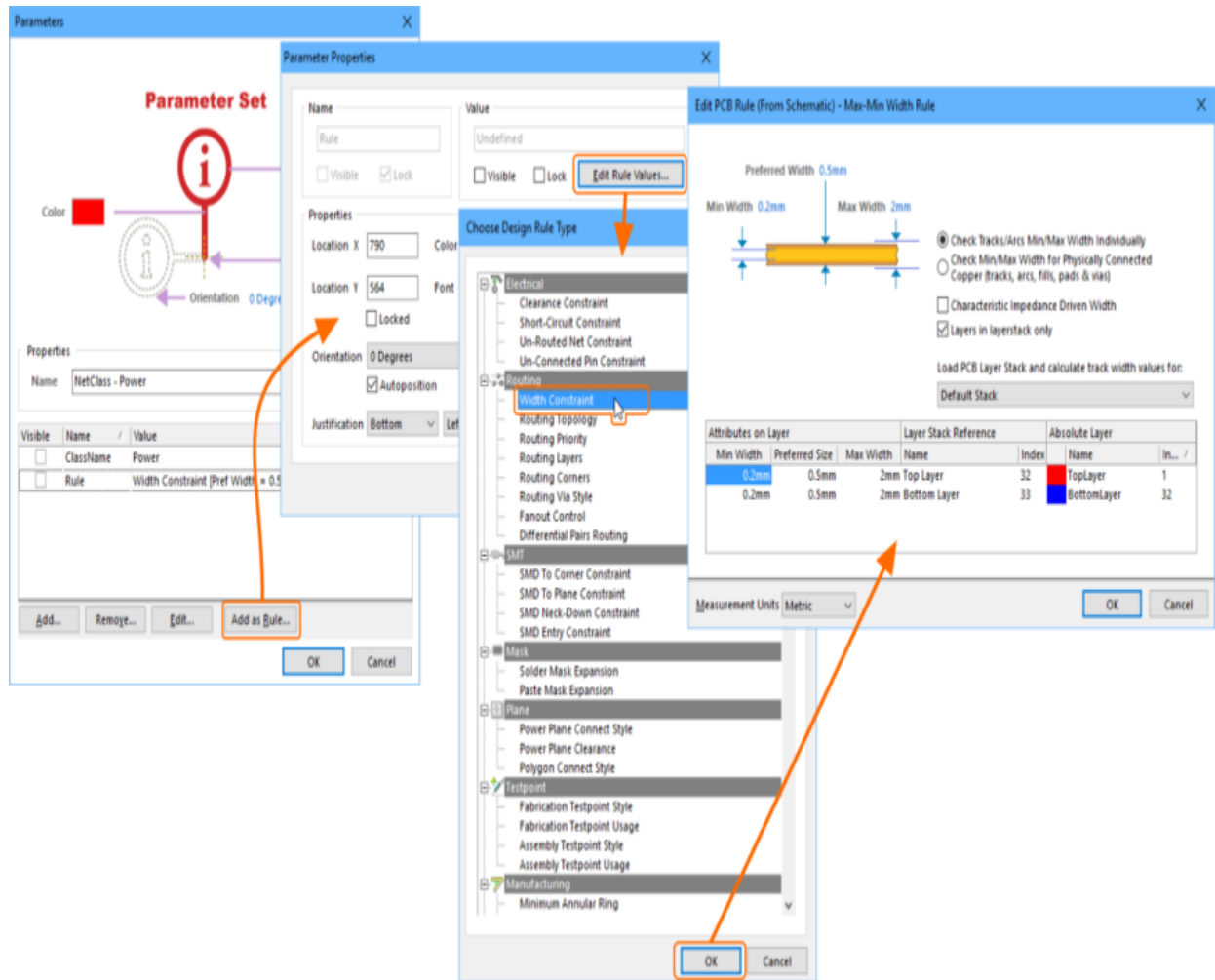
Sử dụng chỉ thị Blanket để gộp tất cả các lưới bên dưới nó, thành một lớp mạng PCB được gọi là Power. Lưu ý rằng tên đối tượng Bộ tham số không được sử dụng để đặt tên, nó chỉ là một tham chiếu trực quan.

Một thành phần / mạng có thể thuộc về nhiều lớp thành phần / mạng trong PCB.

Đồng bộ hóa các quy tắc thiết kế

Như với các lớp, các quy tắc thiết kế cũng được áp dụng trong giản đồ như một tham số. Trong mỗi đối tượng mà bạn có thể thêm tham số, ví dụ một thành phần hoặc một đối tượng Bộ tham số, có một nút **Thêm dưới dạng Quy tắc**.

Nhấp vào nút **Thêm dưới dạng quy tắc** sẽ thêm một tham số với **Tên** được đặt thành Rule. Khi tên tham số này được sử dụng, hộp thoại *Thuộc tính Tham số* sẽ bao gồm nút **Chỉnh sửa Giá trị Quy tắc**. Nhấp vào nút này để mở hộp thoại *Chọn Loại Quy tắc Thiết kế*. Sau khi chọn quy tắc thiết kế yêu cầu, giai đoạn cuối cùng là xác định các ràng buộc quy tắc trong hộp thoại *Chỉnh sửa Quy tắc PCB*.



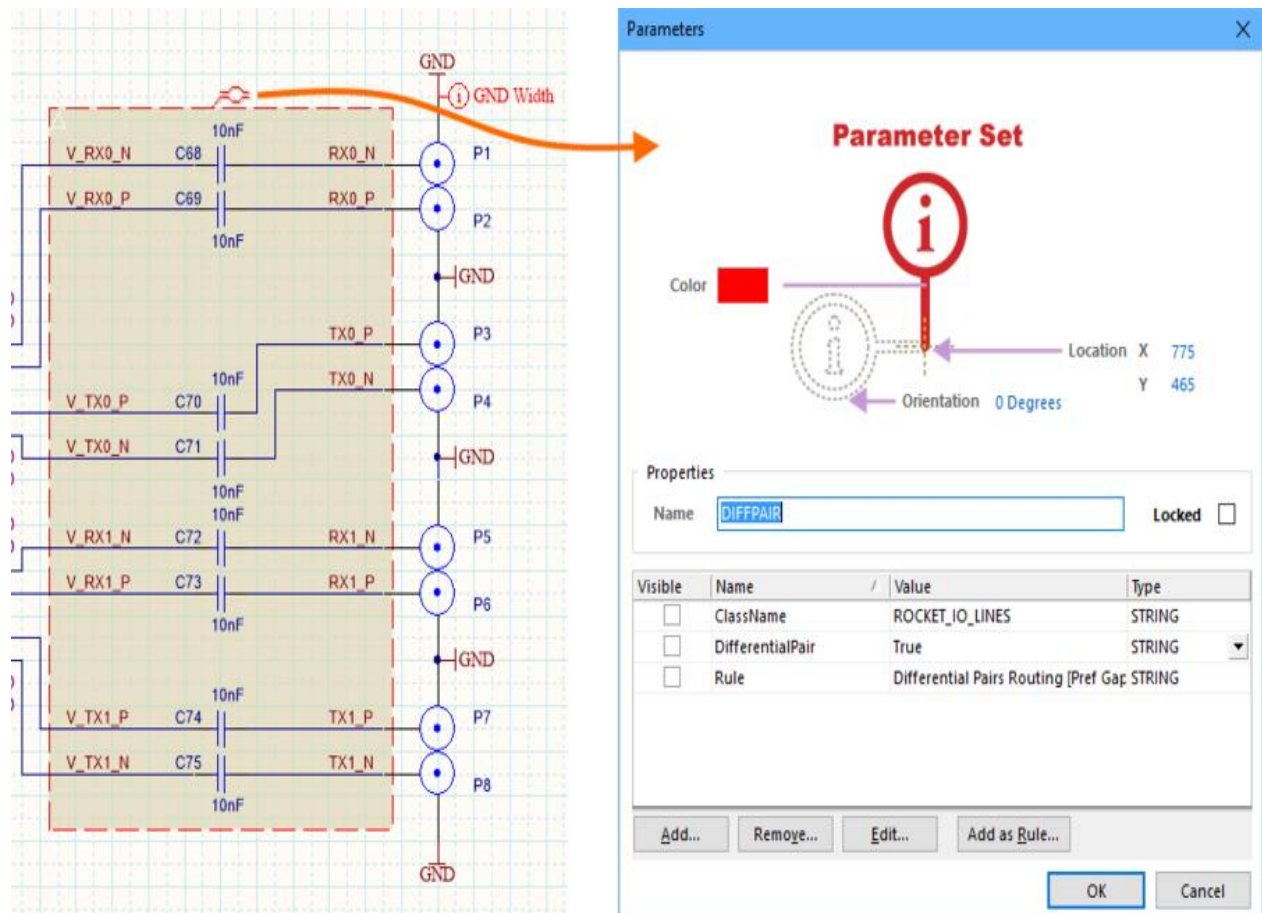
Bằng cách nhấp vào nút **Add as Rule**, tham số sẽ trở thành vùng chứa để chứa định nghĩa của quy tắc thiết kế PCB.

Trong tab **Bộ so sánh**, hãy đảm bảo rằng các phép so sánh loại Quy tắc bắt buộc được bật để cho phép các quy tắc thiết kế được thêm vào và cập nhật trong PCB.

Schematic <RuleType> Ví dụ, mỗi quy tắc PCB được tạo ra từ một định nghĩa quy tắc giản đồ sẽ được tự động đặt tên Schematic <Width Constraint>. Bạn có thể chỉnh sửa tên này nếu được yêu cầu, nó không được sử dụng để đồng bộ hóa quy tắc đang diễn ra.

Trong cả hình ảnh bên trên và hình ảnh bên dưới, quy tắc thiết kế được xác định trong một đối tượng Bộ tham số được gắn vào một cái chặn. Bằng cách bao gồm một tham số ClassName trong đối tượng Bộ tham số đó, một lớp mạng PCB cũng sẽ được tạo và bởi vì định nghĩa lớp có mặt, quy tắc PCB sẽ được xác định phạm vi InNetClass('< PCB_NetClassName> ').

Trong hình ảnh bên dưới, bạn sẽ nhận thấy rằng đối tượng Bộ tham số được hiển thị dưới dạng chỉ thị Cặp vi phân. Đây cũng là một đối tượng Bộ tham số, trong trường hợp này nó có một Tham số với **Tên** DifferentialPair và **Giá trị** là True. Khi phần mềm nhìn thấy một đối tượng Bộ tham số với tham số này, nó sẽ nhận ra nó là một chỉ thị cặp vi phân và hiển thị nó dưới dạng ký hiệu Cặp vi phân, thay vì đối tượng Bộ tham số mặc định. Bạn có thể đặt chỉ thị Cặp vi phân được định cấu hình trước thông qua lệnh **Place »Directives» Differential Pair** , lệnh này sẽ đặt với tham số này đã được xác định.



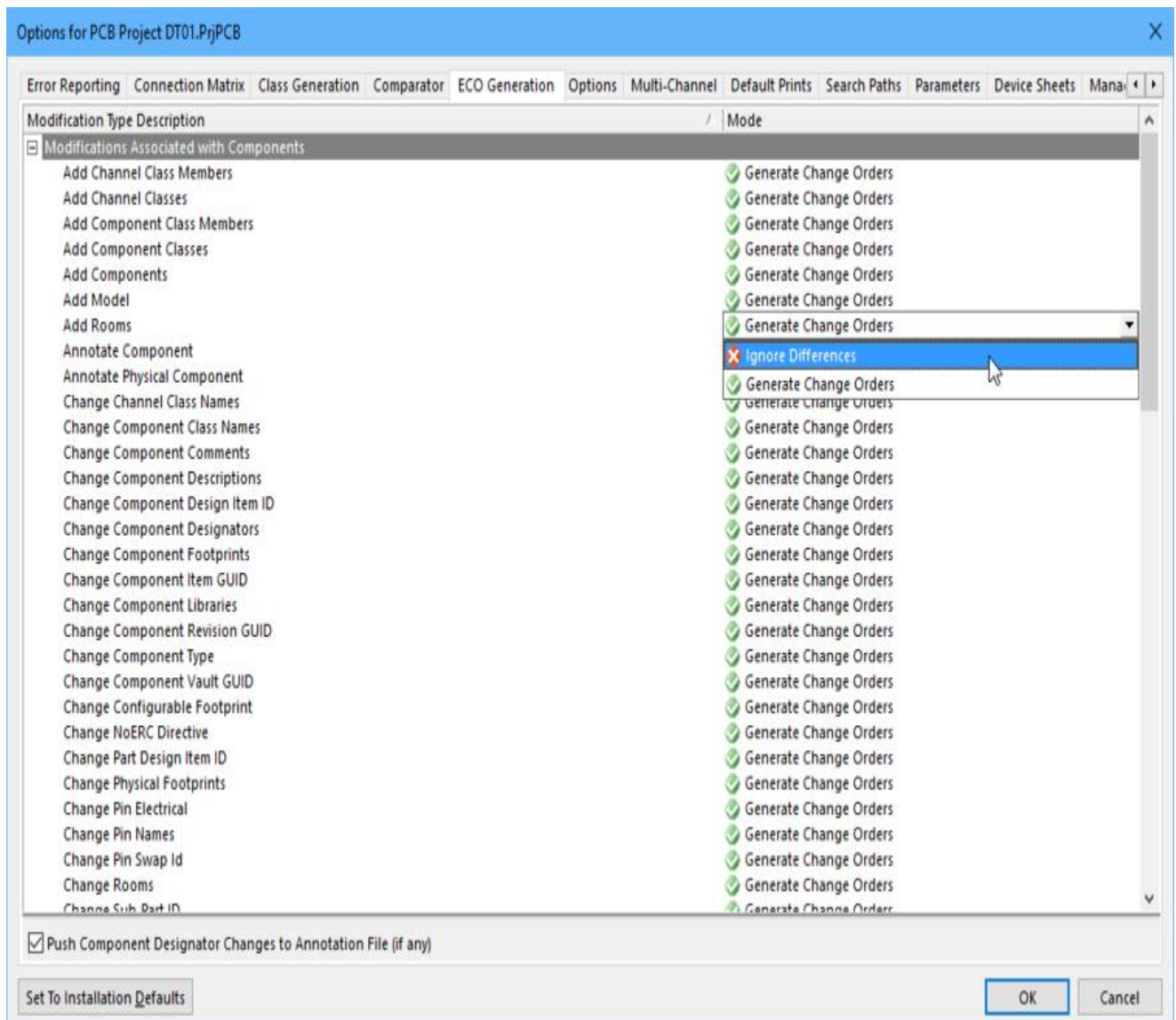
Đối tượng Bộ tham số có thể hiển thị theo nhiều cách khác nhau, tùy thuộc vào các tham số mà nó nắm giữ.

Trong ví dụ minh họa ở trên, có ba tham số trong đối tượng Bộ tham số, áp dụng cho tất cả các lưới nằm dưới lớp phủ theo cách sau:

TÊN THÔNG SỐ	GIÁ TRỊ THAM SỐ	CHỨC NĂNG THAM SỐ
Tên lớp	ROCKET_IO_LINES	Tạo một Lớp mạng PCB được gọi là ROCKET_IO_LINES, với các thành viên của lớp net là tất cả các mạng được phát hiện dưới lớp phủ.
DifferentialPair	Thật	Tạo một cặp vi phân PCB cho mỗi cặp lưới được đặt tên phù hợp (tên mạng phù hợp, kết thúc bằng _P và _N). Đối với các lưới trong hình, 8 cặp vi sai PCB sẽ được tạo. Nếu Blanket chưa được sử dụng, bạn cần đặt chỉ thị Cặp sai biệt trên mỗi lưới mà bạn muốn đưa vào một cặp.
Qui định	Định tuyến cặp vi sai [chi tiết quy tắc]	Tạo Quy tắc định tuyến cặp vi phân PCB, phạm vi đến Lớp mạng PCB được tạo bởi tham số Tên lớp có trong đối tượng Bộ tham số này.

Định cấu hình các tùy chọn tạo ECO

Các *lựa chọn cho dự án* thoại cũng bao gồm một **ECO thể hệ** tab. Tab này xác định những sửa đổi thiết kế nào có thể tạo ECO. Thông thường, tất cả chúng đều được kích hoạt, với các tùy chọn trong tab Bộ so sánh được sử dụng để định cấu hình những thay đổi thiết kế nào sẽ được đồng bộ hóa giữa sơ đồ và PCB.



Tab Tạo ECO xác định loại sửa đổi nào có thể tạo ECO.

Tìm sự khác biệt

Tính năng đồng bộ hóa thiết kế có thể phát hiện và giải quyết sự khác biệt theo cả hai hướng; có nghĩa là, từ sơ đồ đến PCB, hoặc từ PCB trở lại sơ đồ.

Có 2 cách tiếp cận để phát hiện và giải quyết sự khác biệt, bạn có thể:

1. chỉ định hướng cập nhật cho mỗi thay đổi, hoặc bạn
2. áp dụng tất cả các bản cập nhật theo cùng một hướng.

Nếu bạn không cần áp dụng các bản cập nhật theo cả hai hướng cùng một lúc, thì bạn không cần phải trải qua quá trình chọn tài liệu để so sánh và định cấu hình hướng

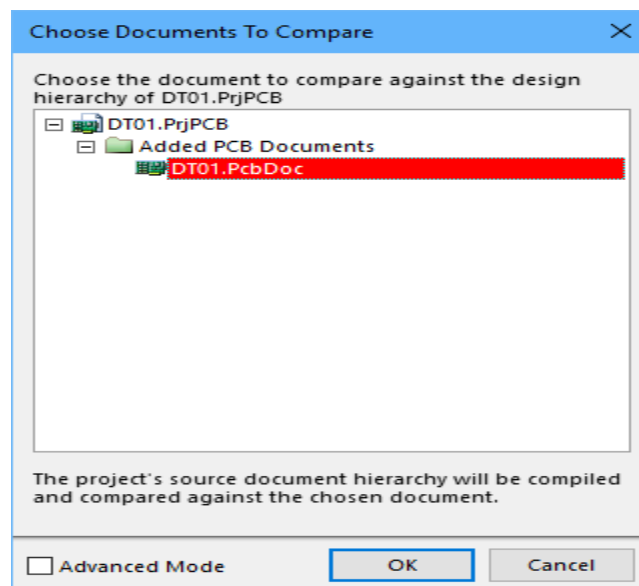
cập nhật để giải quyết sự khác biệt. Trong trường hợp đó, bạn có thể chuyển thẳng đến phần **Thực hiện Cập nhật Trực tiếp** của bài viết này và đọc tiếp từ đó.

Phần mềm thực sự có khả năng giải quyết những khác biệt này bằng cách áp dụng các thay đổi cho cả hai bên cùng một lúc. Ví dụ, hãy tưởng tượng kịch bản trong đó nhà thiết kế điện tử đã thay đổi giá trị của một tụ điện, trong khi nhà thiết kế PCB đã thay đổi dấu chân của cùng một tụ điện đó. Hai sự khác biệt này có thể được giải quyết trong một quá trình cập nhật duy nhất, bằng cách áp dụng thay đổi nhận xét dưới dạng cập nhật sơ đồ thành PCB và thay đổi dấu chân dưới dạng cập nhật PCB thành sơ đồ.

Khi công cụ so sánh so sánh dự án sơ đồ với PCB, một danh sách đầy đủ các điểm khác biệt được tạo ra, ở giai đoạn này không có giả định về mặt nào phải được thay đổi để đưa chúng trở lại đồng bộ.

Danh sách sự khác biệt có thể được nhìn thấy trong hộp thoại *Sự khác biệt giữa* . Để mở hộp thoại *Sự khác biệt giữa* và xem danh sách các điểm khác biệt:

- Chạy lệnh **Project »Show Differences** để mở hộp thoại *Choose Documents to Compare* , như thể hiện trong hình bên dưới. Các *Chọn tài liệu để so sánh* thoại được sử dụng để lựa chọn những gì hai văn bản / tài liệu-bộ, bạn sẽ được so sánh, thường nó là dự án sơ đồ áp sát vào PCB. Bạn cũng có thể sử dụng hộp thoại này để so sánh bất kỳ tài liệu nào với bất kỳ tài liệu nào bằng cách đánh dấu vào tùy chọn **Chế độ nâng cao** . Ví dụ, bạn có thể so sánh một netlist với một PCB, hoặc một PCB với một PCB.

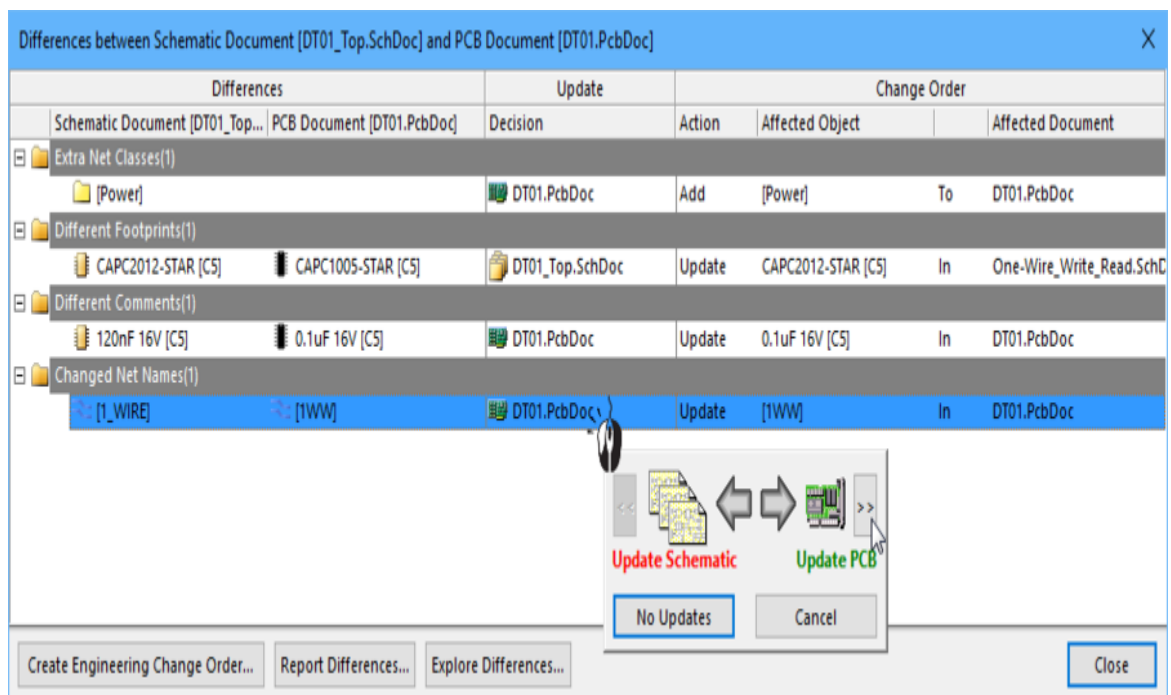


Chọn PCB để so sánh.

- Chọn PCB trong phần chính của hộp thoại và nhấp vào **OK** để mở hộp thoại *Sự khác biệt giữa* , như được hiển thị bên dưới.

Các *Sự khác nhau giữa* hộp thoại sẽ mở ra. Bước tiếp theo là chỉ định hướng cập nhật cho mỗi điểm khác biệt:

- Đối với sự khác biệt riêng lẻ, hãy nhấp vào cột **Cập nhật** để hiển thị một bộ chọn hướng, như được hiển thị trong hình ảnh bên dưới.
- Để có nhiều điểm khác biệt cùng loại, hãy nhấp chuột phải vào một tiêu đề, chẳng hạn như Dấu chân Khác nhau và chọn lệnh **Cập nhật cùng loại** cần thiết .
- Đối với tất cả các điểm khác biệt, nhấp chuột phải vào bất kỳ đâu trong hộp thoại và chọn lệnh **Update All** cần thiết .



Đối với mỗi sự khác biệt, hướng Cập nhật phải được thiết lập để tạo ECO để giải quyết sự khác biệt đó.

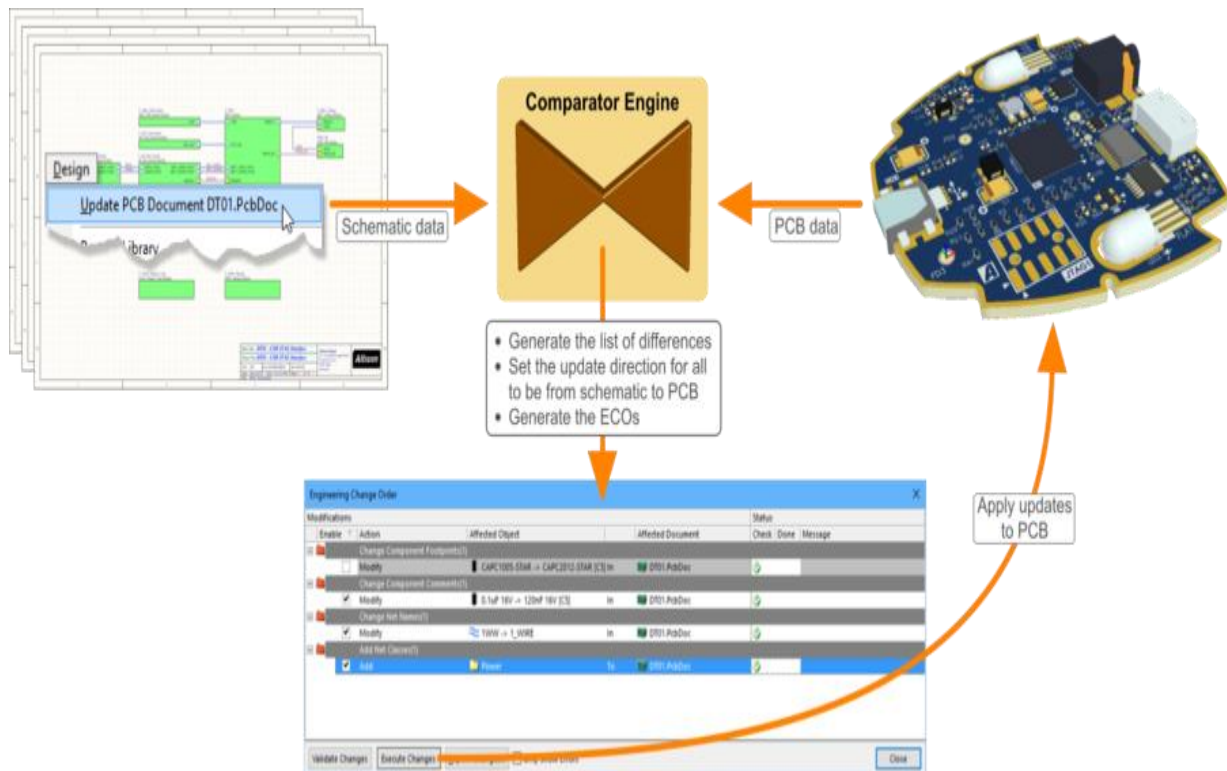
Khi hướng Cập nhật đã được chỉ định, hãy nhấp vào nút **Tạo Thử tự Thay đổi Kỹ thuật** để mở hộp thoại *Thử tự Thay đổi Kỹ thuật* , được mô tả bên dưới.

Thực hiện cập nhật trực tiếp

Vì nhà thiết kế thường biết họ muốn áp dụng các bản cập nhật theo cách nào và những bản cập nhật đó đều theo cùng một hướng, bạn có thể chọn bỏ qua quá trình phát hiện sự khác biệt và chỉ định hướng vừa được mô tả.

Thay vì chọn lệnh **Hiển thị sự khác biệt** từ menu **Dự án** , bạn chọn lệnh **Cập nhật** từ menu **Thiết kế** , từ trình chỉnh sửa sơ đồ hoặc trình chỉnh sửa PCB. Lựa chọn của bạn về trình chỉnh sửa mà từ đó bạn chạy lệnh, cho biết hướng bạn muốn thực hiện các thay đổi - từ trình chỉnh sửa *này đến* trình chỉnh sửa *đó* . Ví dụ: bạn sẽ chọn **Thiết kế »Cập nhật** trong trình chỉnh sửa sơ đồ để đẩy tất cả các thay đổi từ sơ đồ sang PCB.

Các *Sự khác nhau* giữa hộp thoại bây giờ sẽ được bỏ qua, thay vào đó bạn sẽ nhảy thẳng vào *kỹ thuật tự Change* thoại.



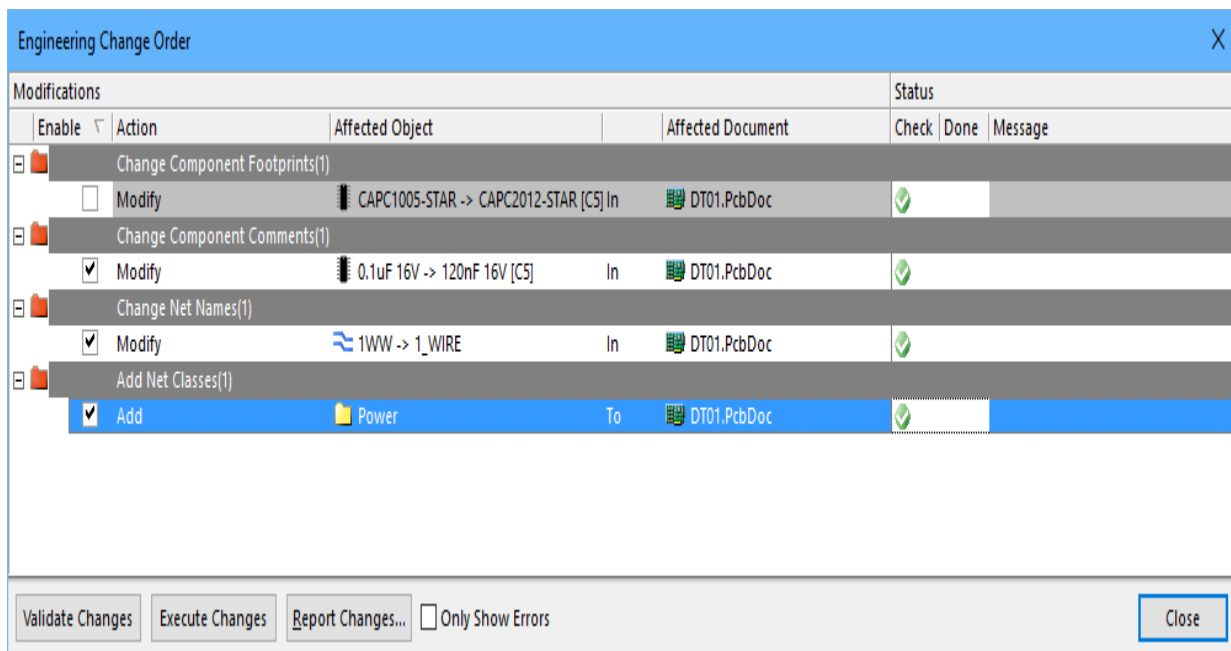
Nếu tất cả các bản cập nhật sẽ được áp dụng theo cùng một hướng, hãy sử dụng lệnh **Design »Update** .

Giải quyết sự khác biệt - Áp dụng ECOs

Mỗi sự khác biệt được giải quyết bằng cách áp dụng Lệnh Thay đổi Kỹ thuật (gọi tắt là ECO). Các ECO được liệt kê trong hộp thoại *Thứ tự Thay đổi Kỹ thuật* với một ECO trên mỗi dòng, mỗi ECO có hộp kiểm **Bật** riêng .

Khi sử dụng hộp thoại *Thứ tự Thay đổi Kỹ thuật* :

- Hộp thoại mở ra khi tất cả các thay đổi đã được bật, hãy tắt bất kỳ thay đổi nào bạn muốn giữ lại ngay bây giờ. Hộp thoại hỗ trợ nhiều lựa chọn, sử dụng menu ngữ cảnh nhấp chuột phải để chuyển đổi trạng thái bật của các ECO đã chọn.
- Sử dụng lệnh nhấp chuột phải Cross Probe để kiểm tra các đối tượng bị ảnh hưởng bởi ECO đó.
- Sử dụng nút **Xác thực Thay đổi** để kiểm tra xem các thay đổi có thể được thực hiện hay không. Các ECO thường không thành công vì một đối tượng không có sẵn, ví dụ như dấu chân PCB được chỉ định không tồn tại trong các Thư viện có sẵn hoặc vùng đệm được chỉ định không tồn tại trên dấu chân.
- Một ECO cũng có thể không thành công vì một đối tượng cần thiết của một ECO nhất định không có mặt, mà chỉ được thêm vào trong quá trình xử lý các ECO hiện tại. Trong trường hợp này, hãy chạy lại lệnh Cập nhật để hoàn thành ECO đó.



Mỗi thay đổi thiết kế thể hiện như một ECO, hãy kích hoạt những thay đổi được yêu cầu. Khi tất cả các ECO đã được áp dụng, sơ đồ và PCB sẽ đồng bộ trở lại.

Hộp thoại ECO hỗ trợ nhiều lựa chọn. Nhấp chuột phải vào hộp thoại để truy cập các lệnh để: **Bật** hoặc **Tắt** các ECO đã **Chọn**, hoặc để **thăm dò chéo** đối với các đối tượng bị ảnh hưởng bởi ECO đó.

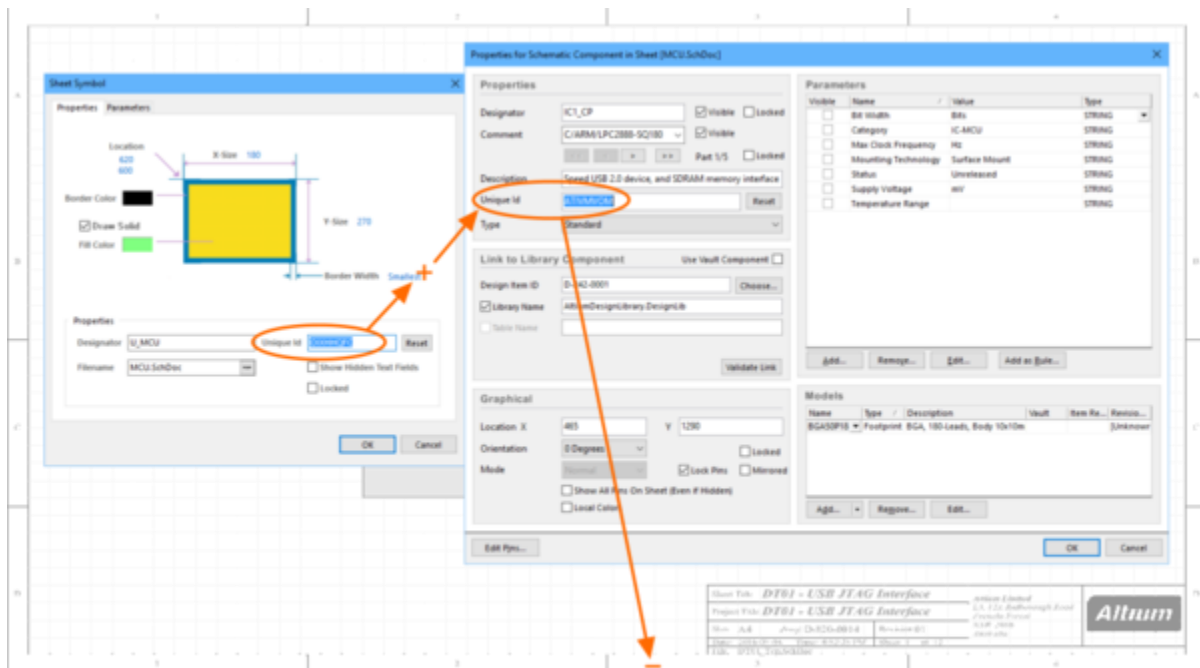
Hiểu mối liên kết giữa sơ đồ và PCB

Liên kết các thành phần

Mỗi thành phần giản đồ được liên kết với thành phần PCB của nó thông qua Mã định danh duy nhất (UID). Trong trình chỉnh sửa sơ đồ, UID được gán khi thành phần được đặt trên trang tính và giá trị đó được chuyển đến thành phần PCB khi thiết kế được chuyển sang trình chỉnh sửa PCB. Mặc dù sơ đồ này sẽ phù hợp cho một thiết kế đơn giản, nhưng nó không có khả năng hỗ trợ thiết kế đa kênh, trong đó thành phần sơ đồ giống nhau được lặp lại trong mỗi kênh vật lý (có nghĩa là các thành phần PCB lặp lại sẽ kết thúc với cùng một UID) .

Để phục vụ cho việc này, UID cho thành phần PCB được tạo bằng cách kết hợp UID của Biểu tượng trang chính với UID của thành phần giản đồ, với cú pháp sau (được hiển thị trong hình ảnh bên dưới):

$$\text{PcbUID} = \backslash \text{SheetSymbolUID} \backslash \text{ComponentUID}$$



UID kết nối từng thành phần sơ đồ với PCB tương đương của nó.

Đối với thiết kế đa kênh, cú pháp của PCB UID thay đổi một chút, hãy tham khảo bài viết [Thiết kế đa kênh và đa kênh](#) để biết thêm thông tin.

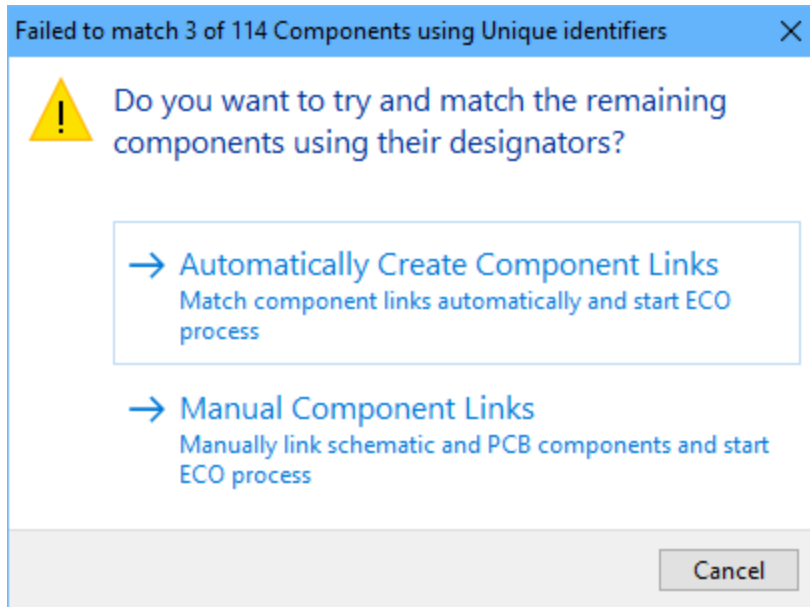
Khi liên kết thành phần bị hỏng

Mỗi thành phần sơ đồ liên kết với thành phần PCB của nó thông qua Bộ định danh duy nhất (UID). Bằng cách sử dụng một số nhận dạng duy nhất, điều đó có nghĩa là các ký hiệu chỉ định có thể trở nên không đồng bộ hóa (có thể bằng cách thực hiện chú thích lại PCB một số lần), mà không có bất kỳ rủi ro nào về việc sơ đồ và PCB trở nên không thể đồng bộ hóa.

UID được gán cho thành phần sơ đồ khi phần đó được đặt trên trang tính, sau đó được chuyển sang thành phần PCB khi thiết kế lần đầu tiên được chuyển từ trình chỉnh sửa sơ đồ sang trình chỉnh sửa PCB. Cho đến nay rất tốt, không có quản lý liên kết thành phần nào cần được thực hiện.

Nhưng nếu các thành phần bổ sung được thêm vào sơ đồ và thực hiện **Cập nhật PCB**, không còn sự khớp giữa tập hợp các thành phần sơ đồ và tập hợp các thành phần PCB, vì vậy phần mềm sẽ tạm dừng và cảnh báo rằng không phải tất cả các thành phần đều được liên kết, và đề nghị đối sánh bởi người được chỉ định thay thế. Trong các phiên bản trước của Altium Designer, cách duy nhất để khắc phục tình trạng này là chuyển sang trình chỉnh sửa PCB và chạy lệnh **Project »Component Links**. Lệnh này mở **hộp thoại Chỉnh sửa liên kết thành phần**, đây là giao diện để quản lý các UID. Sau đó, nhà thiết kế sẽ so khớp các UID và nhấp vào **Thực hiện cập nhật**, kết quả là các UID PCB sẽ được cập nhật nếu cần, vì vậy mỗi UID khớp với phần sơ đồ của chúng.

Để đơn giản hóa cách nhà thiết kế đối phó với tình huống này, Altium Designer 16.1 đã giới thiệu tính năng phân giải liên kết tự động. Bây giờ khi bạn thực hiện Cập nhật PCB và có thành phần UID không khớp, hộp thoại sau sẽ xuất hiện:



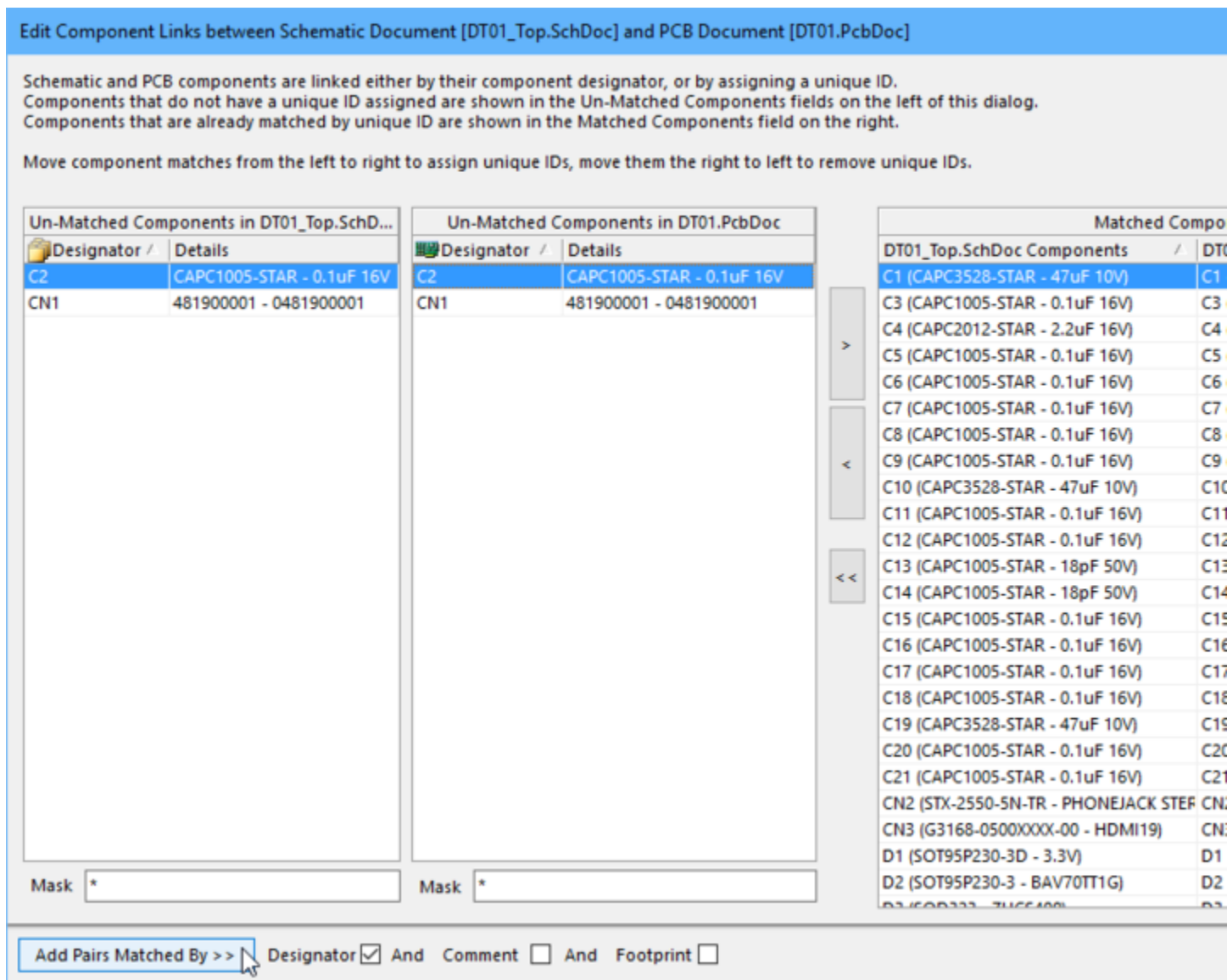
Nếu có UID ở một trong hai bên mà không có UID phù hợp ở bên kia, hộp thoại này sẽ xuất hiện.

Bất kể bạn nhấp vào nút nào, trình tự các bước đều giống nhau. Các bước này bao gồm:

1. Cập nhật các liên kết thành phần - nếu nút **Tự động** được nhấp, bước này sẽ không hiển thị trên màn hình. Nếu nút **Thủ công** được nhấp, hộp thoại *Chỉnh sửa liên kết thành phần* sẽ mở ra, tại đây bạn phải khớp bất kỳ thành phần nào chưa khớp và chuyển chúng sang phía **Thành phần đã khớp**. Đừng lo lắng về các thành phần sơ đồ mới, chúng vẫn ở bên trái của hộp thoại và được thêm vào PCB như một phần của bước ECO. Khi tất cả các đối sánh có thể đã được thực hiện, nút **Thực hiện Cập nhật** được nhấp để chỉ định các UID phù hợp cho các thành phần mới được đối sánh đó. Nếu UID được thay đổi, hộp thoại *Thông tin* sẽ báo cáo chi tiết.
2. Ghép bất kỳ lưới nào chưa khớp - Nếu có lưới có tên không khớp ở cả hai bên, hộp thoại Khớp thủ công sẽ xuất hiện tiếp theo, báo cáo rằng một số lưới không thể được khớp (hộp thoại này không xuất hiện nếu tất cả các lưới đều khớp). Nếu bạn bấm **Yes** trong *thủ Match* thoại các hộp thoại Match Nets sẽ mở ra, nơi bạn có thể tự phù hợp với bất kỳ sơ đồ lưới chưa từng có để lưới PCB chưa từng có. Nếu bạn chọn nhấp vào **Không**, thì thay vì bạn kết hợp các lưới có tên khác nhau, các lưới chưa khớp hiện có sẽ bị xóa khỏi PCB và các lưới mới hiện không tồn tại trên PCB sẽ được thêm vào.
3. Các Thay đổi thứ tự Engineering thoại sau đó mở ra, quy định chi tiết tất cả các thay đổi đó phải được thực hiện đồng bộ các schematic và PCB. Khi chúng được thực thi, sơ đồ và PCB sẽ được đồng bộ trở lại.

Khớp thủ công các UID thành phần

1. Nhấp vào **Hủy** trong hộp thoại *Không khớp* được đề cập trong phần trước để chấm dứt quá trình Cập nhật, sau đó đặt PCB trở thành tài liệu hoạt động.
2. Chọn lệnh **Project »Component Links** để mở hộp thoại *Edit Component Links* , như hình dưới đây. Hộp thoại này là nơi quản lý đồng bộ hóa UID. Nó hiển thị các thành phần sơ đồ và PCB chưa khớp trong hai cột hẹp hơn ở bên trái, với các thành phần phù hợp được hiển thị ở bên phải.
3. Các thành phần đã chọn có thể được đối sánh riêng lẻ bằng cách sử dụng các điều khiển ở giữa hộp thoại hoặc tất cả các thành phần chưa được khớp có thể được khớp tự động bằng cách sử dụng nút **Thêm các cặp được so khớp theo** (và các hộp kiểm được liên kết) ở cuối hộp thoại. Nếu bạn biết các thành phần đã có ký hiệu phù hợp, hãy sử dụng nút này. Kết quả là, đối với tất cả các thành phần không khớp, PCB UID được cập nhật để phù hợp với UID sơ đồ.
4. Khi các UID được khớp lại, hãy quay lại giản đồ và chạy lại lệnh **Thiết kế »Cập nhật** .



Hộp thoại Chỉnh sửa liên kết thành phần được sử dụng để phát hiện và giải quyết sự không phù hợp của UID, nó được chạy từ trình chỉnh sửa PCB.

Nếu bạn sao chép / dán hoặc cắt / dán một thành phần giả đồ, UID của nó sẽ tự động được làm mới - điều này đảm bảo rằng mọi thành phần tiếp tục có một số nhận dạng duy nhất. Nếu bạn đang tổ chức lại giả đồ của mình (đã được chuyển sang trình chỉnh sửa PCB) và cần di chuyển các thành phần sang một trang tính khác, hãy chọn chúng, nhấp chuột phải và chọn **Refactor »Di chuyển mạch phụ đã chọn sang trang tính khác** từ lệnh danh mục.

Phù hợp với Nets và Class

Cả lưới và lớp đều có cha (mạng hoặc lớp) và con (các thành viên của mạng hoặc lớp đó). Đối sánh những điều này yêu cầu một cách tiếp cận khác với cơ chế UID được sử dụng để liên kết thành phần, để hỗ trợ các thay đổi đối với: cấp độ gốc; Trẻ con; hoặc cả cha mẹ và con cái của nó. Ví dụ, một cái gì đó đơn giản như thay đổi tên của một mạng trên sơ đồ không yêu cầu mạng đó và tất cả các mạng con của nó phải được xóa khỏi PCB, sau đó mạng mới được đặt tên được thêm vào và cuối cùng tất cả các mạng con được thêm vào mạng mới đó .

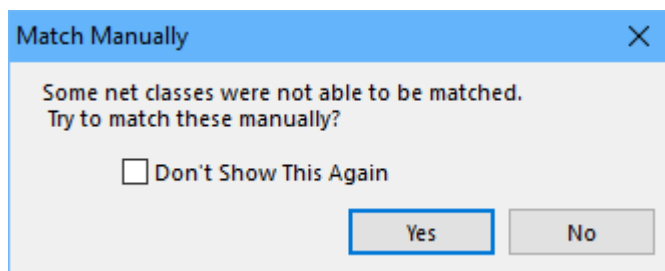
Để hỗ trợ điều này, phần mềm bao gồm các thuật toán so khớp riêng biệt để so khớp các lưới và lớp theo các thành viên của họ, và cả theo tên của họ. Quá trình đối sánh được định cấu hình trong phần **Tiêu chí Đối sánh Đối tượng** của tab **Bộ so sánh** của hộp thoại *Tùy chọn cho Dự án* .

Object Matching Criteria				
Object Type	Min Match %	Min Matched Members	Use Name Matching	Show M
Net	75	3	✓ After member matching	✓ For
Net Class	75	3	✓ After member matching	✓ For
Component Class	75	3	✓ After member matching	✓ For
Differential Pair	50	1	✓ After member matching	✓ For
Code Memory	75	3	✓ After member matching	✓ For

Cài đặt mặc định là để khớp các thành viên trước, sau đó là tên Loại đối tượng.

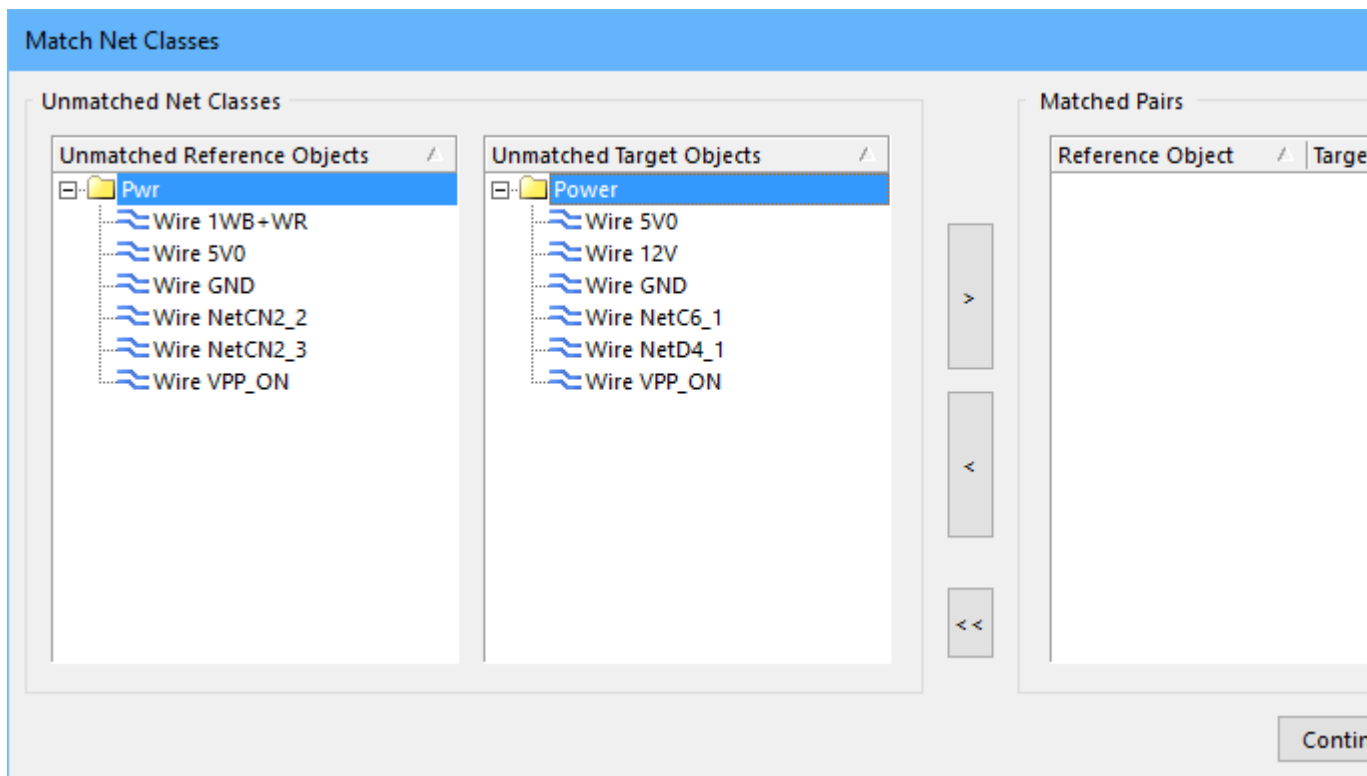
Đối sánh cho các loại đối tượng này được xử lý theo cách sau:

- Trong quá trình đồng bộ hóa thiết kế, hành vi mặc định trước tiên là cố gắng so khớp các thành viên, phù hợp với cài đặt **Thành viên khớp tối thiểu** và **% khớp tối thiểu** .
- Nếu việc đối sánh thành viên không thành công, phần mềm sẽ tìm cách đối sánh theo tên (nếu tùy chọn **Sử dụng Đối sánh Tên** được bật).
- Nếu một trong hai quy trình kết hợp này thành công, bạn sẽ chuyển đến hộp thoại *Thứ tự Thay đổi Kỹ thuật* .
- Nếu cả hai kỹ thuật đối sánh không thành công (hoặc tùy chọn **Sử dụng Đối sánh Tên** được đặt thành Never), hộp thoại *Đối sánh Thủ công* sẽ mở ra.



Bấm Có để khớp mạng hoặc lớp theo cách thủ công.

- Nhấp vào **Không** trong hộp thoại *Khớp theo cách thủ công* sẽ bỏ qua quá trình đối sánh người dùng và chuyển thẳng đến hộp thoại *Thủ tục Thay đổi Kỹ thuật* . Vì bạn chưa cố gắng so khớp bất kỳ đối tượng chưa khớp nào, phần mềm sẽ giả định rằng đối tượng tham chiếu và đối tượng đích là không liên quan, do đó sẽ tạo ECO để loại bỏ **Đối tượng tham chiếu chưa khớp** khỏi bảng và thêm **Đối tượng mục tiêu chưa khớp** làm đối tượng mới.
- Nếu bạn nhấp vào **Có** trong hộp thoại để đối sánh theo cách thủ công, hộp thoại *Đối sánh < Loại đối tượng >* sẽ mở ra, như được hiển thị bên dưới (chú thích hộp thoại sẽ thay đổi để phù hợp với loại đối tượng chưa khớp).



Các trận đấu *<ObjectType>* hộp thoại được sử dụng để tay phù hợp với đối tượng mà bạn biết để được xuất hiện. Để trống phía bên phải và nhấp vào **Tiếp tục** nếu bạn không chắc chắn.

- Trong hộp thoại này, bạn chọn các đối tượng mà bạn muốn đối sánh trong **Đối tượng tham chiếu chưa khớp** và **Đối tượng mục tiêu chưa khớp** , sau đó chuyển chúng sang phần **Các cặp đã khớp** của hộp thoại. Đối với những đối tượng này, phần mềm sẽ tạo ECO để cập nhật tên để chúng khớp với nhau và ECO để xóa / thêm thành viên, vì vậy chúng cũng khớp.
- Bạn không cần phải khớp các đối tượng theo cách thủ công, ví dụ như nếu bạn không chắc chắn. Đối với bất kỳ đối tượng chưa khớp nào, phần mềm sẽ giả định rằng đối tượng tham chiếu và đối tượng đích là không liên quan, do đó sẽ tạo ECO để xóa **Đối**

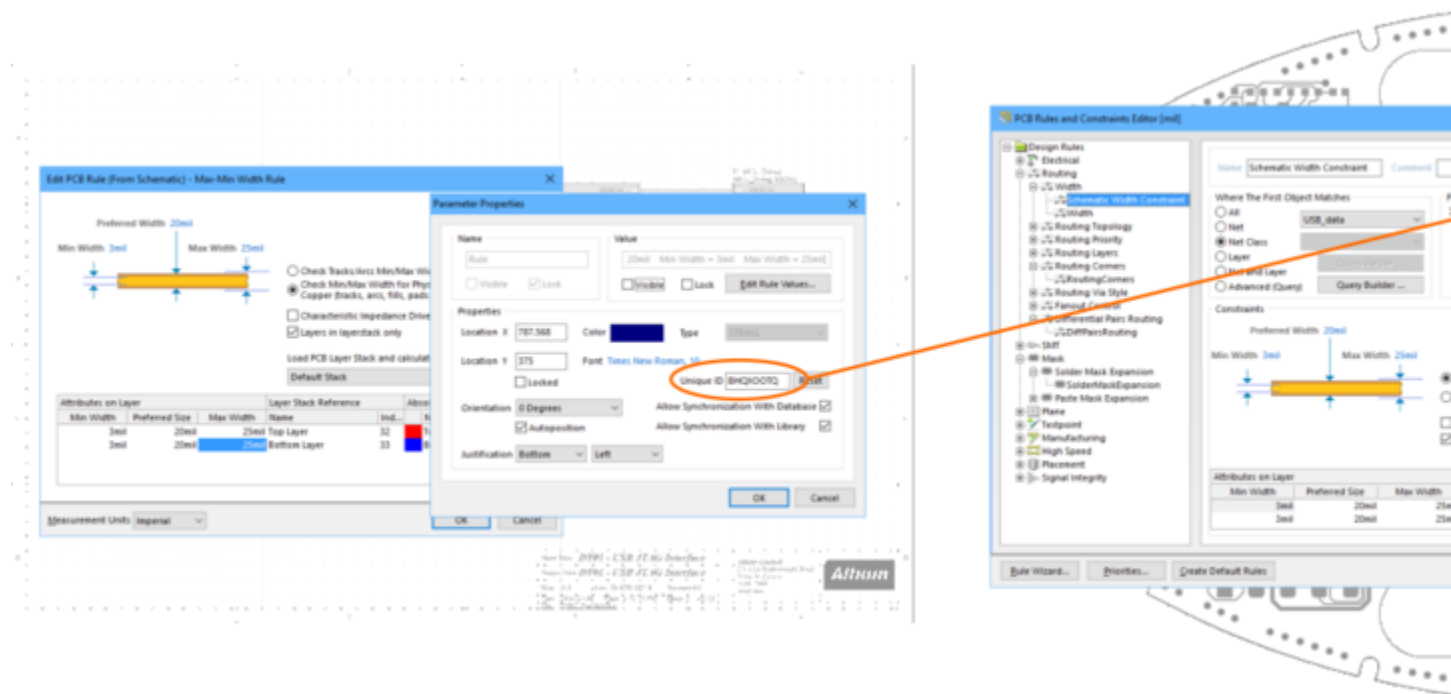
tượng tham chiếu chưa khớp khỏi bảng và thêm **Đối tượng mục tiêu** chưa khớp làm đối tượng mới.

- Khi bạn đã khớp các đối tượng mà bạn biết là khớp, hãy nhấp vào **Tiếp tục** để mở hộp thoại *Thứ tự Thay đổi Kỹ thuật*.
- Nếu bạn nhấp vào **Hủy**, quá trình cập nhật sẽ kết thúc.

Phù hợp với các quy tắc thiết kế

Các quy tắc thiết kế được xác định trên sơ đồ cũng phải được liên kết với quy tắc phù hợp trên PCB. Nếu không có cơ chế liên kết, bạn sẽ không thể cập nhật quy tắc trên giản đồ và chuyển những thay đổi đó đến PCB. Đối sánh quy tắc Schematic-to-PCB giống như đối sánh thành phần, nó là một đối một. Do đó, UID cũng có thể được sử dụng để liên kết quy tắc thiết kế sơ đồ với quy tắc thiết kế PCB.

UID được gán cho tham số giữ định nghĩa quy tắc trên giản đồ và được chuyển đến PCB trong quá trình đồng bộ hóa thiết kế.



Các quy tắc thiết kế cũng sử dụng một UID để khớp định nghĩa quy tắc thiết kế sơ đồ với quy tắc thiết kế PCB.

Thông thường, bạn sẽ không cần quản lý việc khớp các quy tắc theo cách thủ công, trừ khi bạn đã chỉnh sửa UID trong sơ đồ hoặc PCB. Nếu các UID không khớp, phần mềm sẽ thêm quy tắc mới vào PCB cho bất kỳ quy tắc sơ đồ nào không có quy tắc

PCB phù hợp và xóa bất kỳ quy tắc thiết kế PCB nào không có quy tắc thiết kế sơ đồ phù hợp.

Thăm dò chéo và lựa chọn

Sử dụng Tài liệu Altium

Được sửa đổi bởi Susan Riege vào ngày 11 tháng 4 năm 2017

Lựa chọn PCB thành phần từ bản đồ đơn giản

Nội dung

- Biên dịch và Mô hình Dữ liệu Hợp nhất
- Thiết lập tài liệu
- Thăm dò chéo
 - Chế độ dò đường chéo liên tục
 - Chuyển sang chế độ dò đường chéo
 - Thăm dò chéo từ các vị trí bổ sung trong phần mềm
 - Thăm dò trong hộp thoại đơn đặt hàng thay đổi kỹ thuật
 - Thăm dò sự khác biệt giữa các hộp thoại
 - Thăm dò chéo từ hộp thoại quản lý biến thể
 - Thăm dò trong bảng sự khác biệt
 - Thăm dò trong BomDoc
- Kiểm tra PCB từ Bảng điều hướng
- Lựa chọn chéo
- Lựa chọn các thành phần PCB từ giản đồ
-
-
-
-
-
-
-
-
-
-
-
-
-

-
-

TÀI NGUYÊN LIÊN QUAN ĐIỀU HƯỚNG (BẢNG ĐIỀU KHIỂN)

PCB - CÁC THÀNH PHẦN (BẢNG ĐIỀU KHIỂN)

HỆ THỐNG - ĐIỀU HƯỚNG (TÙY CHỌN)

OBJECT CLASS EXPLORER (HỘP THOẠI)

Altium Designer cung cấp nhiều khả năng thăm dò chéo và chọn chéo mạnh mẽ cho phép điều hướng nhanh chóng, hiệu quả giữa các miền thiết kế sơ đồ và PCB. Các *Cross-Probing* và *Hội Chữ thập Lựa chọn* tính năng này là công cụ tìm kiếm po werful để giúp xác định vị trí các đối tượng trong biên tập viên khác bằng cách chọn đối tượng trong trình soạn thảo hiện hành.

Thăm dò chéo được sử dụng để trở đến một đối tượng đã chọn trên tài liệu hiện tại, sau đó "nhảy tới" đối tượng tương ứng của nó trong tài liệu đích. Giữa PCB và trình chỉnh sửa giản đồ, hỗ trợ thăm dò chéo đầy đủ được cung cấp cho các tài liệu, thành phần, bus, lưới và (các) chân / miếng đệm. Theo nghĩa đen, với một cú nhấp chuột, bạn có thể chọn một đối tượng được hỗ trợ trong một trong hai miền và thấy nó được đánh dấu trong cả hai.

Chọn chéo cho phép bạn chọn (các) đối tượng trên tài liệu nguồn và bằng cách bật lệnh chọn chéo, (các) đối tượng tương tự sẽ được chọn trên tài liệu đích.

Biên dịch và Mô hình Dữ liệu Hợp nhất

Khi một dự án Altium Designer được **biên dịch** , Mô hình Dữ liệu Hợp nhất (UDM) sẽ được tạo trong bộ nhớ của máy tính. UDM mô hình hóa mọi khía cạnh của thiết kế, bao gồm các thành phần, kết nối, dấu chân thành phần, mối quan hệ giữa dự án PCB và dự án FPGA được kết nối, v.v. Chính Mô hình Dữ liệu Hợp nhất này cho phép chức năng thăm dò chéo giữa các miền thiết kế khác nhau . Nhiều tính năng thăm dò chéo sử dụng tính năng tự động biên dịch, đảm bảo sử dụng mô hình mới nhất của dữ liệu. Việc biên dịch cũng có thể được thực hiện theo cách thủ công bất kỳ lúc nào bằng cách nhấp vào **Dự án »Biên dịch Dự án PCB** .

Thiết lập tài liệu


Nhiều tính năng của Cross-Probing và Cross Selection hoặc yêu cầu hoặc dễ sử dụng hơn, xem cả tài liệu sơ đồ và PCB cùng một lúc. Bạn có thể xem cả hai tài liệu cùng một lúc bằng cách thực hiện một trong các thao tác sau:

- Nhấp chuột phải vào tab tài liệu sau đó chọn **Split Vertical** hoặc **Split Horizontal** tùy thuộc vào sở thích xem của bạn.

Để đóng chế độ xem chia đôi màn hình, hãy nhấp chuột phải vào tab tài liệu, sau đó chọn **Merge All**.

- Nếu bạn đang sử dụng nhiều màn hình, bạn có thể kéo tab tài liệu sang một màn hình khác.

Thăm dò chéo

Tính năng thăm dò chéo được truy cập từ trình chỉnh sửa sơ đồ hoặc PCB bằng lệnh **Tools »Cross Probe** hoặc bằng cách nhấp vào  từ thanh công cụ.

Các đối tượng được khảo sát chéo trên tài liệu đích sẽ được hiển thị theo các tùy chọn đánh dấu được xác định trên trang [Hệ thống - Điều hướng](#) của hộp thoại *Tùy chọn*. Đánh dấu sẽ không được áp dụng cho tài liệu gốc.

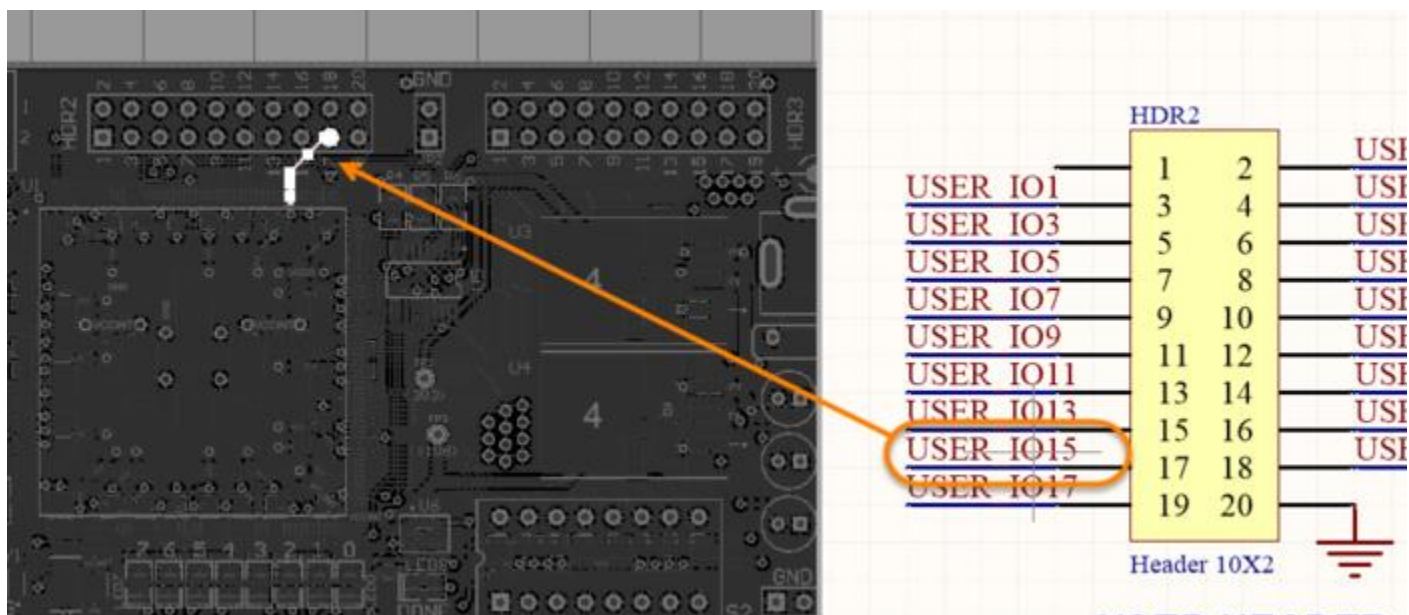
Để thực hiện khảo sát chéo, hãy đảm bảo rằng các tài liệu sơ đồ nguồn và PCB cho dự án được mở dưới dạng tài liệu theo thẻ trong cửa sổ thiết kế chính.

Có hai chế độ thăm dò chéo, Chế độ liên tục và Chế độ nhảy tới, cả hai đều được mô tả trong các phần sau.

Chế độ dò đường chéo liên tục

Chế độ Liên tục cho phép bạn ở trong tài liệu nguồn trong khi dò tìm các đối tượng khác nhau trên tài liệu đích. Đối với chế độ này, đảm bảo rằng các tài liệu sơ đồ và PCB được mở cạnh nhau trong cửa sổ thiết kế chính.

Sau khi khởi chạy lệnh thăm dò chữ thập bằng cách nhấp vào **Công cụ »Đầu dò chữ thập**, con trỏ sẽ thay đổi thành dấu vết chéo và bạn sẽ được nhắc chọn đối tượng mà bạn muốn điều hướng. Định vị con trỏ trên đối tượng cần thiết trong không gian làm việc và nhấp hoặc nhấn **Enter**. Đối tượng tương ứng sẽ được đánh dấu trên tài liệu đích.



Thăm dò chéo từ nguồn (ví dụ: sơ đồ) với đối tượng tương ứng được đánh dấu trên PCB.

Bạn có thể tiếp tục thăm dò chéo các đối tượng bổ sung hoặc nhấp chuột phải hoặc nhấn **Esc** để thoát.

Khi sử dụng Chế độ liên tục, nếu bạn chưa mở song song các tài liệu sơ đồ và PCB, bạn sẽ phải kích hoạt tài liệu PCB để xem kết quả của đầu dò chéo.

Khi sử dụng Chế độ liên tục nhiều lần, đối tượng cuối cùng bạn chọn là đối tượng được hiển thị / đánh dấu. Lọc thăm dò chéo không được tích lũy.

Chuyển sang chế độ dò đường chéo

Chế độ Jump To cho phép bạn thăm dò chéo tới một đối tượng duy nhất và biến tài liệu đích thành tài liệu hoạt động.

Sau khi khởi chạy lệnh thăm dò chữ thập bằng cách nhấp vào **Công cụ »Đầu dò chữ thập**, con trỏ sẽ thay đổi thành dấu vết chéo và bạn sẽ được nhắc chọn đối tượng mà bạn muốn điều hướng. Định vị con trỏ trên đối tượng cần thiết trong không gian làm việc và **Ctrl + nhấp** hoặc nhấn **Ctrl + Enter**. Đối tượng tương ứng sẽ được đánh dấu trên tài liệu đích, đối tượng này sẽ được làm tài liệu hoạt động.

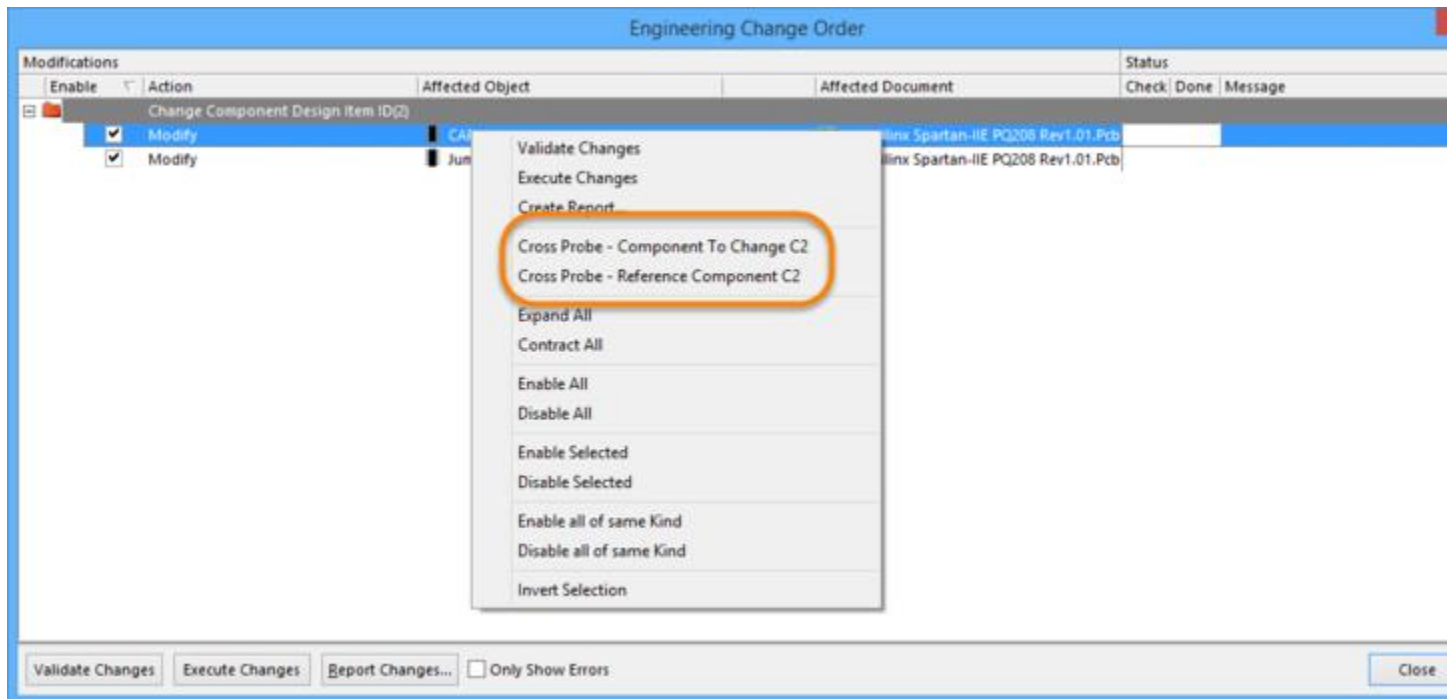
Thăm dò chéo từ các vị trí bổ sung trong phần mềm

Cross-Probing cũng có thể được thực hiện ở nhiều vị trí bổ sung khác nhau trong phần mềm. Các vị trí bổ sung này cho phép bạn sử dụng chức năng thăm dò chéo

ngay cả khi bạn đang xây dựng thiết kế của mình mà không cần sử dụng lệnh **Tools »Cross Probe**.

Thăm dò trong hộp thoại đơn đặt hàng thay đổi kỹ thuật

Bạn có thể thăm dò chéo từ hộp thoại Thứ tự Thay đổi Kỹ thuật bằng cách nhấp chuột phải để truy cập các lệnh thăm dò chéo để định vị thành phần Tham chiếu trong sơ đồ hoặc thành phần đích trong PCB như thể hiện trong hình ảnh bên dưới:



Thăm dò sự khác biệt giữa các hộp thoại

Các Sự khác nhau giữa hộp thoại có thể được sử dụng để xuyên thăm dò để một thành phần được lựa chọn trên sơ đồ hoặc PCB. Sử dụng lệnh **Project »Show Differences** để mở hộp thoại *Differences between*, sau đó nhấp đúp vào một mục nhập để thăm dò chéo tới thành phần đó trên giản đồ hoặc PCB.

Thăm dò chéo từ hộp thoại quản lý biến thể

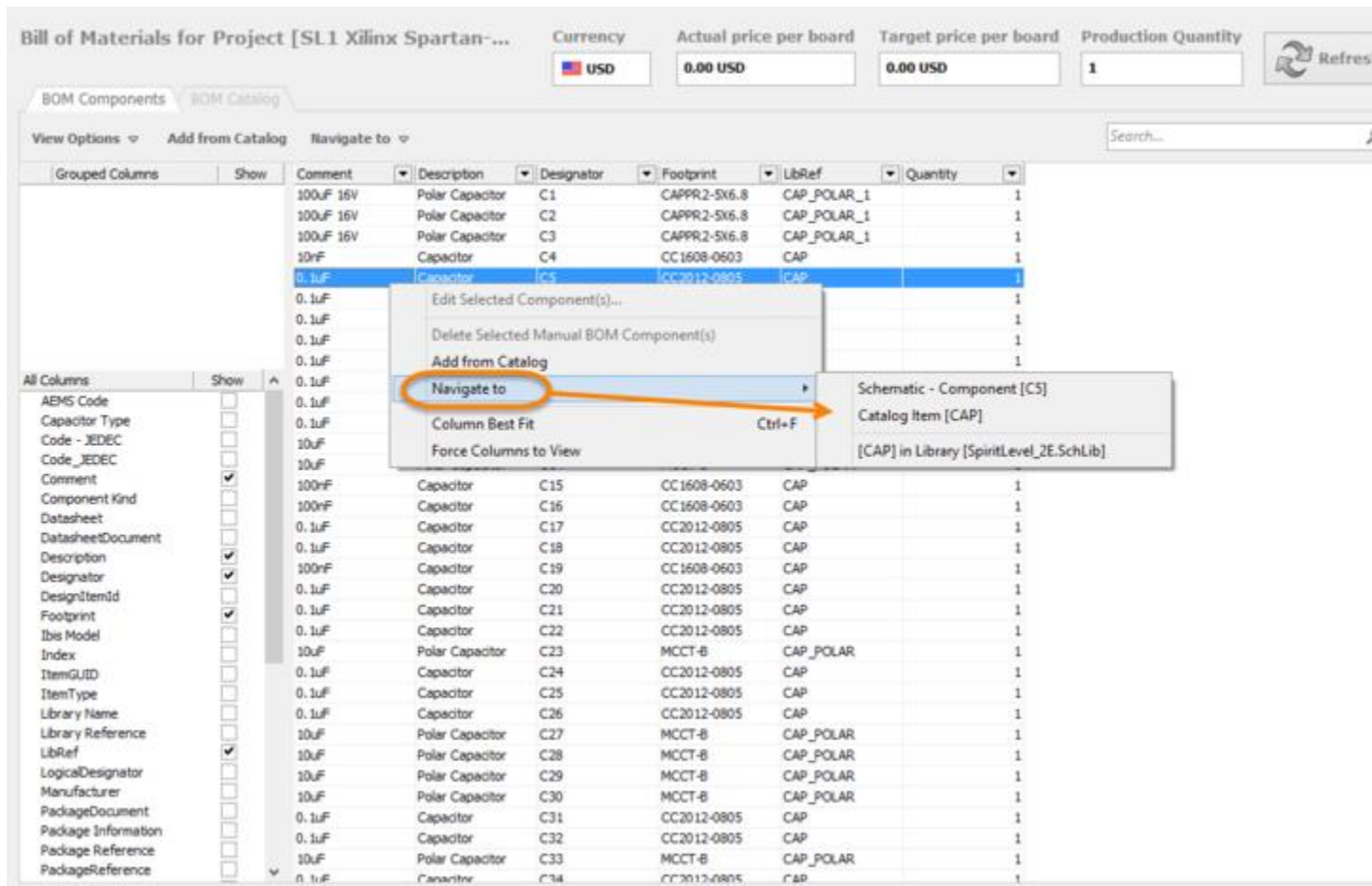
Bạn có thể sử dụng hộp thoại Quản lý biến thể để thăm dò chéo đến thành phần đã chọn trên sơ đồ hoặc PCB. Nhấp đúp vào thành phần trong hộp thoại *Quản lý biến thể* hoặc nhấp chuột phải, sau đó chọn **Cross Probe** từ menu.

Thăm dò trong bảng sự khác biệt

Để thăm dò qua sơ đồ hoặc PCB từ [bảng điều khiển Sự khác biệt](#) (nhấp vào nút **Khám phá sự khác biệt** trong hộp thoại *Sự khác biệt giữa* để truy cập bảng điều khiển này), hãy nhấp đúp vào một mục trong bảng điều khiển.

Thăm dò trong BomDoc

Cross-Probing cũng có thể được thực hiện trong BomDoc. Trên tab **Thành phần BOM** của BomDoc, nhấp chuột phải, sau đó chọn **Điều hướng đến** và chọn mục bạn muốn điều hướng: thành phần sơ đồ, mục nhập Danh mục BOM hoặc thành phần Vault.



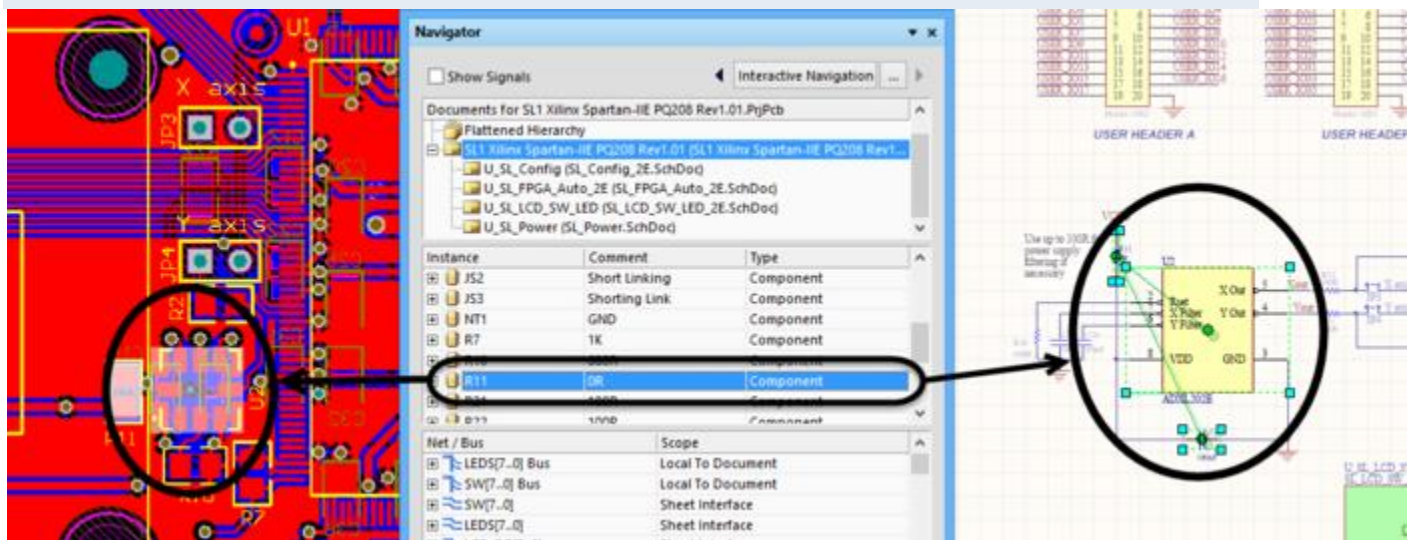
Kiểm tra PCB từ Bảng điều hướng

Các [bảng Navigator](#) là dân cư và làm mới mỗi lần thiết kế được biên soạn. Nó cung cấp một cái nhìn có cấu trúc của tất cả các tài liệu, trang tính, thành phần, mạng lưới, tham số và chân thành phần trong dự án hiện đang được chú trọng. Trong bối cảnh chỉnh sửa, bảng điều khiển này cung cấp một phương tiện hữu ích để điều hướng trong toàn bộ thiết kế và định vị các đối tượng quan tâm.

Bạn có thể sử dụng **bảng Điều hướng** để thăm dò giữa các tài liệu sơ đồ và PCB. Khi mở cả tài liệu PCB và sơ đồ, hãy nhấp vào một thành phần trong bảng **Điều hướng** để đánh dấu thành phần đó trên cả sơ đồ và PCB.

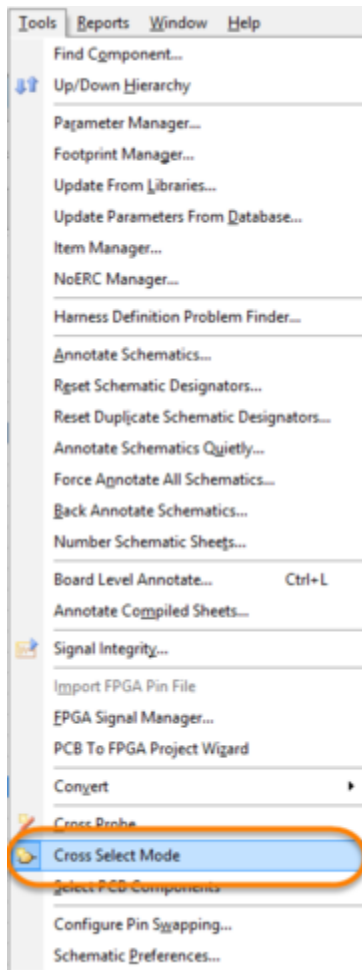
Việc dò bằng bảng **Điều hướng** chỉ chọn trong cả sơ đồ và PCB nếu bạn đã nhấp vào một **thành phần** trong **bảng Điều hướng**. Tất cả các loại mục nhập khác được chọn trong bảng sẽ làm nổi bật mục nhập đó chỉ trên giản đồ.

Cài đặt làm nổi bật được áp dụng cho cả sơ đồ nguồn và tài liệu PCB đích theo các cài đặt được chỉ định trên trang **Hệ thống - Điều hướng** của hộp thoại **Tùy chọn**.

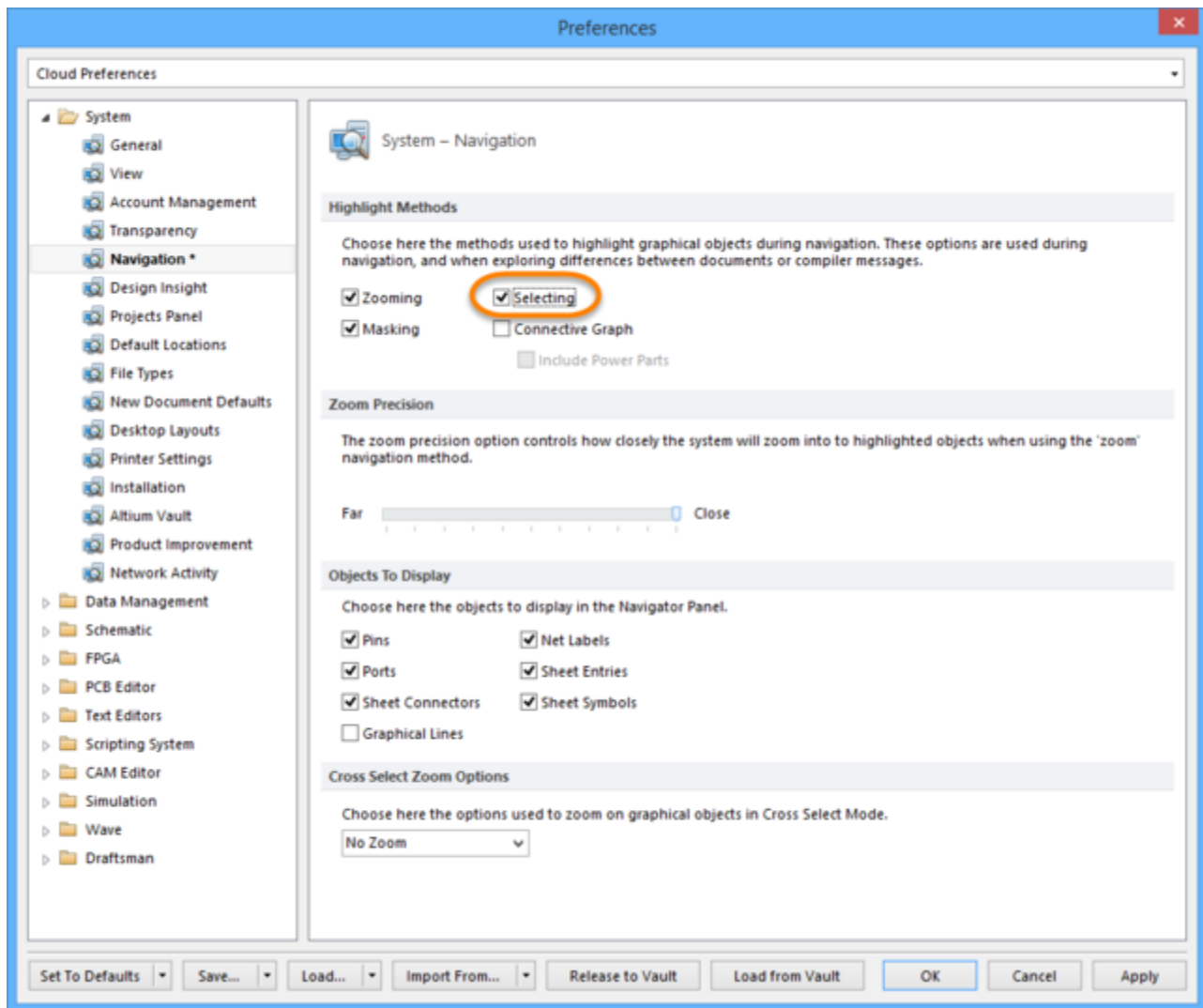


Các đối tượng được đánh dấu trên PCB và sơ đồ sử dụng tính năng thăm dò chéo trong bảng **Điều hướng**.

Để tính năng thăm dò chéo của bảng **Điều hướng** nổi bật chính xác trong cả giản đồ và PCB, hãy đảm bảo rằng **Chế độ chọn chéo** trong menu **Công cụ** được bật và tùy chọn **Chọn** được bật trên trang **Hệ thống - Điều hướng** của hộp thoại **Tùy chọn** như thể hiện trong các hình ảnh sau đây.



Đã bật Chế độ Chọn chéo .



Chọn tùy chọn được bật trên trang Hệ thống - Điều hướng của hộp thoại *Tùy chọn* .

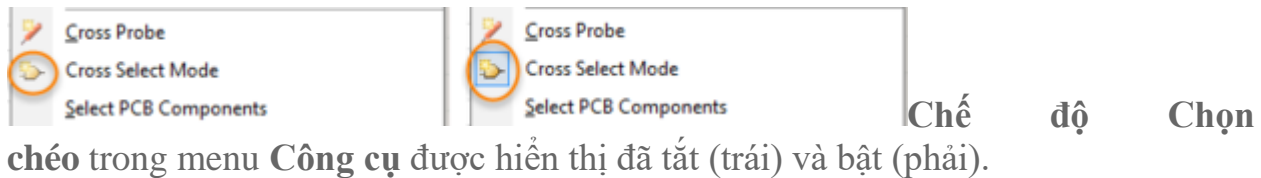
Tài liệu hiện tại vẫn là tài liệu đang hoạt động, vì vậy để xem lựa chọn trên PCB, bạn nên mở cả hai sơ đồ và PCB cạnh nhau - sử dụng chế độ xem phân tách hoặc mở nhiều cửa sổ Altium Designer.

Lựa chọn chéo

Tính năng này tạo điều kiện cho việc lựa chọn chéo thành phần năng động, hai hướng. Nó được sử dụng để chọn các đối tượng tương ứng giữa PCB và các tài liệu giản đồ. Nói cách khác, khi bạn chọn một đối tượng trên tài liệu PCB, thì đối tượng tương tự trên tài liệu sơ đồ nguồn cũng được chọn và ngược lại.

Tính năng này được truy cập bằng cách nhấp vào **Công cụ »Chế độ Chọn chéo** từ các menu chính. Lệnh này bật và tắt tính năng và trạng thái của lệnh được hiển thị

trong menu **Công cụ** . Chế độ Chọn chéo được bật khi một hộp màu xanh lam xuất hiện xung quanh biểu tượng **Chế độ chọn chéo** trong menu **Công cụ** như thể hiện trong hình dưới đây.



Để sử dụng Chế độ chọn chéo, lệnh phải được bật trong mỗi trình chỉnh sửa.

Với **Chế độ chọn chéo** được bật, hãy nhấp để chọn một hoặc nhiều thành phần trong không gian làm việc. Các thành phần tương tự đó sẽ được chọn trên tài liệu tương ứng.

Tài liệu đích sẽ không được coi là tài liệu hoạt động và do đó, chúng tôi rất khuyến khích để cả tài liệu nguồn và tài liệu đích mở song song với nhau.

Hành vi của Chế độ chọn chéo được kiểm soát bằng cách sử dụng các điều khiển **Độ chính xác thu phóng** và **Tùy chọn thu phóng chọn chéo** trên trang [Hệ thống - Điều hướng](#) của hộp thoại *Tùy chọn* .

Nếu tài liệu bị đóng và sau đó được mở lại, dự án phải được biên dịch lại trước khi tính năng Chế độ chọn chéo hoạt động chính xác cho các đối tượng trên tài liệu đó.

Lựa chọn các thành phần PCB từ giản đồ

Có thể lựa chọn chéo giữa các phần đã chọn trên một hoặc nhiều tài liệu nguồn sơ đồ và các dấu chân thành phần tương ứng trên tài liệu PCB cho dự án đang hoạt động. Ví dụ, điều này có thể hữu ích khi chọn một tập hợp các bộ phận trên tài liệu nguồn để tạo nhanh một lớp thành phần mới trên tài liệu PCB.

Để sử dụng tính năng này:

- Đảm bảo rằng tài liệu PCB mục tiêu đang mở.
- Chọn (các) phần bắt buộc trên (các) sơ đồ nguồn.
- Chọn lệnh **Tools »Chọn PCB Components** .

Tính năng này cũng có thể được truy cập bằng cách nhấp vào **Tác vụ Phần »Chọn Thành phần PCB** từ menu chuột phải khi con trỏ ở trên phần đã chọn (hoặc một phần trong lựa chọn các bộ phận). Nếu chọn chéo một bộ phận bằng cách sử dụng phương pháp này, bộ phận đó không cần được chọn.

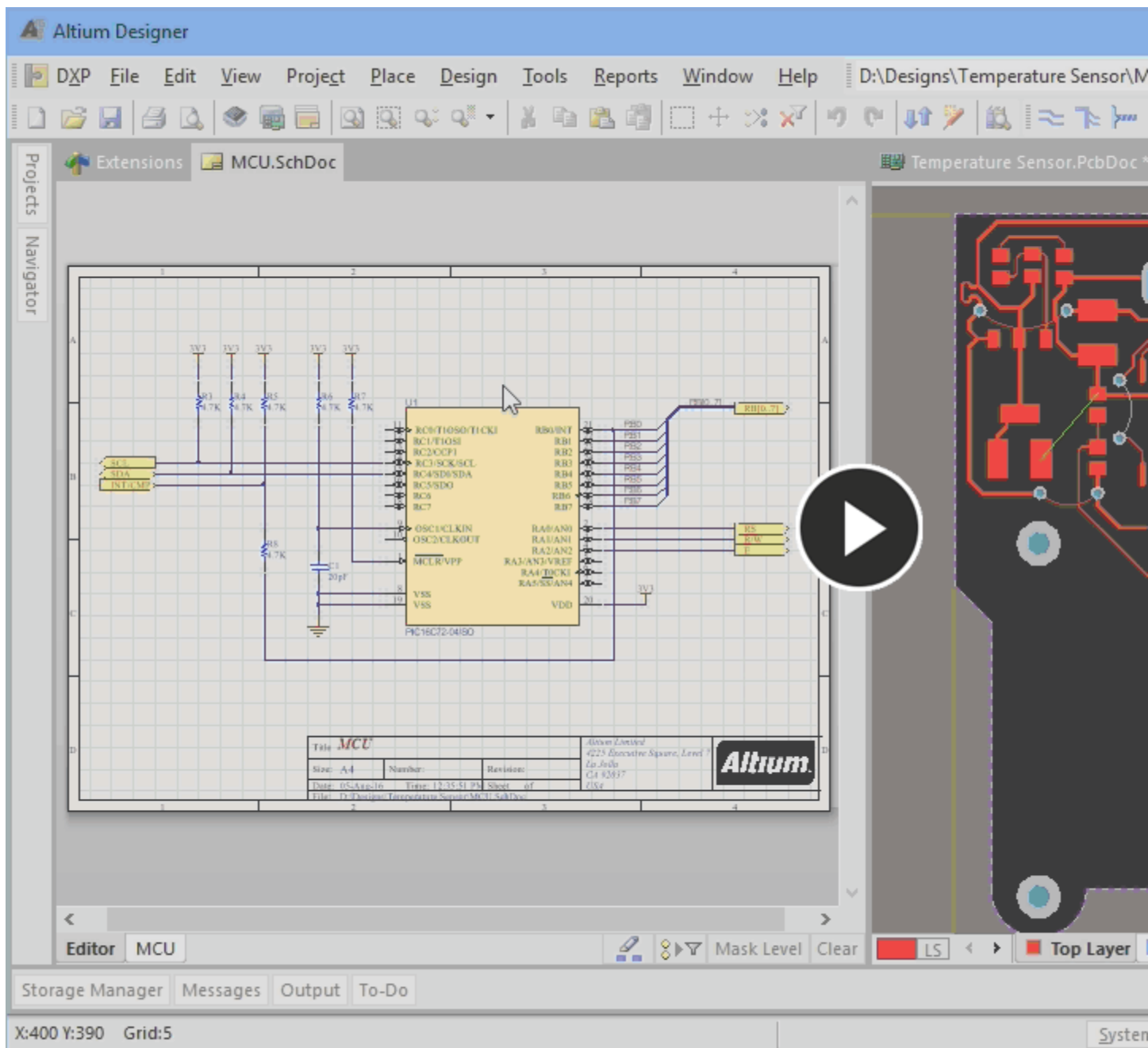
Sau khi khởi chạy lệnh, tất cả các tài liệu nguồn sơ đồ sẽ được tự động biên dịch và tài liệu PCB cho dự án sau đó sẽ trở thành tài liệu hoạt động. Tất cả các dấu chân thành phần tương ứng cho vùng chọn sẽ được chọn và phóng to (nhưng không bị che) trong không gian làm việc.

Vì PCB đích sẽ trở thành tài liệu hoạt động, nên để (các) sơ đồ nguồn và tài liệu PCB mở song song với nhau.

Để tạo lớp thành phần mới sau khi bộ phận hoặc tập hợp các bộ phận đã được chọn trên PCB bằng lệnh **Chọn Thành phần PCB** :

1. Bấm **Thiết kế »Lớp** để mở hộp thoại [Trình khám phá Lớp Đối tượng](#) .
2. Bấm chuột phải vào **Lớp thành phần** rồi chọn **Thêm lớp** . Nhập tên mong muốn của lớp mới.
3. Nhấp vào nút giữa vùng **Không phải thành viên** và **Thành viên** của hộp thoại để thêm (các) phần vào cột bên phải.
4. Bấm **Đóng** để đóng hộp thoại *Object Class Explorer* và quay lại không gian làm việc.

Bạn có thể thấy lớp thành phần mới kết quả trong [bảng PCB - Thành phần](#) . Video sau đây minh họa quá trình này.



Tạo một lớp thành phần mới

Chốt cập và hoán đổi bộ phận

Sử dụng Tài liệu Altium

Được sửa đổi bởi Phil Loughhead vào ngày 24 tháng 10 năm 2018

Công thủ tuyến

Nội dung

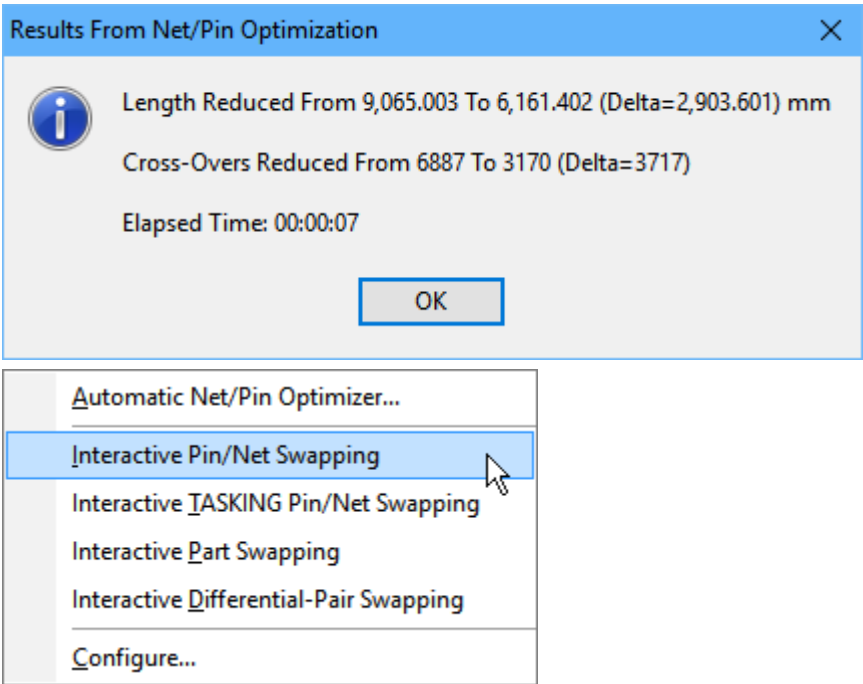
- Định cấu hình nhóm hoán đổi

- Ghim nhóm
- Nhóm phần và ID trình tự
- Ghép nhóm
- Kiểm soát cách Hoán đổi được thực hiện trên sơ đồ
- Bật Pin, Ghép nối và Hoán đổi Bộ phận trên PCB
 - Hộp thoại Trình quản lý Hoán đổi
- Thực hiện hoán đổi mã pin, cặp và hoán đổi bộ phận
- Pin tương tác, ghép nối và hoán đổi một phần
- Trình tối ưu hóa mạng / ghim tự động
 - Chuyển các thay đổi trở lại sơ đồ
- Đẩy các Thay đổi từ PCB sang Sơ đồ
- Tận dụng lợi thế của hệ thống hoán đổi pin / bộ phận mới với thiết kế FPGA
 - Chỉ định I / O ban đầu
 - Tối ưu hóa kết nối ban đầu
 - Định tuyến thoát
 - Tối ưu hóa kết nối đã thoát
 - Định tuyến thủ công
 - Tối ưu hóa cuối cùng
 - Hoán đổi mã pin thủ công
 - Tuyên truyền các thay đổi trở lại sơ đồ
 - Lắp lại thường xuyên nếu được yêu cầu
 -
 -
 -
 -
 -
 -
 -
 -
 -
 -
 -
 -
 -
 -

-
-
-
-
-
-
-
-
-

Hoạt động hài hòa với khả năng định tuyến tương tác và định tuyến thoát BGA của Altium Designer là chân cắm, cặp vi sai và hệ thống hoán đổi bộ phận. Tính năng này cung cấp tất cả các lợi ích của các hệ thống hoán đổi pin truyền thống, nhưng tận dụng sự hiểu biết sâu sắc của Nhà thiết kế Altium về các nhiệm vụ ròng trong thiết kế. Trong quá trình hoán đổi chân pin, Altium Designer sẽ phân tích mạng được gán cho chân đã chọn và tự động chỉ định lại mạng trên chân và bất kỳ đồng nào được kết nối.

Mức độ chức năng này có nghĩa là các lưới được định tuyến một phần và nhiều lớp được định tuyến trước thoát khỏi các thiết bị BGA phức tạp có thể được hoán đổi. Các cặp vi sai cũng có thể được hoán đổi, tận dụng kiến thức về các cặp chân vi sai trên FPGA.



Ở cấp độ PCB, hệ thống bao gồm một trình tối ưu hóa tự động mạnh mẽ sử dụng thông tin này để tự động chỉ định lại các lưới nhằm cải thiện khả năng định tuyến. Ví dụ: hệ thống có thể thực hiện kết nối lại trên nhiều thiết bị đã được định tuyến thoát trên nhiều lớp. Nó sẽ chỉ định những thứ này dựa trên các lớp đường thoát phù hợp, khoảng cách định tuyến Manhattan ngắn nhất và số lượng giao cắt tối thiểu trên mỗi lớp.

Việc bổ sung hoán đổi mạng được định tuyến từng phần, cùng với trình tối ưu hóa tự động cung cấp cho bạn khả năng áp dụng chiến lược định tuyến lặp lại và phân cấp, trước tiên thoát khỏi các thiết bị định tuyến, sau đó định tuyến đến rìa của một khu vực nhất định, rồi cuối cùng kết nối các phần này với nhau. Bất kỳ lúc nào, bộ trao đổi tự động có thể được chạy lại để tối ưu hóa lại, dựa trên thông tin cập nhật được cung cấp bởi các lưới được định tuyến một phần.

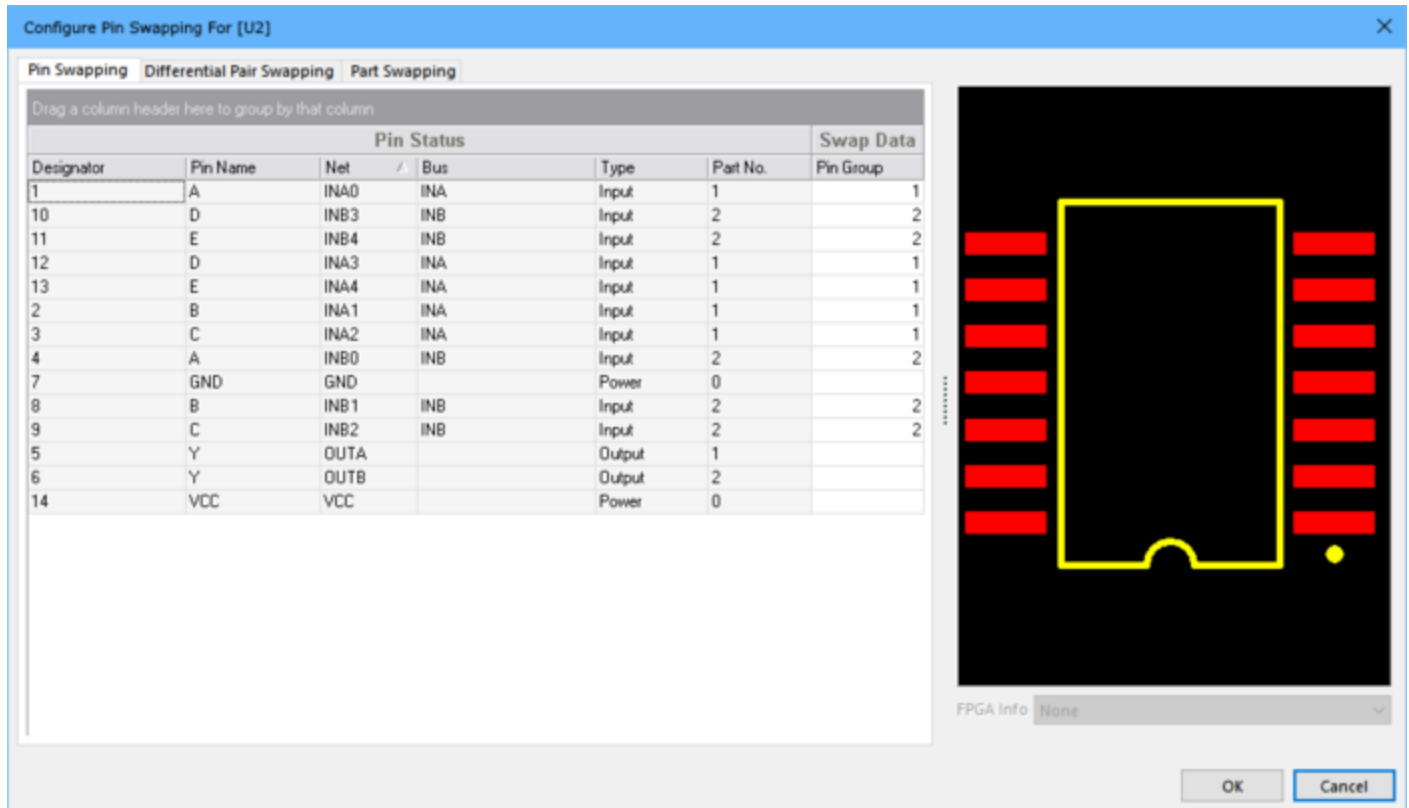
Có ba loại hoán đổi:

- Hoán đổi mã pin
- Trao đổi cặp vi sai
- Hoán đổi phần phụ.

Định cấu hình nhóm hoán đổi

Đối với mỗi danh mục hoán đổi *hoán đổi các nhóm hoán đổi* quy định những gì có thể được và những gì không thể được hoán đổi trong một thành phần. Trong trường hợp hoán đổi pin, các chân trong một thành phần chia sẻ *nhóm chân* chung có thể được hoán đổi với nhau. Tương tự như vậy đối với hoán đổi cặp và hoán đổi *bộ phận*, giá trị *nhóm cặp* và *nhóm bộ phận* xác định rằng một cặp vi phân hoặc bộ phận con có thể được hoán đổi tương ứng.

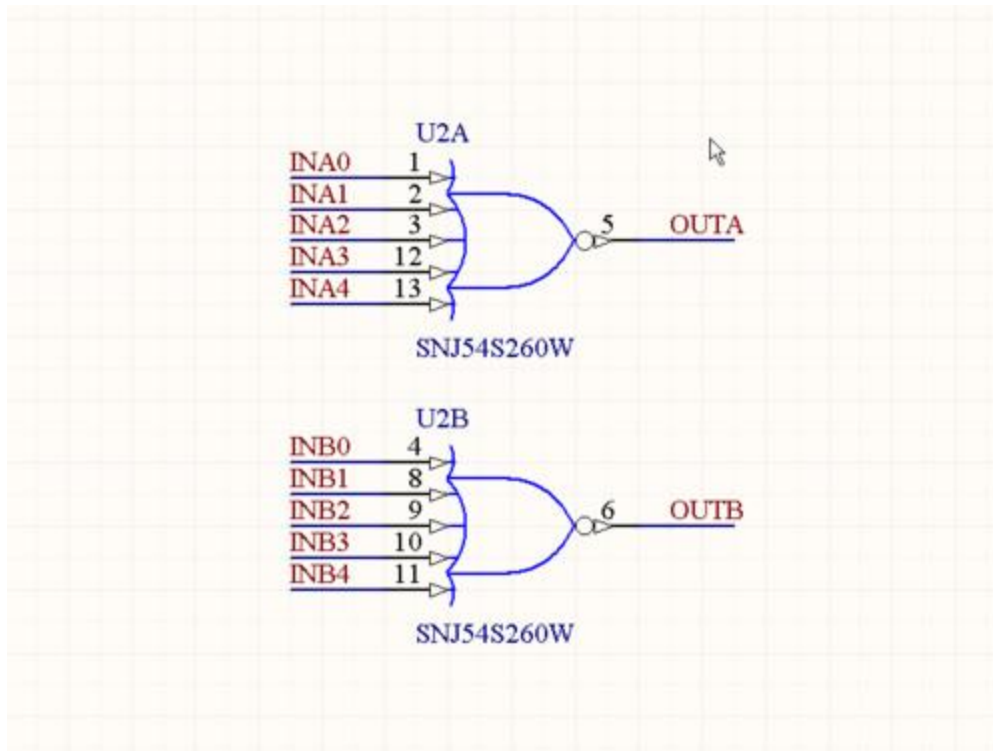
Các nhóm hoán đổi cho một thành phần được định cấu hình trong hộp thoại Định *cấu hình hoán đổi pin*, được hiển thị trong hình dưới đây. Nó có thể truy cập được bằng cách nhấp chuột phải vào thành phần trong trình chỉnh sửa Sơ đồ hoặc PCB và chọn **Hành động phần » Định cấu hình Hành động hoán đổi pin** hoặc **Hành động thành phần» Định cấu hình** các mục menu **Ghim / Hoán đổi phần** tương ứng. Hộp thoại Định *cấu hình Hoán đổi Pin* cũng có thể được truy cập thông qua hộp thoại Định *cấu hình Thông tin Hoán đổi Pin trong Thành phần*.



Thiết lập nhóm hoán đổi chân pin trong hộp thoại Định cấu hình hoán đổi pin cho thành phần Cổng NOR 5 đầu vào kép.

Ghim nhóm

Một chân linh kiện có thể hoán đổi với một chân khác trong thành phần đó khi nó thuộc cùng một *nhóm chân* (có cùng giá trị *nhóm chân*). Nhóm *pin* là một thuộc tính của mỗi pin trong thành phần và giá trị của nó có thể là bất kỳ chuỗi chữ và số nào. Các *nhóm ghim* cho toàn bộ thành phần được thiết lập trong hộp thoại Định cấu hình Hoán đổi Ghim, như thể hiện trong hình trên.



Giản đồ có chứa thành phần Cổng NOR 5 đầu vào tích cực. Mỗi chân đầu vào cho một trong hai phần phụ là tương đương về mặt logic và thể hiện một tình huống lý tưởng cho việc hoán đổi chân.

Xem xét giản đồ được hiển thị trong hình trên, có chứa hai Cổng NOR 5 đầu vào cho thành phần SNJ54S260, mỗi lưới INA0 đến INA4 có thể được hoán đổi cho nhau do bản chất của Cổng NOR. Tương tự, mỗi lưới INB0 sang INB4 có thể được hoán đổi, tuy nhiên không thể hoán đổi lưới INAx với lưới INBx.

Các ràng buộc hoán đổi cho cổng NOR được định nghĩa trong hộp thoại Định cấu hình hoán đổi chân được hiển thị trong Hình 2. Đưa lưới INAx vào nhóm hoán đổi 1 và lưới INBx nhóm hoán đổi 2 đảm bảo rằng hoán đổi sẽ chỉ được hệ thống định dạng sao cho nó phù hợp với logic thành phần.

Để trống giá trị Nhóm ghim cho một ghim có nghĩa là nó không có sẵn để hoán đổi. Trong trường hợp của Hình 2, không có ý nghĩa gì khi hoán đổi các chân đầu ra và chân nguồn (Thiết kế 5,6,7 và 14) với nhau và do đó nhóm chân được để trống.

Nhóm phần và ID trình tự

Thông thường một thành phần bao gồm nhiều phần con tương đương về chức năng. Trao đổi bộ phận cho phép hoán đổi lưới của các bộ phận phụ tương đương

như vậy. Hãy xem xét lại thành phần của được hiển thị trong hình trên. Cả hai cổng NOR đều cung cấp chức năng giống nhau và các lưới (INA0, INA1, INA2, INA3, INA4, OUTA) có thể được hoán đổi với các lưới (INB0, INB1, INB2, INB3, INB4, OUTB).

Trao đổi bộ phận cho một thành phần được định cấu hình với *nhóm bộ phận* và thuộc tính *ID trình tự*. Đây là cả hai thuộc tính văn bản và có thể truy cập được trong tab Phần của hộp thoại Định cấu hình hoán đổi mã pin, như được hiển thị bên dưới. hiển thị *nhóm bộ phận* và cài đặt *ID trình tự* tương ứng với thành phần được hiển thị trong hình trên. Nhóm *bộ phận* cho biết những bộ phận phụ nào có thể được hoán đổi cho nhau. Hai phần phụ có thể được hoán đổi và do đó, trong hình dưới đây, các *nhóm bộ phận* của chúng có cùng giá trị là 1.

Các *chuỗi ID* thuộc tính xác định tương đương của các chân giữa swappable tiêu phần. Trong ví dụ cổng NOR, điều quan trọng là các chân đầu vào không được hoán đổi cho nhau với các chân đầu ra khi xảy ra hoán đổi bộ phận. Hình ảnh bên dưới cho thấy *ID trình tự* được đặt để OUTA hoán đổi với OUTB, INA0 hoán đổi với INB0, INA1 hoán đổi với INB1, v.v.

Configure Pin Swapping For [U2]

Pin Swapping Differential Pair Swapping Part Swapping

Sub Part		Swap Data		Pin Status					Swap ...
Name	Part Group	Desi...	Pin Name	Net	Bus	Pin Type	Sequenc...		
U2A	1	1	A	INA0	INA	Input	A		
U2B	1	4	A	INB0	INB	Input	A		
		2	B	INA1	INA	Input	B		
		8	B	INB1	INB	Input	B		
		3	C	INA2	INA	Input	C		
		9	C	INB2	INB	Input	C		
		10	D	INB3	INB	Input	D		
		12	D	INA3	INA	Input	D		
		11	E	INB4	INB	Input	E		
		13	E	INA4	INA	Input	E		
		5	Y	OUTA		Output	Y		
		6	Y	OUTB		Output	Y		

FPGA Info None

OK

Thiết lập các nhóm hoán đổi bộ phận trong hộp thoại Định cấu hình Hoán đổi Pin cho thành phần Cổng NOR 5 đầu vào kép.

Lưu ý rằng hoán đổi bộ phận chỉ có sẵn cho các thành phần được thiết kế như các bộ phận phụ vì nó dựa trên việc hoán đổi tất cả các lưới giữa hai bộ phận con.

Ghép nhóm

Việc hoán đổi các cặp vi sai được điều chỉnh bởi giá trị của *nhóm cặp* đối với một cặp vi sai. Các *nhóm cặp* thuộc tính được truy cập trong **Differential Pair Swapping** tab của *Configure Pin Swapping* thoại. Có ba chế độ trong tab Chuyển đổi cặp vi sai có thể được đặt bằng hộp thả xuống ở góc dưới bên trái.

- *Show Pairs From Directives* - Hệ thống sẽ sử dụng các chỉ thị cặp vi phân được đặt trên giản đồ để điền các cặp vi phân trong bảng.
- *Hiển thị các cặp từ FPGA* - Hệ thống sẽ sử dụng dữ liệu cặp vi phân thu được từ thông tin FPGA có sẵn cho thành phần để ghép nối các chân. Lưu ý rằng chế độ này khả dụng khi thành phần là FPGA.
- *Show All Pins* - Hệ thống sẽ hiển thị tất cả các chân linh kiện.

Configure Pin Swapping For [U1 in SL1 Xilinx Spartan-1IE PQ208 Rev1.01.PrjPcb / (No Configuration)]

Pin Swapping Differential Pair Swapping Part Swapping

Drag a column header here to group by that column

Pin Status								Swap Data		FPGA Attributes	
Designat...	Design...	Pin Name 0	Pin Name 1	Net 0	Net 1	Typ...	Type 1	Pair Group	Bank 0	IO Bank 1	
189	188	I/O, VREF 0, L4	I/O, L4P_Y	HA3	HA4	IO	IO	1	0	0	
191	192	I/O, L3P_Y	I/O, L3N_Y	HA2	NetU1_1	IO	IO	1	0	0	
193	194	I/O, L2P_Y	I/O, L2N_Y	NetU1_193	NetU1_1	IO	IO	1	0	0	
199	198	I/O, VREF 0, L1	I/O, L1P_Y	NetU1_199	NetU1_1	IO	IO	1	0	0	
203	202	I/O, VREF 0, L0	I/O, L0P_Y	NetU1_203	NetU1_1	IO	IO	1	0	0	
161	160	I/O (WAVVATE	I/O (C\5\), L11	HB6	HB3	IO	IO	2	1	1	
164	165	I/O, VREF 1, L1	I/O, L10N_Y	HA19	HA17	IO	IO	2	1	1	
168	169	I/O, VREF 1, L9	I/O, L9N_Y	HA16	HA13	IO	IO	2	1	1	
173	174	I/O, L8P_Y	I/O, L8N_Y	HA14	HA11	IO	IO	2	1	1	
175	176	I/O, L7P_Y	I/O, L7N_Y	HA12	HA9	IO	IO	2	1	1	
178	179	I/O, VREF 1, L6	I/O, L6N_Y	HA10	HA7	IO	IO	2	1	1	
133	132	I/O, L18P_Y	I/O (JRDY), L11	HB9	HB12	IO	IO		2	2	
136	135	I/O, VREF 2, L1	I/O (D3), L17N	HB8	HB7	IO	IO		2	2	
139	138	I/O, L16P_Y	I/O, L16N_Y	NetU1_139	HB5	IO	IO		2	2	
140	141	I/O, L15N_Y	I/O (D2), L15P	NetU1_140	NetU1_1	IO	IO		2	2	
146	145	I/O, VREF 2, L1	I/O (D1), L14N	NetU1_146	NetU1_1	IO	IO		2	2	
150	151	I/O, VREF 2, L1	I/O, L13P	NetU1_150	NetU1_1	IO	IO		2	2	
154	153	I/O (DOUT, BUS	DIN	NetU1_154	DIN	IO	IO		2	2	
107	108	I/O (D7), L24P	I/O (D7), L24P	SW0	SW4	IO	Input		3	3	
111	112	I/O, VREF 3, L2	I/O, L23P_Y	SW3	SW4	Input	Input		3	3	
115	116	I/O, VREF 3, L2	I/O (D6), L22P	SW7	NetU1_1	Input	IO		3	3	
121	120	I/O, L21P_Y	I/O (D5), L21N	HB17	HB19	IO	IO		3	3	
123	122	I/O, L20P_Y	I/O, L20N_Y	HB15	HB18	IO	IO		3	3	
125	126	I/O, VREF 3, L1	I/O (D4), L19P	HB16	HB13	IO	IO		3	3	
102	101	I/O, L25P_Y	I/O, L25N_Y	LED50	LED51	Output	Output		4	4	
84	83	I/O, VREF 4, L3	I/O, L30N_Y	NetU1_84	NetU1_1	IO	IO		4	4	
87	86	I/O, L29P_Y	I/O, L29N_Y	NetU1_87	NetU1_1	IO	IO		4	4	
89	88	I/O, L28P_Y	I/O, L28N_Y	NetU1_89	NetU1_1	IO	IO		4	4	

Show All Pins

FPGA Info None

Thiết lập nhóm Hoán đổi Cặp trong hộp thoại Định cấu hình Hoán đổi Pin.

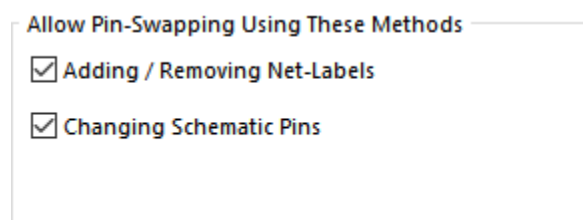
Kiểm soát cách Hoán đổi được thực hiện trên sơ đồ

Trong chân biên tập PCB, hoán đổi cặp và hoán đổi bộ phận được thực hiện bằng cách trao đổi lưới trên các miếng đệm linh kiện và đồng tương ứng. Khi các thay đổi được hợp nhất vào sơ đồ, có hai cách mà hoán đổi chân có thể được xử lý, hoặc bằng cách hoán đổi các chân trên biểu tượng thành phần hoặc bằng cách hoán đổi nhãn lưới trên các dây được gắn vào các chân. Mỗi phương pháp đều có ưu điểm và nhược điểm của nó.

Việc hoán đổi các chân sẽ luôn hoạt động trên giản đồ, nhưng có thể có nghĩa là trường hợp này của biểu tượng thành phần không còn giống như nó đã được định nghĩa trong thư viện. Trong tình huống này, điều đó có nghĩa là không thể cập nhật ký hiệu từ thư viện và điều đó cũng có nghĩa là các trường hợp khác của cùng một thành phần trong thiết kế này sẽ có cách sắp xếp chân khác, một nguồn có thể gây nhầm lẫn cho người đọc giản đồ. Cách tiếp cận này là lý tưởng cho các thành phần đơn giản, chẳng hạn như mảng điện trở.

Thực hiện hoán đổi trên giản đồ bằng cách hoán đổi các nhãn mạng chỉ có thể được thực hiện nếu kết nối được thiết lập thông qua các nhãn mạng, nghĩa là nếu các chân không được kết nối cứng với nhau. Ưu điểm của phương pháp này là ký hiệu thành phần không thay đổi, và có thể được cập nhật từ thư viện sau này. Cách tiếp cận này là lựa chọn tốt nhất cho một thành phần phức tạp, chẳng hạn như FPGA, trong đó việc di chuyển vật lý hai chân trên biểu tượng có thể dẫn đến biểu tượng dựa trên ngân hàng I / O hiển thị không chính xác.

Việc lựa chọn phương pháp nào trong số hai phương pháp này được xác định bằng tùy chọn Cho phép hoán đổi pin bằng cách sử dụng các phương pháp này trong hộp thoại *Tùy chọn cho dự án*, như được hiển thị bên dưới.



Các tùy chọn dự án này chỉ phối cách cập nhật hoán đổi pin trong các tài liệu sơ đồ.

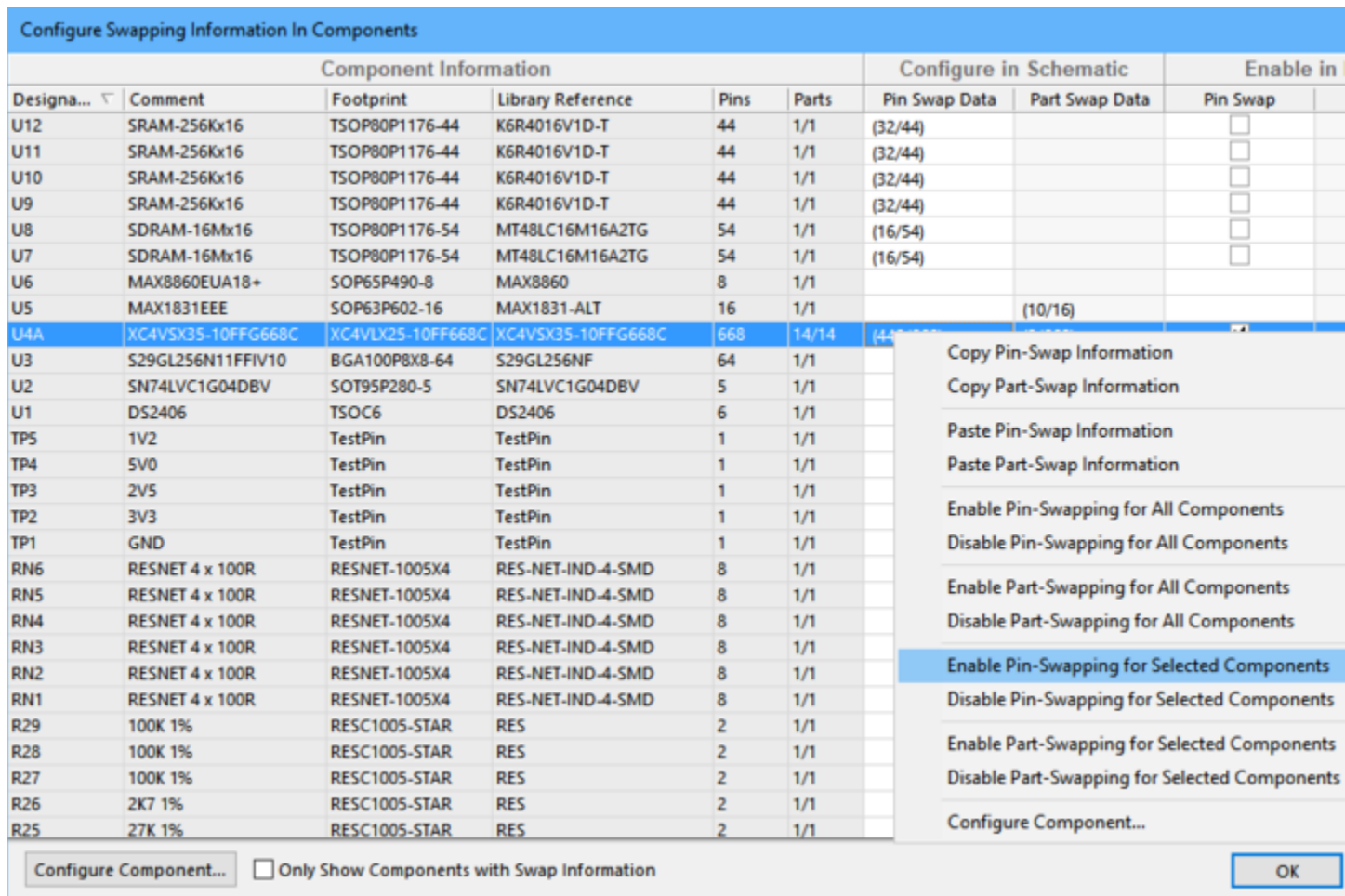
Bật Pin, Ghép nối và Hoán đổi Bộ phận trên PCB

Các thuộc tính *nhóm hoán đổi* cần thiết để thiết lập pin, ghép nối và hoán đổi một phần trong một thành phần được lưu trữ trong các thành phần Sơ đồ. Tuy nhiên, đó là trình soạn thảo PCB nơi thông tin này được sử dụng và mỗi thành phần PCB có một tùy chọn để cho phép hoán đổi chân của các chân của nó.

Các tùy chọn hoán đổi cho mỗi thành phần PCB có thể được cấu hình trong hộp thoại *Thuộc tính Thành phần* (có thể truy cập bằng cách nhấp đúp vào thành phần hoặc nhấp chuột phải và chọn thuộc tính) trong phần **Tùy chọn hoán đổi**. Các tùy chọn này cũng có thể được tìm thấy trong *bảng Kiểm tra PCB*.

Hộp thoại Trình quản lý Hoán đổi

Trình quản lý hoán đổi liệt kê tất cả các thành phần được sử dụng trong thiết kế (hoặc thư viện), với cài đặt hoán đổi hiện tại của chúng. Hộp thoại *Trình quản lý hoán đổi của* trình soạn thảo PCB bao gồm các cột bổ sung để bật / tắt tính năng hoán đổi trên từng thành phần trên bảng. Các *Swap Giám đốc* thoại được tìm thấy trong các công cụ đơn của Schematic, Thư viện Schematic và biên tập viên PCB dưới **Configure Pin Swapping** lệnh.



Hộp thoại Trình quản lý hoán đổi.

Trình quản lý Hoán đổi bao gồm một menu chuột phải mạnh mẽ, giúp bạn dễ dàng sao chép nhanh các cài đặt từ thành phần này sang thành phần khác hoặc bật / tắt nhiều thành phần chỉ bằng một cú nhấp chuột.

Nhấp đúp vào một thành phần trong Trình quản lý Hoán đổi sẽ mở hộp thoại Định cấu hình Hoán đổi Ghim cho thành phần đó, nơi bạn có thể xác định cài đặt nhóm hoán đổi cho các chân, cặp vi phân và phần con.

Thực hiện hoán đổi mã pin, cặp và hoán đổi bộ phận

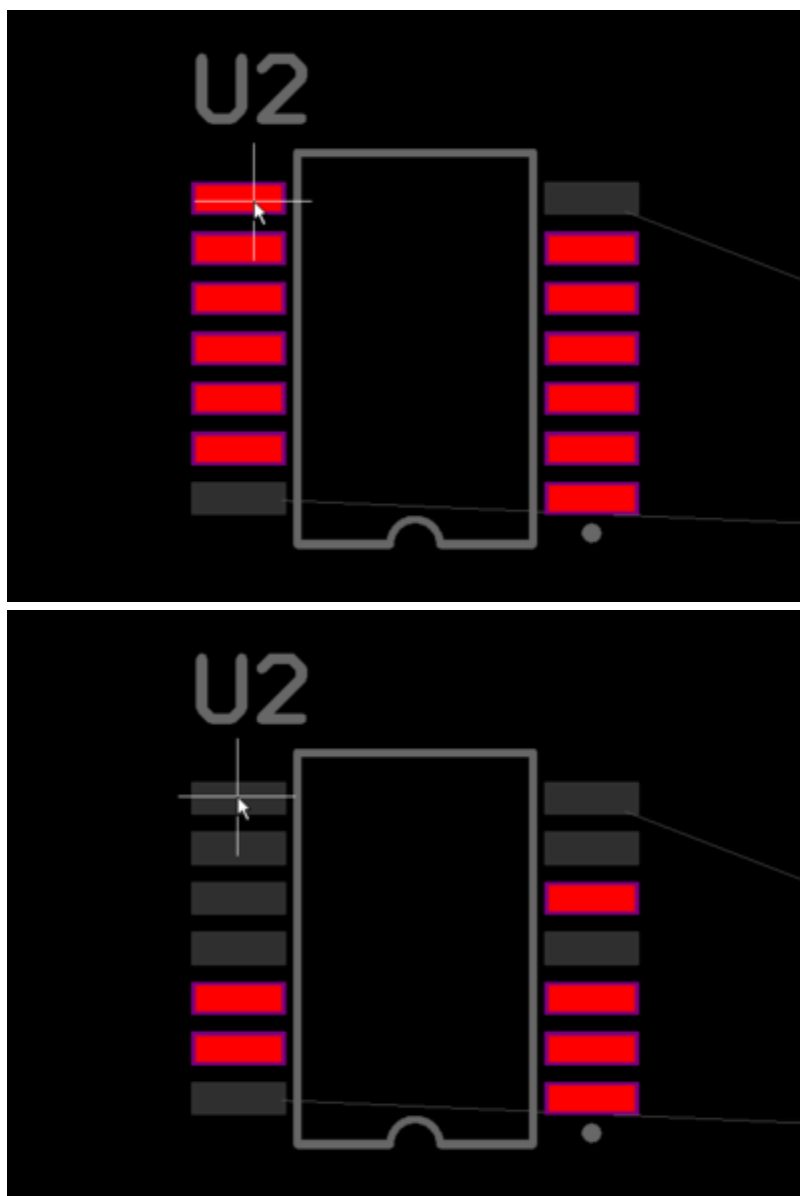
Pin tương tác, ghép nối và hoán đổi một phần

Hoán đổi tương tác cho phép hoán đổi các chân, cặp vi sai hoặc các phần con trong trình chỉnh sửa PCB. Các lệnh hoán đổi tương tác được tìm thấy trong menu phụ Tools »Pin / Part Swapping. Khi lệnh được chọn từ menu, các chân có sẵn để hoán

đổi sẽ được tô sáng. Các bước cần thiết để tạo trước một hoán đổi được hiển thị trên dòng Trạng thái;

1. Bước đầu tiên là chọn một trong các chân được đánh dấu sẽ trở thành nguồn của hoán đổi pin. Trong trường hợp hoán đổi cặp hoặc bộ phận, cặp vi sai hoặc bộ phận phụ mà chân đó thuộc về sẽ được hoán đổi sau đó.
2. Bước thứ hai là chọn chân mục tiêu để hoán đổi. Đối với hoán đổi cặp hoặc một phần, chốt này sẽ đại diện cho một cặp vi sai hoặc một phần phụ.

Tiếp tục với ví dụ của Hình 4, các giai đoạn hoán đổi một phần tương tác của thành phần cổng NOR 5 đầu vào Kép được thể hiện trong hai hình ảnh bên dưới. Có hai phần con có thể được hoán đổi và do đó, mỗi phần trong số năm chân của chúng có thể được chọn, như thể hiện trong hình trên. Chân 8 được chọn tương ứng với phần phụ U2B. Sau đó, hệ thống đánh dấu các chân của tiểu phần U2A có thể được hoán đổi.



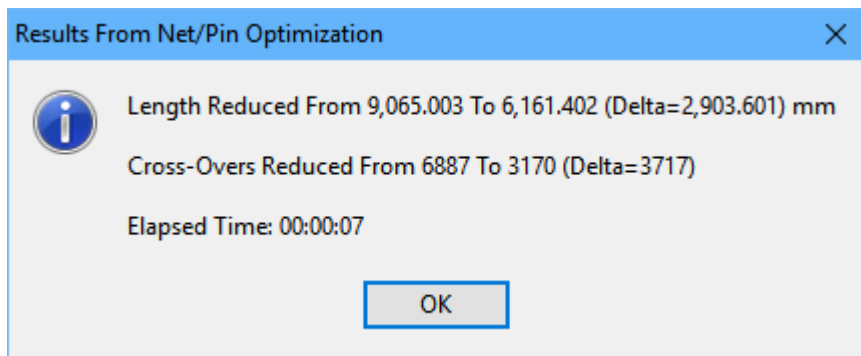
Hình ảnh bên trái, bước 1 - chọn một ghim cần hoán đổi, các ghim có sẵn sẽ tô sáng. Hình ảnh bên phải, bước 2 - chọn một ghim mục tiêu.

Trình tối ưu hóa mạng / ghim tự động

Trình tối ưu hóa mạng / ghim tự động là một công cụ hai giai đoạn. Chọn Tools »Pin / Part Swapping» Automatic Pin / Net Optimizer từ menu trình chỉnh sửa PCB để thực hiện tối ưu hóa tự động.

Đầu tiên, Trình tối ưu hóa mạng / ghim tự động chạy một trình tối ưu hóa một đường truyền nhanh, cố gắng giảm thiểu số lần vượt qua và độ dài kết nối, nhưng thực tế có thể tăng chúng. Khi quá trình này hoàn tất, bạn sẽ được hỏi có muốn chạy trình

tối ưu hóa lặp đi lặp lại hay không. Trình tối ưu hóa lặp đi lặp lại sẽ thực hiện nhiều lần vượt qua để cố gắng giảm số lần vượt qua và độ dài kết nối.



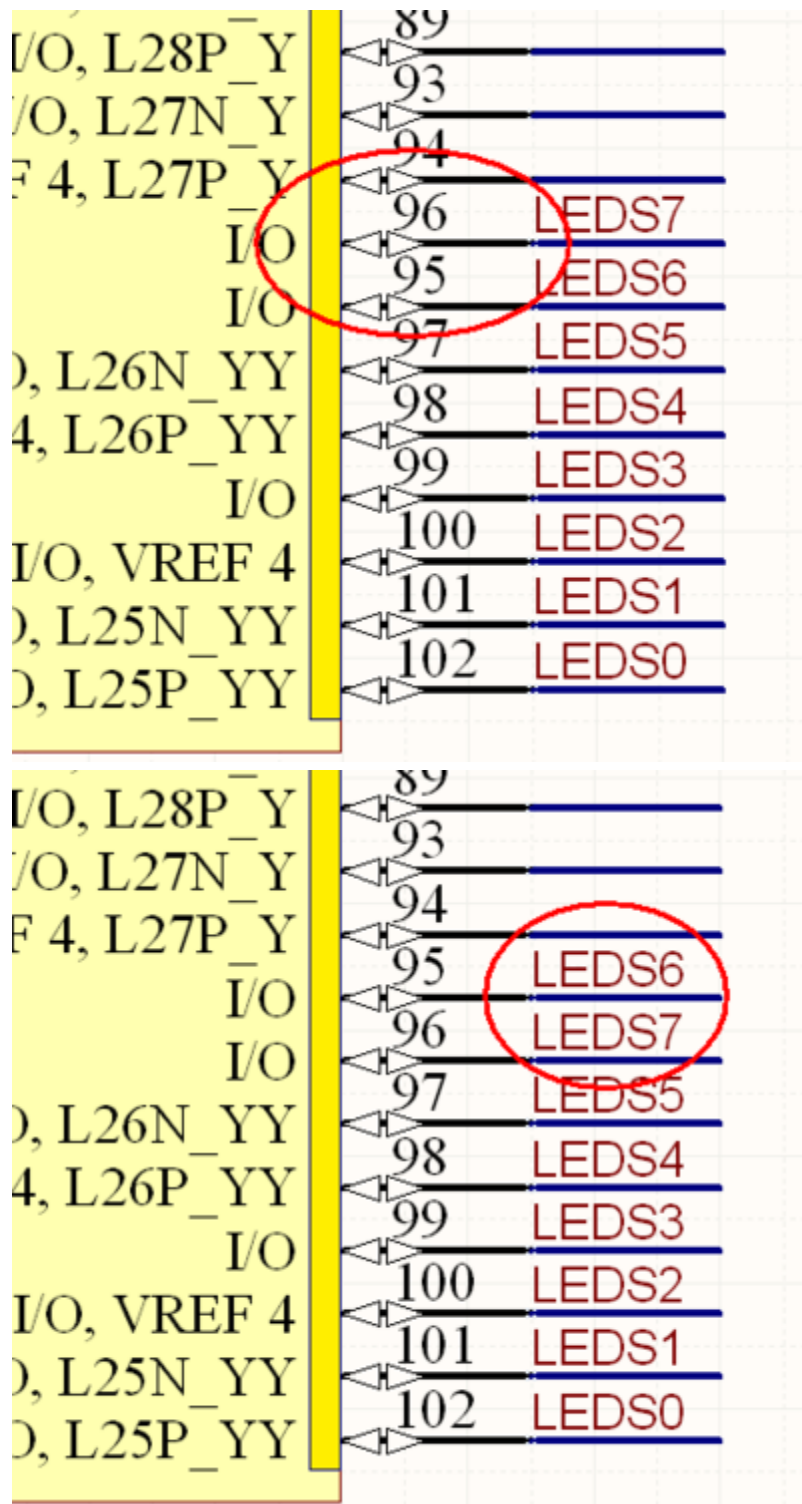
Chuyển các thay đổi trở lại sơ đồ

Khi bạn định cấu hình các *nhóm hoán đổi* trong hộp thoại *Định cấu hình Hoán đổi Ghim*, các chỉnh sửa bạn thực hiện ngay lập tức được áp dụng cho các thành phần sơ đồ, bất kể trình soạn thảo nào đang hoạt động khi lệnh được khởi chạy. Tuy nhiên, các thay đổi thiết kế là kết quả của việc bạn thực hiện hoán đổi pin, cặp vi phân hoặc hoán đổi phần phụ trong trình chỉnh sửa PCB được truyền trở lại sơ đồ bằng quy trình Cập nhật thiết kế tiêu chuẩn.

Đẩy các Thay đổi từ PCB sang Sơ đồ

Các hoán đổi ghim, cặp và các bộ phận được chuyển trở lại giản đồ giống như cách mà các thay đổi thiết kế khác được chuyển - bằng cách chọn Thiết kế »Cập nhật từ menu. Tùy thuộc vào cách cấu hình tùy chọn Cho phép hoán đổi mã pin, hoán đổi mã pin sẽ được thực hiện như sau:

- Thay đổi Tên Ghim - thay đổi này sẽ di chuyển các chân trên biểu tượng. Các chân không thực sự được di chuyển trên biểu tượng, bên trong định nghĩa của hai chân được hoán đổi qua nhau, tuy nhiên, bằng mắt thường có vẻ như hai chân đã di chuyển, hoán đổi vị trí.
- Di chuyển các Ghim sang các Nets khác nhau - thay đổi này sẽ hoán đổi các nhãn mạng trên các dây đính kèm
- Thay đổi ID bộ phận phụ - thay đổi này sẽ chỉ thay đổi chỉ mục bộ phận phụ khi hoán đổi bộ phận được thực hiện.



Hình ảnh bên trái cho thấy hoán đổi pin được giải quyết trong giản đồ bằng cách hoán đổi chân. Hình ảnh bên phải cho thấy hoán đổi được giải quyết bằng cách di chuyển các nhãn mạng.

Nếu giả đồ không cập nhật để hiển thị các chân hoặc bộ phận đã hoán đổi, hãy nhấn phím **Kết thúc** để làm mới màn hình.

Tận dụng lợi thế của hệ thống hoán đổi pin / bộ phận mới với thiết kế FPGA

Ngoài những ưu điểm rõ ràng mà hoán đổi pin, cập và hoán đổi một phần thông minh mang lại, khả năng hoán đổi các mạng phụ được định tuyến một phần mang lại một khía cạnh mới cho việc hoán đổi, lý tưởng để làm việc với FPGA dung lượng lớn. Việc phân công lại mạng động cho phép bạn sử dụng quy trình thiết kế nhiều giai đoạn, với việc phân công pin / net được tinh chỉnh dần dần.

Chỉ định I / O ban đầu

Trong giai đoạn này, các chân của FPGA và các thiết bị khác được thiết lập các nhiệm vụ rỗng của chúng theo bất kỳ cách nào dễ dàng nhất ở cấp sơ đồ. Thông thường, điều này có nghĩa là chỉ cần thêm các nhãn rỗng theo thứ tự bus số vào các chân trên FPGA. Tính năng Dán thông minh trong Trình chỉnh sửa sơ đồ lý tưởng để thực hiện việc này.

Tối ưu hóa kết nối ban đầu

Thiết kế có thể được chuyển sang bố trí PCB, nơi sẽ có rất nhiều giao nhau kết nối vì sự phân công ngẫu nhiên ở cấp sơ đồ. Chạy lệnh Automatic Net / Pin Optimizer sẽ nhanh chóng giảm số lượng giao nhau. Kết quả không cần phải lý tưởng, nó chỉ là làm cho mọi thứ dễ quản lý hơn ở cấp độ PCB.

Định tuyến thoát

Định tuyến Fanout và Escape hiện có thể được thực hiện trên các thiết bị lớn trên PCB (nhấp chuột phải vào thành phần để thực hiện định tuyến fanout / Escape có chọn lọc). Điều này có thể làm xấu đi các bài tập đã được tối ưu hóa trước đó, nhưng điều đó không thành vấn đề tại thời điểm này.

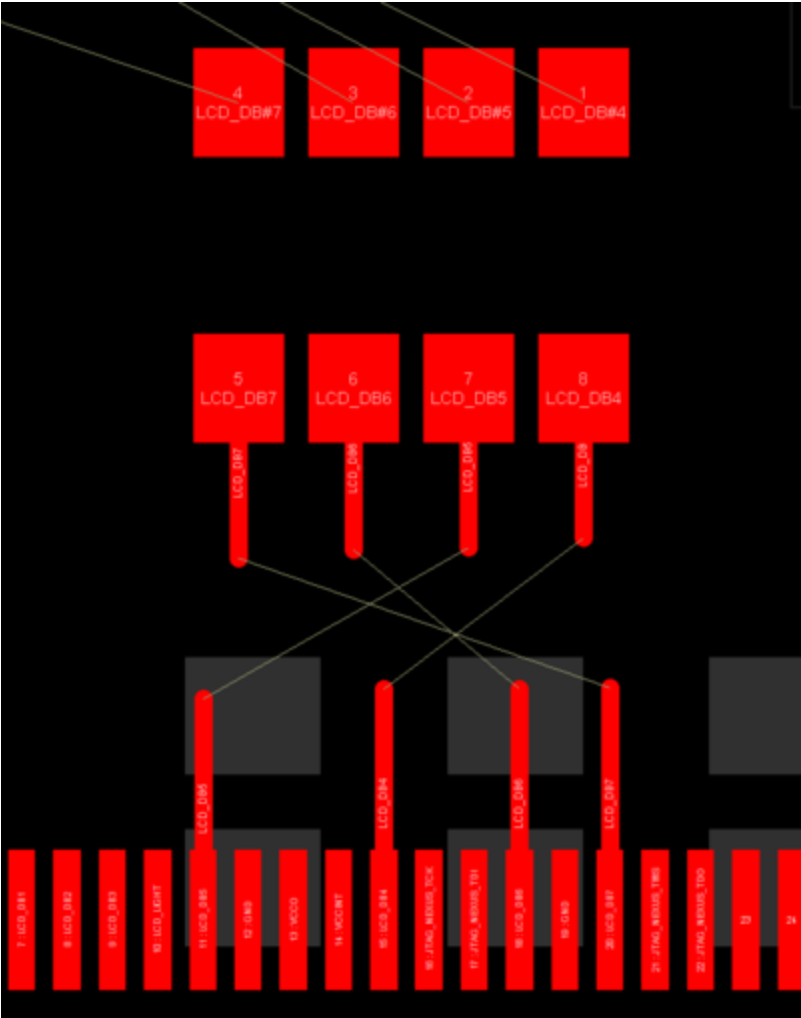
Tối ưu hóa kết nối đã thoát

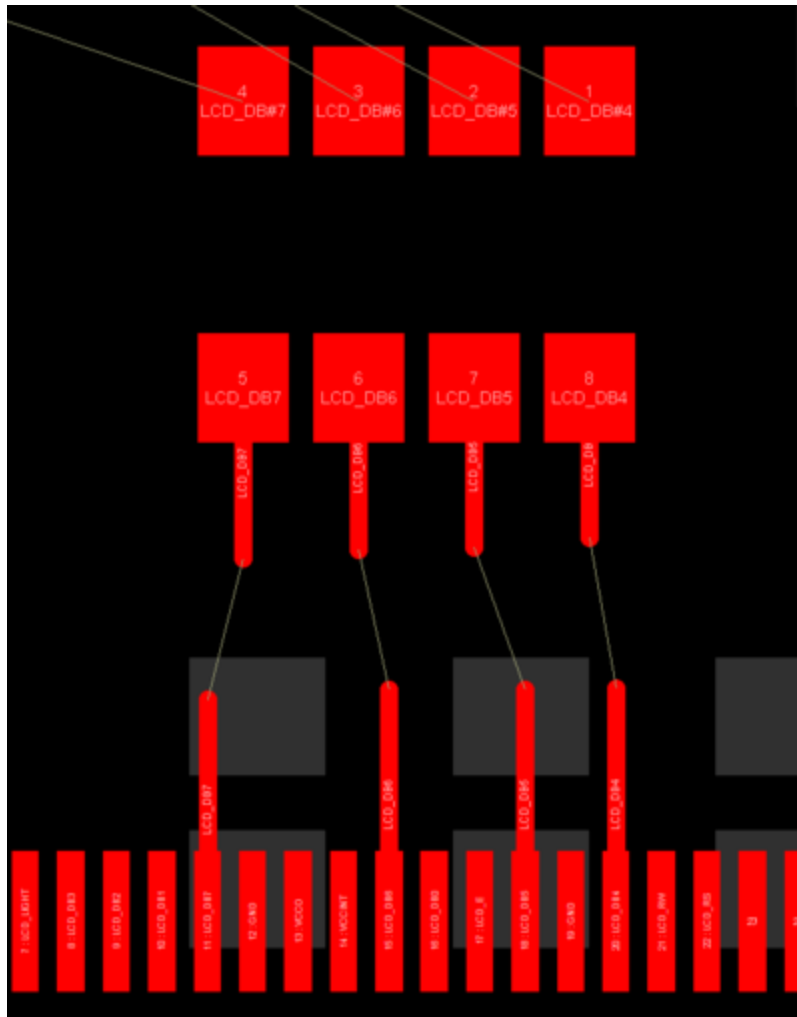
Chạy lại trình tối ưu hóa tự động, lần này nó sẽ tận dụng các phần được định tuyến trước của định tuyến fanout / Escape.

Định tuyến thủ công

Bây giờ bạn có thể coi phần cuối của các lối thoát là 'mục tiêu' để hướng tới. Bỏ qua các đường kết nối thực tế, bạn có thể định tuyến từ các đầu khác của lưới tới tuyến I / O thoát gần nhất (theo không gian và theo lớp) trên PCB, thay vì tuyến trên cùng

một mạng. Các kết nối sẽ không xếp hàng, thay vào đó bạn sẽ gặp phải một loạt các khoảng trống nhỏ giữa định tuyến thoát từ các chân I / O FPGA và định tuyến của bạn đến từ các phần khác của PCB. Hình ảnh dưới đây cho thấy một ví dụ đơn giản về điều này.





Tối ưu hóa cuối cùng

Chạy lại trình tối ưu hóa tự động và nó sẽ gán các mạng con được định tuyến cho chân I / O thoát gần nhất có thể. Điều này sẽ để lại cho bạn một tập hợp các kết nối rất ngắn để hoàn thành. Trình tối ưu hóa tự động có các quy trình đặc biệt để tạo ra kết quả tốt trong trường hợp này. Giờ đây, chúng có thể được định tuyến tương tác hoặc tự động.

Hoán đổi mã pin thủ công

Sử dụng bộ trao đổi tương tác để thực hiện bất kỳ thay đổi hoán đổi pin cụ thể nào mà bạn cần.

Tuyên truyền các thay đổi trở lại sơ đồ

Khi bạn đã sẵn sàng phổ biến các nhiệm vụ ghim này trở lại giản đồ, bạn nên tắt các thay đổi về ghim trên các biểu tượng giản đồ. Điều này là do FPGA thường được

trình bày dưới dạng các thành phần gồm nhiều phần, với mỗi dãy chân là một phần sơ đồ riêng biệt. Việc di chuyển các chốt từ bộ phận này sang bộ phận khác sẽ dẫn đến các biểu tượng này trở nên không chính xác về mặt logic, vì biểu tượng ngân hàng sẽ bao gồm các chốt không thuộc về ngân hàng đó. Trong tình huống này, thực hiện hoán đổi pin bằng cách thay đổi nhãn mạng là cách tiếp cận chính xác.