

Tạo kết nối

Creating Connectivity

- Kết nối vật lý và logic
- Đối tượng được sử dụng để tạo kết nối
- Cấu trúc thiết kế ảnh hưởng đến kết nối như thế nào
 - Thiết kế phẳng
 - Thiết kế phân cấp
 - Thiết kế đa kênh
 - Đặt phạm vi số nhận dạng rộng
- Cách đặt tên Nets
 - Nhiều số nhận dạng rộng trên một mạng
 - Các tùy chọn để kiểm soát việc đặt tên cho Nets
- Hai bộ riêng biệt có cùng tên
- Có ý kết nối hai Nets
- Power Nets
 - Bản địa hóa mạng lưới điện - Toàn cầu
 - Bản địa hóa mạng lưới điện - Riêng lẻ
 - Nets điện và Pins điện ẩn
- Gói nhiều Nets
 - Làm việc với Xe buýt
 - Làm việc với Khai thác tín hiệu
- Biên soạn thiết kế
 - Mô hình dữ liệu hợp nhất
 - Kiểm tra kết nối
- Điều hướng các thành phần trên bo mạch
- Kết nối trong không gian thiết kế bảng
 - Mang cấu trúc liên kết
- Áp dụng cấu trúc liên kết được xác định trước
- Áp dụng một cấu trúc liên kết tùy chỉnh
- Quản lý hiển thị các đường kết nối
- Gán màu cho các đường kết nối
- Hướng dẫn Định vị Thành phần

Kết nối các thành phần

Các thành phần được kết nối bằng cách đấu dây các chân với nhau hoặc bằng cách đặt số nhận dạng mạng để kết nối các chân trong mạng đó.

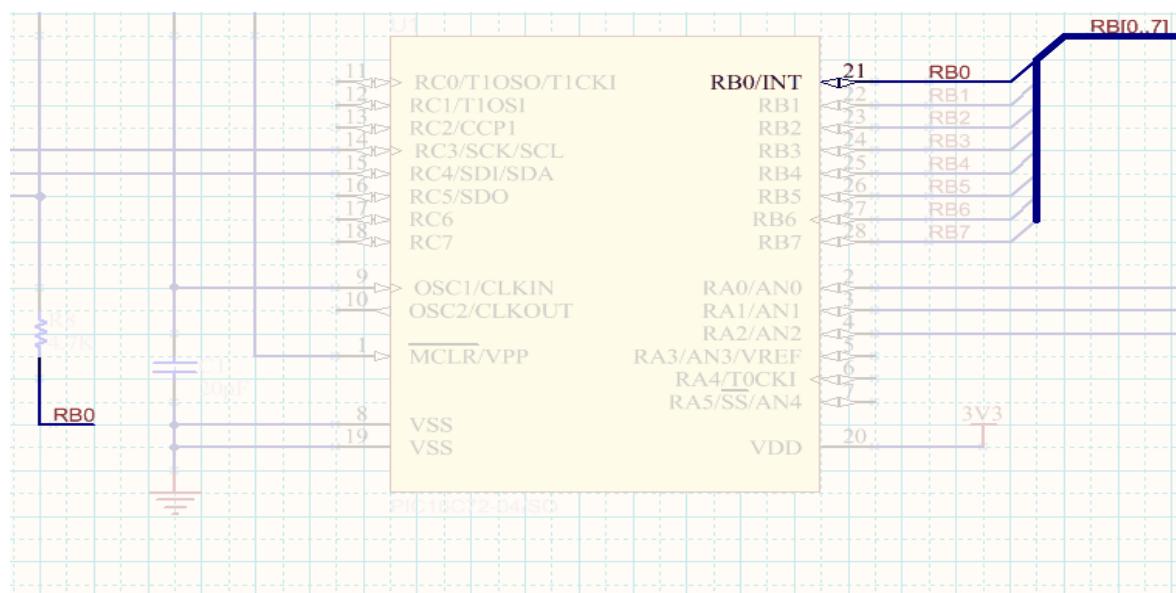
Chính các thành phần và cách chúng kết nối với nhau tạo nên mạch điện tử độc đáo của bạn. Trong sơ đồ, bạn tạo biểu diễn logic cho thiết kế của mình bằng cách kết nối các chân linh kiện với nhau, để thiết kế bảng mạch in, bạn đặt các thành phần vật lý và tạo kết nối giống nhau với các bản nhạc.

Kết nối vật lý và logic

Trên giản đồ, bạn có thể tạo kết nối đó bằng cách vẽ dây từ thành phần này sang thành phần khác - đây được gọi là kết nối vật lý.

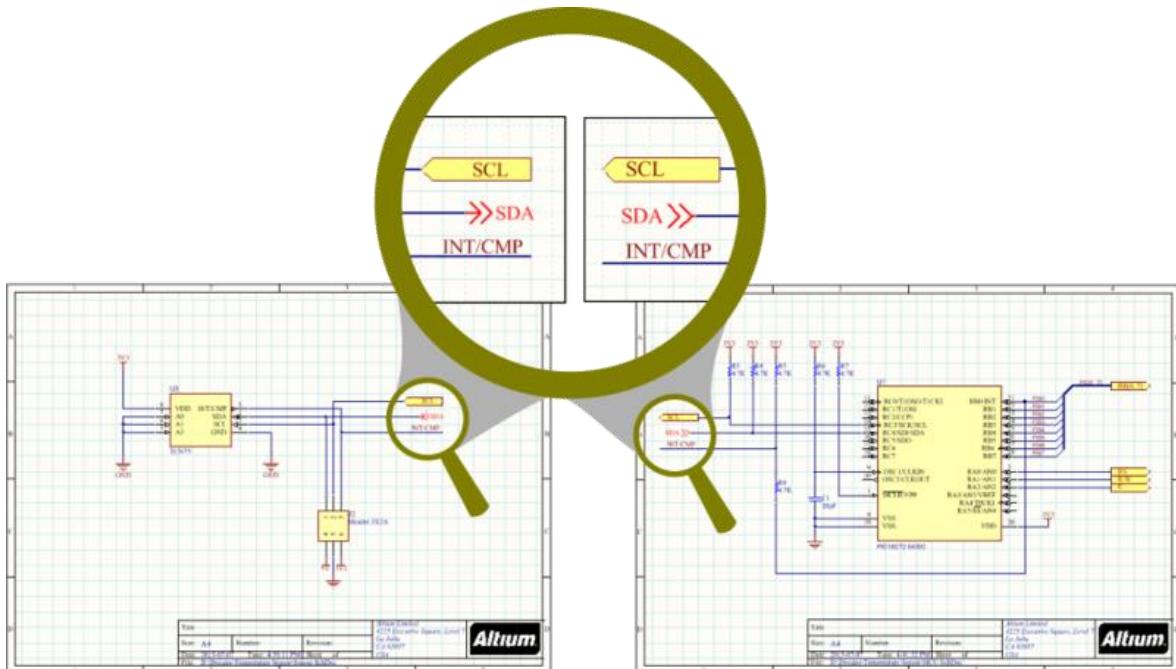
Bạn cũng có thể kết nối một chân này với một chân khác bằng cách đặt một Dây ngắn và một Nhãn mạng trên mỗi chân thành phần - khi thiết kế được biên dịch, phần mềm sẽ xác định hai phần mạng này và kết nối chúng để tạo thành một mạng duy nhất - kiểu kết nối này được gọi là để kết nối hợp lý.

Kết nối vật lý cho phép người đọc theo dõi từng dây khi họ nghiên cứu mạch, nhưng nhiều dây có thể dẫn đến một sơ đồ dày đặc và bận rộn. Mặt khác, Net Labels giảm số lượng dây dẫn, nhưng thay vào đó người đọc phải quét trang tính để tìm tất cả các kết nối tiềm năng. Là nhà thiết kế, bạn có thể tự do quyết định mô hình kết nối nào phù hợp nhất với thiết kế của mình, bao gồm cả sự kết hợp của cả hai kỹ thuật.



Đặt dây để tạo kết nối vật lý hoặc sử dụng nhãn mạng để tạo kết nối logic.

Cũng như tạo kết nối logic *trong* một trang sơ đồ, cũng có các đối tượng để tạo kết nối hợp lý *giữa* các trang sơ đồ. Cách kết nối này được tạo ra sẽ phụ thuộc vào cách bạn cấu trúc sơ đồ của mình, dưới dạng thiết kế phẳng hoặc thiết kế phân cấp, hãy tìm hiểu thêm về điều này bên dưới.



Có một số mã nhận dạng ròng khác nhau có thể được sử dụng để kết nối giữa các trang tính.

Đối tượng được sử dụng để tạo kết nối

Trình soạn thảo đồ bao gồm các đối tượng sau đây được sử dụng để tạo kết nối, gọi chung các đối tượng này được gọi là *số nhận dạng ròng*.

SỐ NHẬN DẠNG RÒNG	CHỨC NĂNG
Xe buýt	Được sử dụng để nhóm một tập hợp các lối, ví dụ: Dữ liệu [0..7]. Các tập phải được đặt tên tuần tự bằng cách sử dụng một lược đồ đặt tên cụ thể (ví dụ: Data0, Data1, ... Data7), và việc đặt tên này sau đó chỉ ra tên Bus, ví dụ như Data [0..7].

SỐ NHẬN DẠNG RÒNG	CHỨC NĂNG
Đi xe buýt	Thiết bị đồ họa được cung cấp để hỗ trợ xé 2 lưỡi khác nhau từ các phía đối diện của đường Xe buýt mà không tạo ra khoảng ngán giữa 2 lưỡi. Không bắt buộc trong các tình huống khác.
Trình kết nối OffSheet	Được sử dụng để kết nối mạng từ một trang tính sơ đồ sang trang tính khác (không nằm trong cùng một trang tính). Chỉ hỗ trợ kết nối ngang (thiết kế phẳng). Trình kết nối OffSheet có chức năng hạn chế khi so sánh với Cổng.
Nhãn ròng	Một số nhận dạng ròng được sử dụng để tạo kết nối với các Nhãn Mạng khác có cùng tên, trên cùng một trang sơ đồ. Mạng được đặt tên tự động bởi Nhãn Mạng. Net Labels có thể được đặt trên các chân linh kiện, dây dẫn và bus. Lưu ý rằng Net Nhãn không kết nối giữa tờ, trừ các tùy chọn dự án được cấu hình để sử dụng một Scope Net Định danh của Global.
Ghim	Các chân được đặt trong trình chỉnh sửa ký hiệu giản đồ, để biểu diễn các chân vật lý trên thành phần. Chỉ một đầu của ghim là hoạt động điện, đôi khi được gọi là đầu nóng của ghim.
Ghim, ẩn	Trong quá trình tạo thành phần, có thể ẩn một chân thành phần và gán tên ròng cho nó. Các chân nguồn ẩn với mạng được gán sẽ tự động được thêm vào mạng của tên đó. Sử dụng tính năng này để tự động liệt kê các chân nguồn linh kiện ẩn. Các chân ẩn có thể lộ ra trên sơ đồ nếu cần, ví dụ nếu chúng cần được kết nối với các lưỡi cung cấp điện khác nhau.

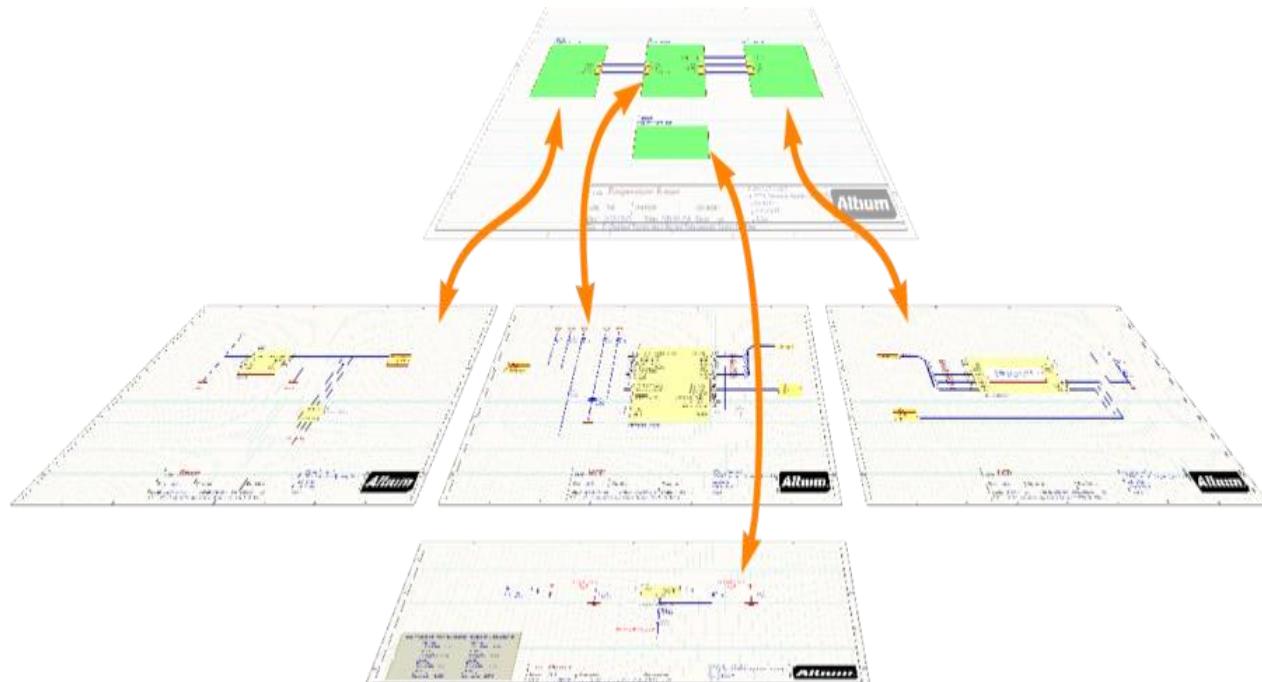
SỐ NHẬN DẠNG RÔNG	CHỨC NĂNG
Hải cảng	Được sử dụng để kết nối mạng từ một trang sơ đồ này sang một trang tính khác. Khả năng kết nối có thể theo chiều dọc trong thiết kế phân cấp hoặc theo chiều ngang trong thiết kế phẳng (thiết kế dọc và ngang được giải thích bên dưới). Tên cổng được sử dụng để đặt tên cho lưới nếu chọn Allow Ports to Name Nets được bật trong hộp thoại <i>Options for Project</i> , trong trường hợp này, các cổng cũng sẽ kết nối trong một trang sơ đồ.
Cổng điện	Tạo kết nối với mọi cổng nguồn khác cùng tên, xuyên suốt dự án sơ đồ, bất kể cấu trúc thiết kế. Mạng được đặt tên tự động bởi Cổng nguồn. Mạng này có thể được bản địa hóa thành một trang sơ đồ cụ thể nếu được yêu cầu.
Mục nhập trang tính	Được đặt trong Biểu tượng Trang tính, để tạo kết nối với Cổng cùng tên trên trang tính con của Biểu tượng Trang tính đó. Mục nhập trang tính được sử dụng làm tên rộng nếu tùy chọn Cho phép trang tính nhập tên tập được bật trong hộp thoại <i>Tùy chọn cho dự án</i> .
Khai thác tín hiệu	Được sử dụng để bó bất kỳ sự kết hợp nào của lưới, xe buýt và dây tín hiệu cấp thấp hơn.
Dây điện	Một thiết kế sơ đồ điện polyline được sử dụng để tạo kết nối điện giữa các điểm trên một sơ đồ. Một dây tương tự như một dây vật lý.

Các loại định danh net khác nhau có cùng tên không tự động kết nối với nhau, nó phụ thuộc vào cách cấu hình tùy chọn đặt tên net. Các tùy chọn này được thảo luận dưới đây.

Cấu trúc thiết kế ảnh hưởng đến kết nối như thế nào

Nếu thiết kế không phù hợp với một tờ sơ đồ duy nhất, nó có thể được trai trên nhiều tờ. Có hai mô hình riêng biệt để tổ chức và tạo kết nối trong một sơ đồ nhiều trang: hoặc là một thiết kế phẳng, bạn có thể coi đó là một trang sơ đồ lớn đã được cắt thành một số trang nhỏ hơn; hoặc như một thiết kế phân cấp, trong đó các trang tính được liên kết theo cấu trúc kiểu ông bà-cha mẹ-con.

Thiết kế nhiều trang tính được thực hiện bằng cách đặt một Biểu tượng Trang tính trên trang tính mẹ, biểu tượng này đại diện và liên kết đến trang tính con, như thể hiện trong hình dưới đây.



Biểu tượng Trang tính đại diện (và liên kết đến) các trang tính cấp thấp hơn. Trong thiết kế phẳng cấu trúc này chỉ có thể sâu một cấp, trong thiết kế phân cấp không có giới hạn về chiều sâu.

Vì vậy, điều gì sẽ xác định xem một thiết kế là phẳng hay có thứ bậc? Đó là **Phạm vi Net Định danh** mà định nghĩa như thế nào bạn muốn kết nối tâm-to-sheet được tạo ra. Đây được thiết lập trong **tùy chọn** tab của *lựa chọn cho dự án* thoại.

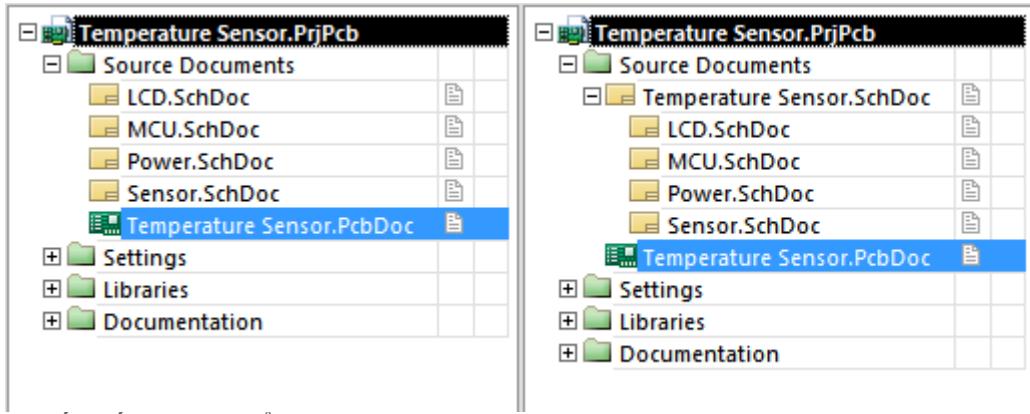
Một dự án chỉ có thể chứa một trang tính trên cùng, tất cả các tài liệu nguồn khác phải được tham chiếu bằng ký hiệu trang tính. Không có biểu tượng trang tính nào có thể tham chiếu đến trang tính mà nó nằm trên hoặc bất kỳ trang tính nào cao hơn trên bậc thang, vì điều này sẽ tạo ra một vòng lặp không thể giải quyết trong cấu trúc.

Thiết kế phẳng

Một thiết kế được gọi là thiết kế phẳng khi kết nối được tạo trực tiếp từ trang tính này sang trang tính khác, nó không đi qua các Biểu tượng Trang tính trên trang tính

chính. Trong thiết kế phẳng, các ký hiệu trang tính chỉ đơn giản là đại diện (và tham chiếu) các trang tính con. Tất cả các trang tính trong thiết kế đều xuất hiện ở cùng một mức trong bảng *Dự án*, vì không có phân cấp. Cả hai hình ảnh dưới đây đều cho thấy một thiết kế phẳng.

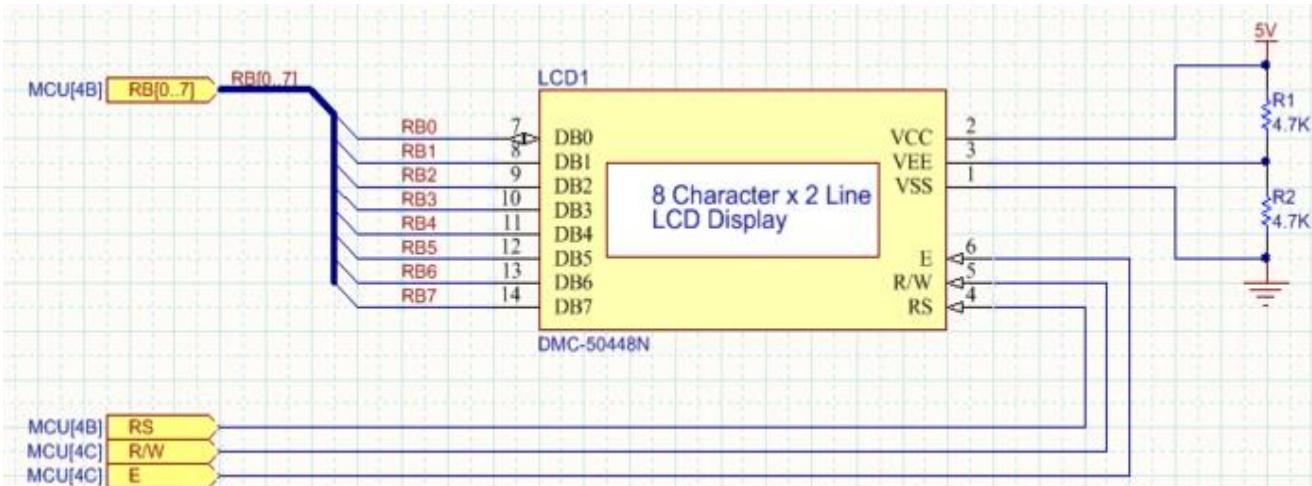
Thiết kế phẳng đơn giản hơn để tạo ra. Một thiết kế phẳng có thể bao gồm trang tính trên cùng với Biểu tượng trang tính cho mỗi trang tính con, nhưng đây là tùy chọn vì trang tính trên cùng này không được sử dụng để tạo kết nối từ trang này sang trang khác. Đối với một thiết kế nhỏ chỉ có hai hoặc ba tờ sơ đồ trong đó, bạn có thể quyết định rằng một tờ trên cùng không thêm bất kỳ giá trị nào. Khi số lượng trang tính cao hơn, trang tính trên cùng có thể giúp người đọc hiểu chức năng của thiết kế mạch từ cách sắp xếp các khối logic (Ký hiệu Trang tính) trên trang tính.



Cùng một thiết kế, được hiển thị không có trang tính trên cùng (bên trái) và có trang tính trên cùng (bên phải) - cả hai đều là ví dụ về thiết kế phẳng.

Trong thiết kế phẳng, các kết nối giữa các trang tính có thể được tạo bằng Cổng, Đầu nối Offsheet, Cổng Nguồn và Nhãn Mạng, như thể hiện trong hình trước đó bằng kính lúp. Cách tiếp cận được khuyến nghị là sử dụng Nhãn Mạng *trong* mỗi trang tính và Cổng để kết nối *giữa* các trang tính. Cổng cung cấp nhiều tính năng hơn so với Trình kết nối ngoài trang tính, bao gồm khả năng thêm Tham chiếu chéo cổng, bổ sung thêm một SheetName [GridReference] cổng cho mỗi cổng, đề cập đến một cổng phù hợp trên một trang tính khác, như thể hiện trong hình ảnh bên dưới.

Không giới hạn số tờ trong thiết kế phẳng.

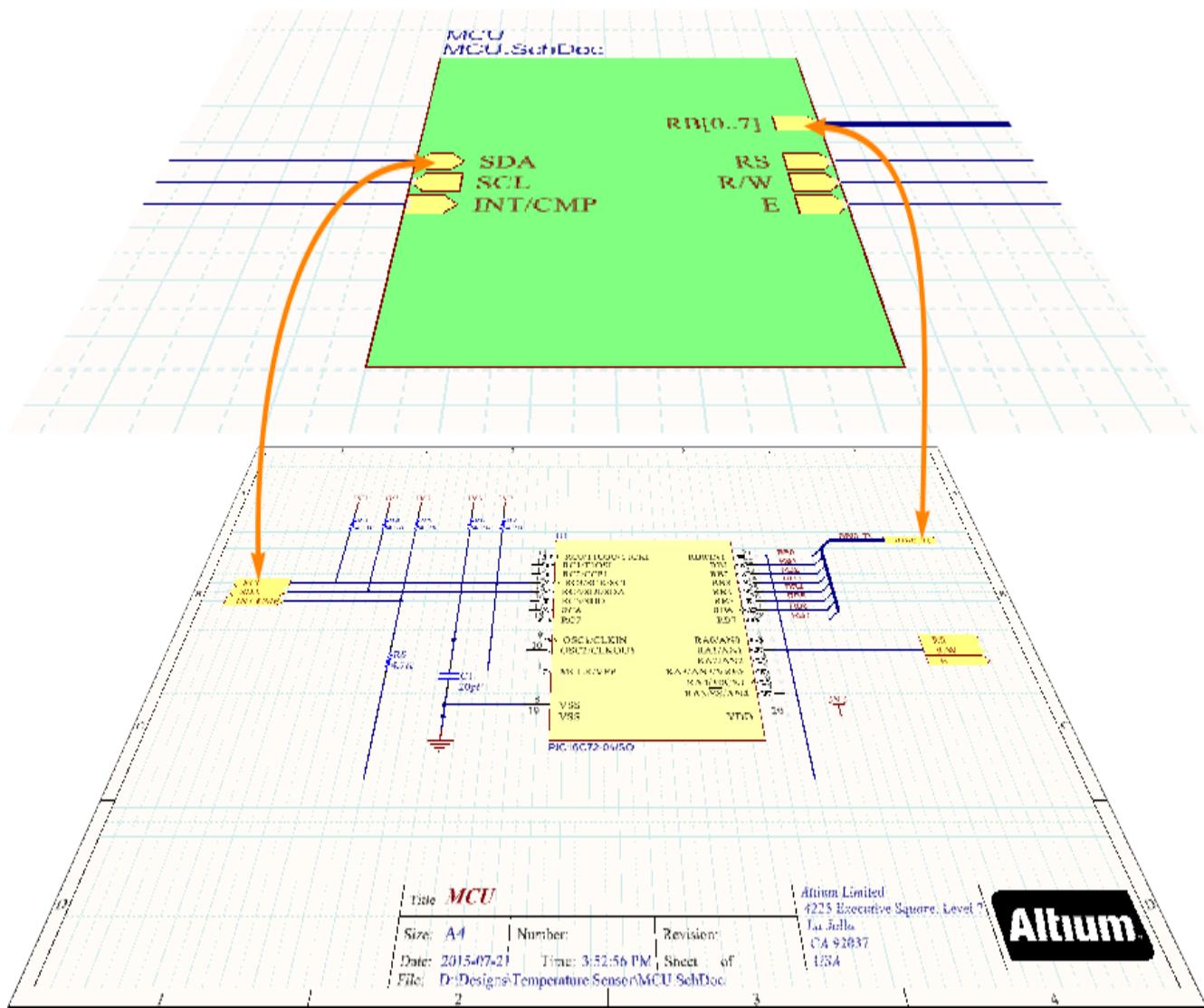


Tham chiếu Chéo Cổng đã được thêm vào bên cạnh mỗi Cổng, cho biết trang mục tiêu và tham chiếu lướt cho Cổng phù hợp.

Một thiết kế phẳng khi kết nối trực tiếp từ trang tính này sang trang tính khác - hành vi kết nối này được xác định bằng cách đặt **Phạm vi số nhận dạng ròng** thành Automatic, Flat hoặc Global. Lưu ý rằng nếu bạn chọn để sử dụng một hỗn hợp của các cảng và Nhãn Net để tạo kết nối tấm-to-sheet, bạn không thể sử dụng Automatic tùy chọn, trong tình huống này, bạn phải thiết lập thủ công **Phạm vi Net định danh** để Global.

Thiết kế phân cấp

Một thiết kế được gọi là phân cấp khi kết nối từ trang này sang trang tính khác từ Biểu tượng Trang tính, xuống đến trang tính con được Tham chiếu bởi Biểu tượng Trang tính đó. Ở cấp net, kết nối được tạo giữa một Mục nhập Trang tính trong Biểu tượng Trang tính đó và một Cổng có cùng tên với mục nhập trang tính, trên trang tính con. Kiểu kết nối này còn được gọi là kết nối dọc, vì kết nối từ trang này sang trang tính khác được tạo ra chỉ là lên và xuống, giữa trang tính mẹ và trang tính con của nó.



Trong thiết kế phân cấp, kết nối cáp net là từ một Mục nhập Trang tính trên trang tính mẹ, đến một Công phù hợp trên trang tính con.

Thiết kế phân cấp có hai điểm mạnh chính.

- Đầu tiên là khả năng cho người đọc thấy chức năng của thiết kế theo cách mà các trang tính sơ đồ đã được cấu trúc và trình bày dưới dạng các khối logic (Ký hiệu Trang tính). Sơ đồ cấp cao nhất trình bày thiết kế như một tập hợp các khối chức năng cấp cao, với sự sắp xếp của các khối phản ánh vị trí của chúng trong luồng truyền thông từ trái sang phải, đầu vào - đầu ra của mạch tổng thể. Các khối này có thể được chia nhỏ hơn nữa thành các khối nhỏ hơn nếu cần thiết, cho phép các sơ đồ cấp thấp nhất mang các thành phần có cấu trúc tương đối đơn giản, với số lượng thành phần thấp. Bởi vì mỗi tờ tương đối đơn giản, kích thước tờ đo được giữ nhỏ, một lợi thế lớn khi in sơ đồ.
- Ưu điểm chính khác là việc theo dõi tín hiệu thông qua thiết kế phân cấp thường dễ dàng hơn nhiều, vì người đọc chỉ cần khớp một Mục nhập Trang tính trên trang tính chính với

Công trên trang tính con và có thể theo dõi tín hiệu dọc theo hệ thống dây. trong mỗi trang tính.

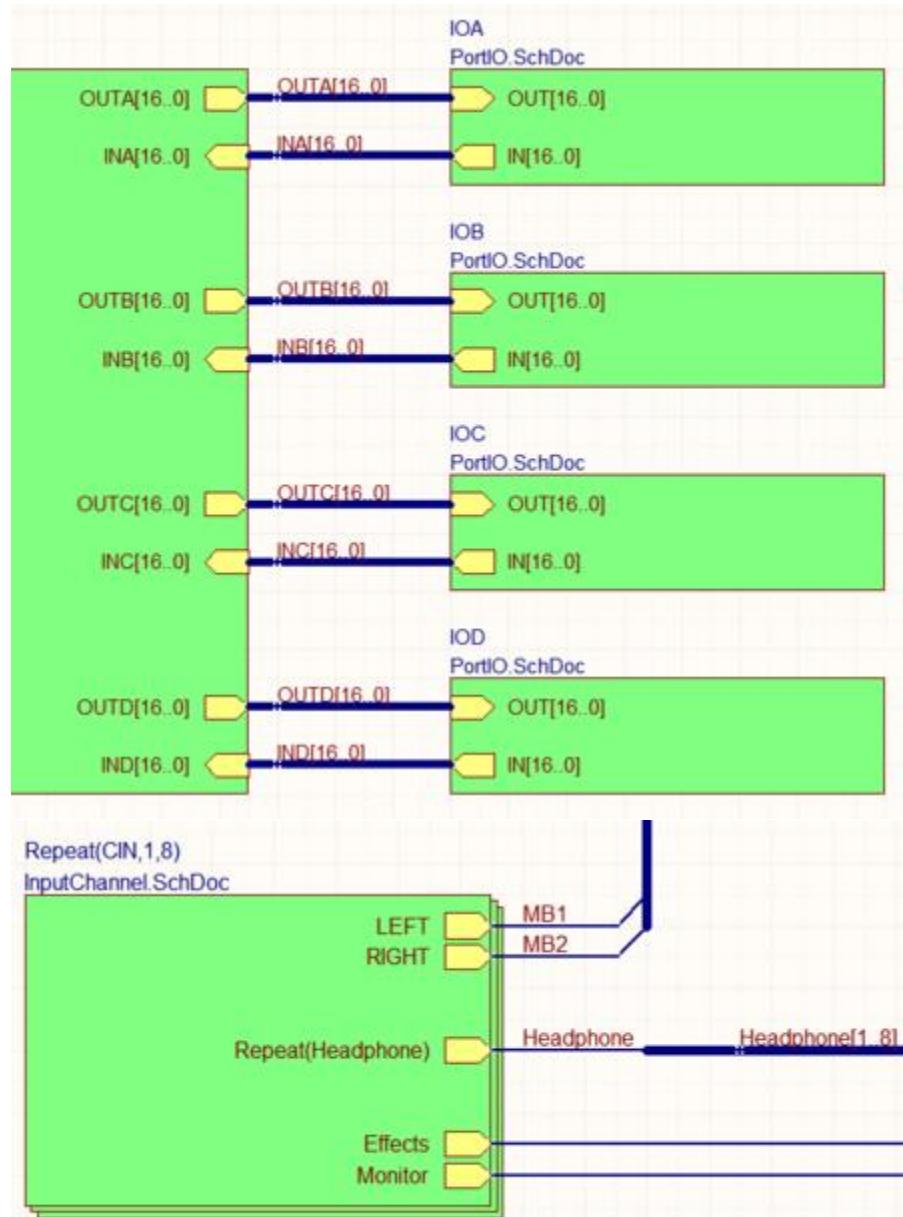
Có rất nhiều công việc trong việc xây dựng một thiết kế phân cấp - Biểu tượng Trang tính yêu cầu Mục nhập Trang tính và trang tính trên cùng phải được nối dây để truyền tín hiệu từ Biểu tượng Trang tính này sang Biểu tượng Trang tính khác. Phần mềm bao gồm một công cụ để giúp đồng bộ hóa các Mục nhập Trang tính với các Công trang tính con (**Thiết kế »Đồng bộ hóa các Công và Nhập Trang tính** cho tất cả các Biểu tượng Trang tính hoặc **Nhấp chuột phải» Thao tác với Biểu tượng Trang tính »Đồng bộ hóa các Công và Nhập Trang tính** cho một Biểu tượng Trang tính duy nhất). Nó cũng bao gồm các công cụ để giúp chia một thiết kế lớn hơn thành các phần nhỏ (**Nhấp chuột phải vào »Refactor» Di chuyển mạch phụ đã chọn sang trang tính khác**). Để tìm hiểu thêm về các công cụ tái cấu trúc và tái cấu trúc này, hãy tham khảo [trang Tái cấu trúc thiết kế](#).

Một thiết kế phân cấp có thể có độ sâu bất kỳ và bao gồm bất kỳ số lượng trang sơ đồ nào.

Một thiết kế có thứ bậc khi kết nối trang tính chỉ giữa các Mục nhập Trang tính trên trang tính chính và các Công phù hợp trên trang tính con - hành vi liên kết này được xác định bằng cách đặt Phạm vi số nhận dạng ròng thành Automatic, Hierarchical hoặc Strict Hierarchical.

Thiết kế đa kênh

Không có gì lạ khi một thiết kế điện tử bao gồm các phần mạch lặp lại. Nó có thể là một bộ khuếch đại âm thanh nổi hoặc nó có thể là một bàn trộn 64 kênh. Kiểu thiết kế này được hỗ trợ đầy đủ trong Altium Designer, bởi một tập hợp tính năng được gọi là **thiết kế đa kênh**. Trong thiết kế đa kênh, bạn ghi lại mạch lặp lại một lần, sau đó hướng dẫn phần mềm lặp lại nó: bằng cách đặt nhiều Biểu tượng Trang tính mà tất cả đều tham chiếu đến cùng một sơ đồ con; hoặc bằng cách cấu hình một Biểu tượng Trang tính để lặp lại sơ đồ con được tham chiếu với số lần cần thiết. Khi thiết kế được biên dịch, nó sẽ được mở rộng trong bộ nhớ, với tất cả các thành phần và kết nối được lặp lại số lần cần thiết, phù hợp với [sơ đồ đặt tên do người dùng xác định](#).



Ở bên trái có 4 Biểu tượng Trang tính, tất cả đều tham chiếu đến cùng một trang tính con (PortIO.SchDoc). Ở bên phải InputChannel.SchDoc được lặp lại 8 lần bởi từ khóa Lặp lại.

Thiết kế logic mà bạn nắm bắt không bao giờ thực sự bị làm phẳng, nó luôn duy trì ở dạng giản đồ đa kênh. Khi bạn chuyển nó sang bố trí PCB, các thành phần vật lý và lối đi sẽ được loại bỏ số lần cần thiết và bạn có toàn quyền truy cập vào các công cụ thăm dò chéo và chọn chéo có sẵn để [Làm việc giữa Sơ đồ và Bản giao diện](#). Ngoài ra còn có một công cụ trong trình chỉnh sửa PCB để tái tạo vị trí và định tuyến của một kênh trên tất cả các kênh khác, với khả năng dễ dàng di chuyển và định hướng lại toàn bộ kênh. Tham khảo bài viết [thiết kế đa kênh](#) để hiểu thêm về thiết kế đa kênh.

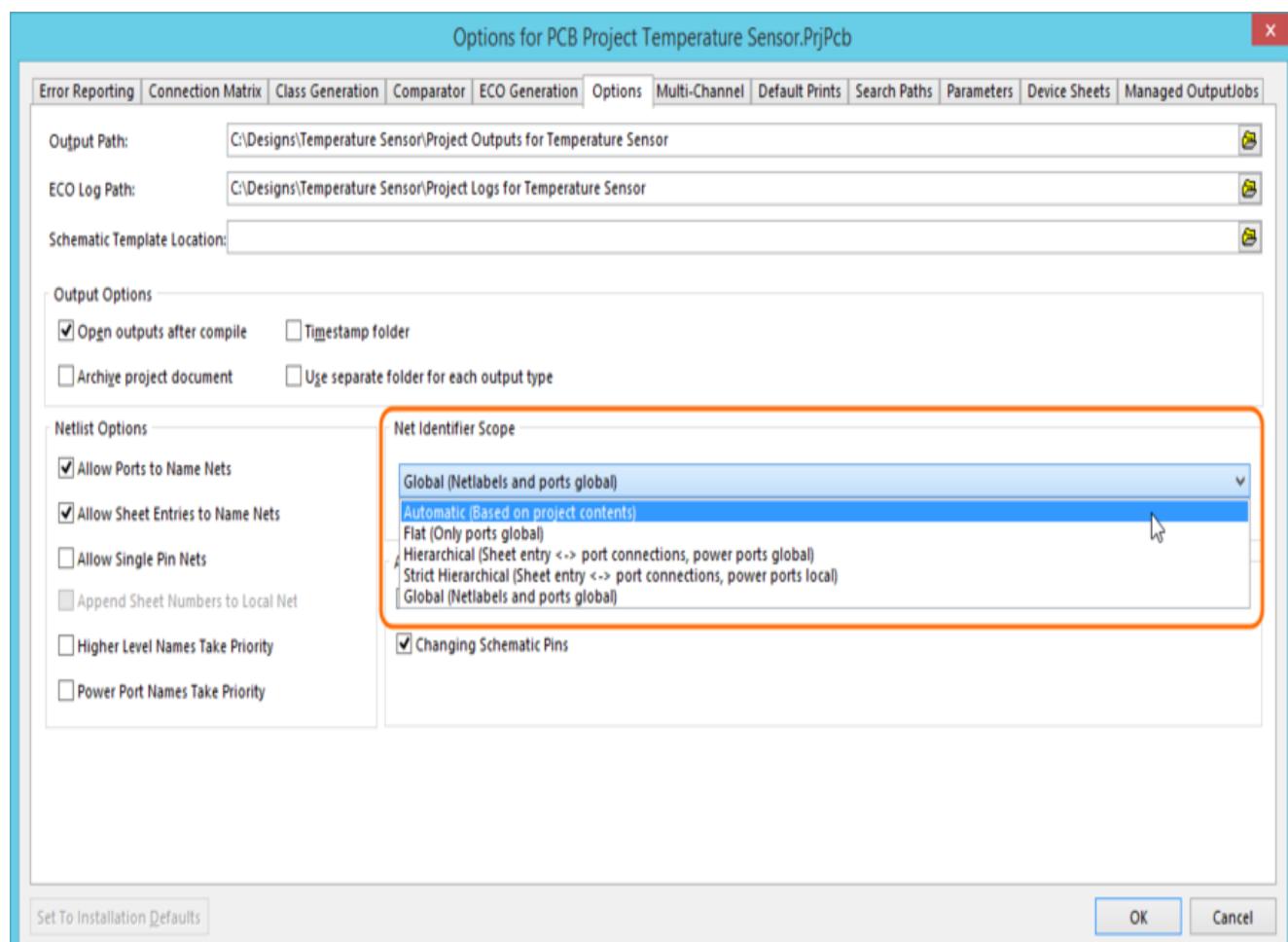
Một thiết kế đa kênh phải được phân cấp vì phần mềm sử dụng mô hình cấu trúc này để khởi tạo các kênh trong bộ nhớ khi thiết kế được biên dịch.

Đối với thiết kế đa kênh, hãy đặt **Phạm vi số nhận dạng ròng** thành Automatic, Hierarchical hoặc Strict Hierarchical.

Sự trùng lặp của các thành phần và lưới được giải quyết bằng phần mềm, sử dụng sơ đồ đặt tên được chọn trong tab Đa kênh của hộp thoại *Tùy chọn cho Dự án*.

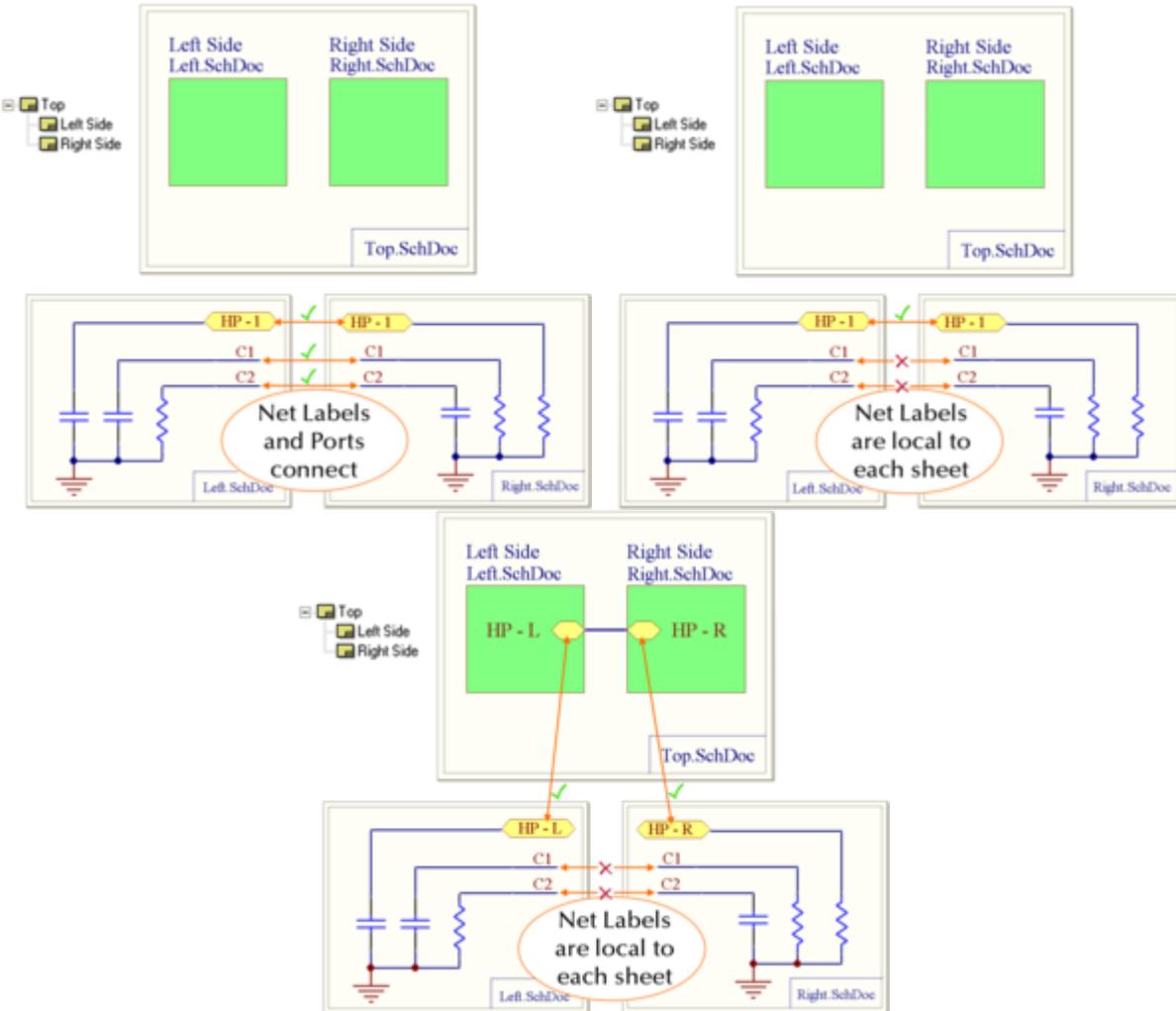
Đặt phạm vi số nhận dạng ròng

Khi bạn biên dịch dự án của mình, phần mềm sử dụng cài đặt hiện tại của **Phạm vi nhận dạng mạng** để tìm ra cách thiết lập kết nối giữa các trang sơ đồ. Các Net Định danh **Phạm vi** được cấu hình trong **Tùy chọn**_tab của *lựa chọn cho dự án* (**Dự án** »**Tùy chọn dự án**).



Chọn chế độ Phạm vi số nhận dạng ròng cho phù hợp với cấu trúc thiết kế của bạn.

Hoạt động của các tùy chọn Toàn cầu, Phẳng và Phân cấp được hiển thị trong các hình ảnh bên dưới.



Ví dụ đơn giản về cách kết nối được tạo cho từng chế độ trong 3 chế độ chính: Toàn cầu được hiển thị ở bên trái, sau đó Phẳng, sau đó là Phân cấp.

Cũng như 3 tùy chọn đã đề cập ở trên (Toàn cầu, Phẳng, Phân cấp), còn có tùy chọn Tự động. Nói chung, tốt hơn là để Phạm vi được đặt thành Tự động, Altium Designer sẽ chọn tùy chọn thích hợp nhất trong số 3 tùy chọn dựa trên cấu trúc của trang tính và sự hiện diện / thiếu của Công và Mục nhập Trang tính.

Khi được đặt thành Automatic, phần mềm sẽ tự động chọn chế độ nào trong số 3 chế độ nhận dạng mạng chính để sử dụng, dựa trên các tiêu chí sau:

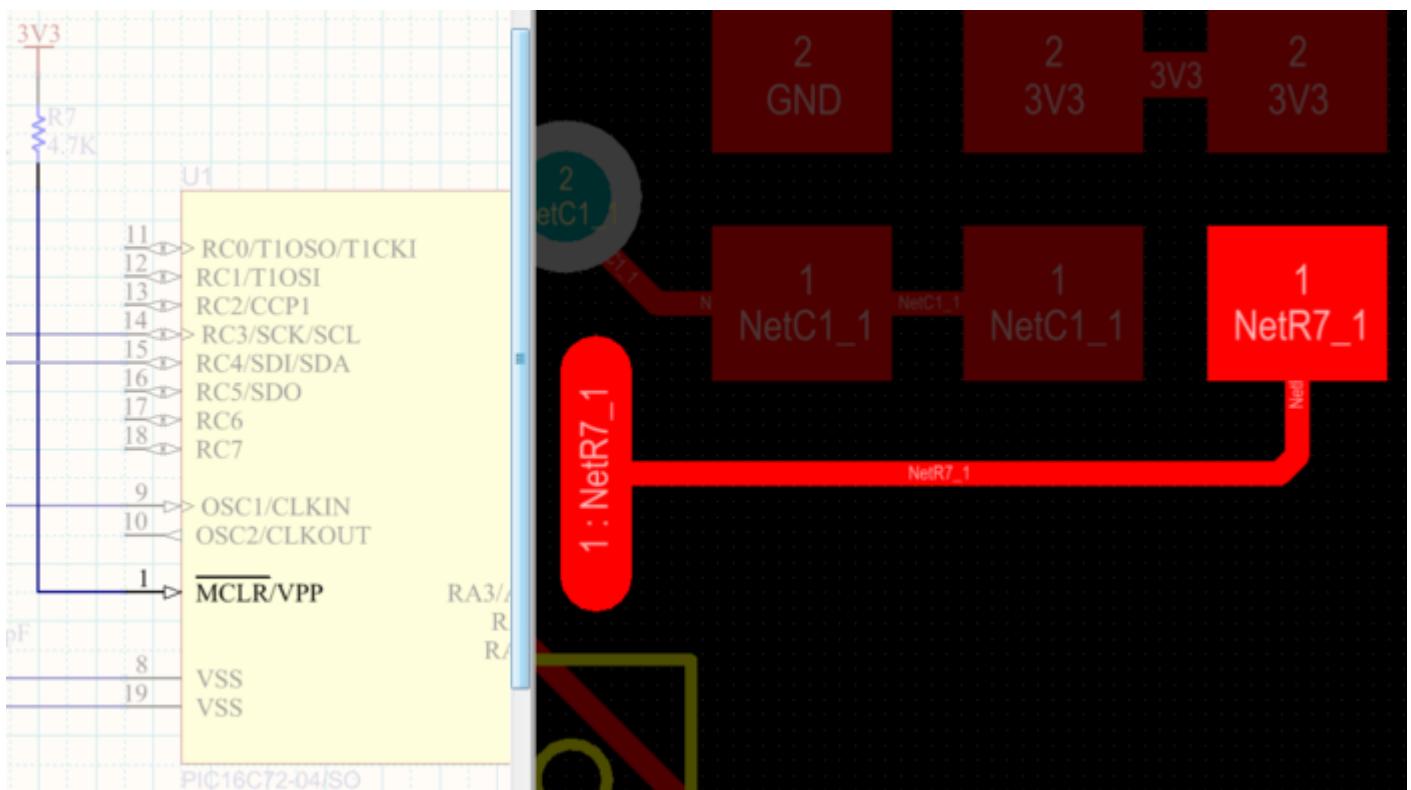
- Nếu có các mục nhập trang tính trên trang tính trên cùng, thì *Phân cấp* được sử dụng.
- Nếu không có mục nhập trang tính nào, nhưng có các công hiện diện, thì *Phẳng* được sử dụng.
- Nếu không có mục nhập trang tính và không có công, thì *Toàn cầu* được sử dụng.

Chế độ Phân cấp nghiêm ngặt bản địa hóa tất cả các cổng nguồn cho mỗi trang tính, trong chế độ này, bạn phải nối tất cả các lối nguồn (và nối đất) vào mỗi trang tính con bằng

cách sử dụng Cổng và Mục nhập Trang tính. Bạn cũng có thể thực hiện việc này đối với (các) trang tính chọn lọc bằng cách không sử dụng chế độ Phân cấp nghiêm ngặt, nhưng vẫn đặt (các) Mục nhập Trang tính + (các) Cổng cho (các) mạng nguồn bạn muốn bản địa hóa.

Cách các Nets được đặt tên

Mỗi lần bạn đặt một dây giữa các chân linh kiện, bạn đang tạo kết nối. Mỗi mạng trong thiết kế đều được đặt tên, nếu bạn chưa đặt số nhận dạng mạng có thể được sử dụng để đặt tên cho mạng, thì phần mềm đặt tên cho mạng dựa trên một trong các chân trong mạng, chẳng hạn NetR7_1 như được hiển thị trong hình ảnh bên dưới. Nếu bộ chỉ định thành phần được thay đổi ở một số giai đoạn, thì khi thiết kế được biên dịch lại, tên mạng do hệ thống tạo ra cũng sẽ bị thay đổi và những thay đổi này phải được chuyển giữa sơ đồ và PCB để giữ cho mọi thứ đồng bộ.



Các tập không có số nhận dạng ròng được gán tên do hệ thống tạo, dựa trên một trong các chân trong mạng.

Net Labels luôn đặt tên cho mạng mà chúng được gắn vào.

Đối với định danh thuần khác, họ đặt tên cho mạng nếu tùy chọn thích hợp được kích hoạt trong **Netlist Tùy chọn** phần của **Tùy chọn** tab của *lựa chọn cho dự án* thoại.

Các loại định danh net khác nhau không tự động kết nối với nhau. Ví dụ: một Cổng được gọi Reset sẽ không kết nối với Nhãn Mạng được gọi Reset, ngay cả khi tùy chọn **Cho**

phép **Cổng để Đặt tên** trong hộp thoại *Tùy chọn cho Dự án* được bật. Chúng phải được kết nối bằng dây.

Nhiều số nhận dạng ròng trên một mạng

Bạn không thể có nhiều Nhãn Mạng có tên khác nhau trên cùng một mạng trong một trang tính sơ đồ, tình huống này sẽ được phát hiện và gắn cờ là lỗi khi dự án được biên dịch. Tuy nhiên, việc có nhiều số nhận dạng ròng trên một mạng lưới trên các trang tính khác nhau mà mạng đó xuất hiện là điều hợp pháp.

Khả năng này cho phép nhà thiết kế:

- Thay đổi tên của mạng ở các cấp khác nhau trong hệ thống phân cấp để phản ánh tốt hơn chức năng của mạng trên trang tính đó.
- Sử dụng lại một trang sơ đồ con mà không cần đổi tên các lưới trên đó.

Cài đặt mặc định là giả định rằng nhiều số nhận dạng ròng không được phép, nếu chúng được phát hiện trong quá trình biên dịch thì cảnh báo sẽ được đưa ra. Nếu bạn yêu cầu chúng cho thiết kế của mình, thì bạn sẽ cần:

- thay đổi cài đặt của kiểm tra lỗi Nets với **Nhiều Tên** trong tab **Báo cáo Lỗi** của hộp thoại *Tùy chọn cho Dự án*; hoặc là,
- ngăn chặn các cảnh báo cụ thể bằng cách đặt Điểm đánh dấu không có ERC cụ thể trên mỗi cảnh báo. Lưu ý rằng có thể đặt Dấu hiệu Không ERC Cụ thể bằng cách nhấp chuột phải vào cảnh báo được liệt kê trong bảng *Tin nhắn* và hình dạng và màu sắc của chúng có thể được thay đổi nếu cần.

Các tùy chọn để kiểm soát việc đặt tên cho Nets

Cuối cùng, mỗi mạng chỉ có thể có một tên trên PCB (một mạng PCB không thể có hai tên) và mỗi tên mạng chỉ nên được sử dụng một lần trên PCB (Bạn không nên có hai mạng PCB khác nhau có cùng tên). Phần mềm tự động phân giải các lưới có nhiều tên để chỉ có một tên duy nhất khi dự án được biên dịch, nhưng nó có thể không phải là tên bạn mong đợi. Có một số tùy chọn có sẵn để kiểm soát cách tên được chọn, trong **Netlist Tùy chọn** phần của **Tùy chọn** tab của *lựa chọn cho dự án* thoại. Tham khảo trang hộp thoại Tùy chọn cho Dự án để biết thêm chi tiết về từng tùy chọn.

Một cách tiếp cận tốt để thiết lập các tùy chọn này là bật tùy chọn **Cho phép cổng đặt tên cho bộ** và các **tên cấp cao hơn có mức độ ưu tiên**. Kết hợp những điều này với việc sử dụng hợp lý Nhãn lưới trên các lưới quan trọng trên mỗi trang tính, để đảm bảo rằng tất cả các lưới quan trọng, bao gồm cả những lưới đi ngang qua các trang tính, được đặt tên và các tên được chỉ định trên sơ đồ cấp cao hơn được sử dụng ở cấp thấp hơn -các sơ đồ cấp độ.

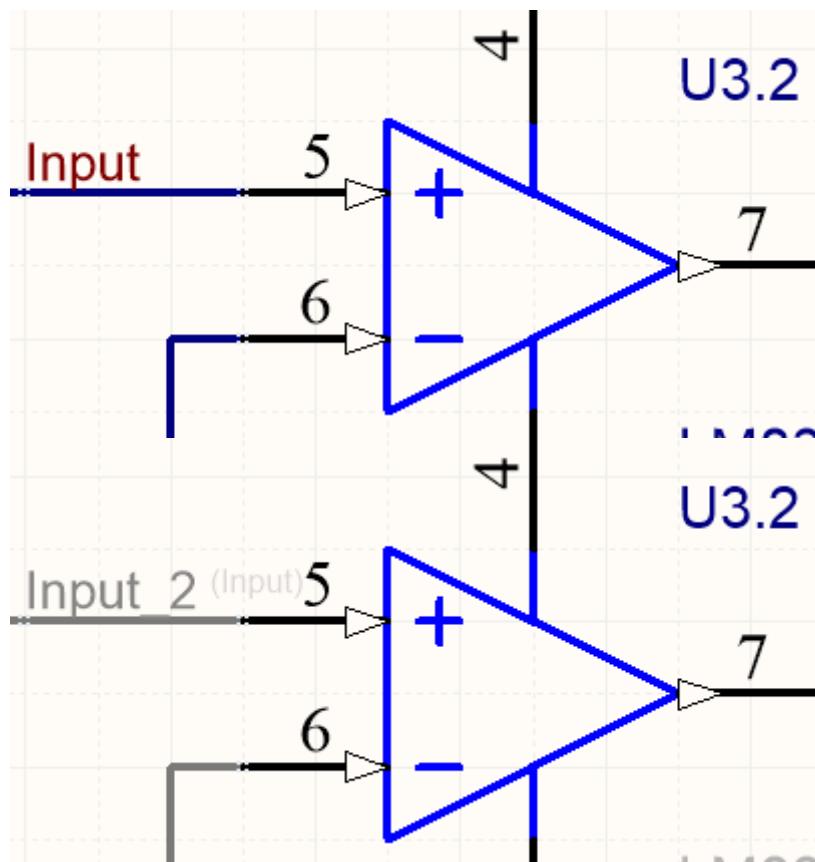
Khi có nhiều tùy chọn đặt tên mạng được bật, ưu tiên đặt tên cho lưới như sau:

- Nếu tùy chọn **Ưu tiên Tên Cổng Nguồn** bị tắt, thứ tự là: Nhãn Mạng, Cổng Nguồn, Cổng, Ghim.
- Nếu tùy chọn **Ưu tiên Tên cổng nguồn** được bật, thứ tự là: Cổng nguồn, Nhãn mạng, Cổng, Ghim.

Hai bộ riêng biệt có cùng tên

Một vấn đề đặt tên mạng khác có thể phát sinh là khi cùng một tên ròng đã được sử dụng trên các trang tính sơ đồ khác nhau, để gắn nhãn các lưới khác nhau. Điều này sẽ được phát hiện trong quá trình biên dịch bằng cách kiểm tra lỗi **Duplicate Nets**. Bạn không thể chuyển một thiết kế sang PCB với điều kiện hiện tại, 2 lưới riêng biệt đó sẽ được hợp nhất thành một mạng PCB duy nhất trong quá trình chuyển thiết kế.

Tình trạng này có thể được giải quyết bằng cách cho phép các **số tóm Append để Net địa phương** tùy chọn trong **Tùy chọn** tab của *lựa chọn cho dự án* thoại. Với tùy chọn này được bật, tất cả các lưới cục bộ đều có giá trị của tham số SheetNumber được thêm vào tên của chúng, như thể hiện trong hình ảnh bên dưới.



Vì **đầu vào** nhãn net đã được sử dụng trên nhiều trang tính, tùy chọn **Nối số** trang tính vào mạng cục bộ đã được bật để ngăn lỗi **Tập hợp trùng lặp**.

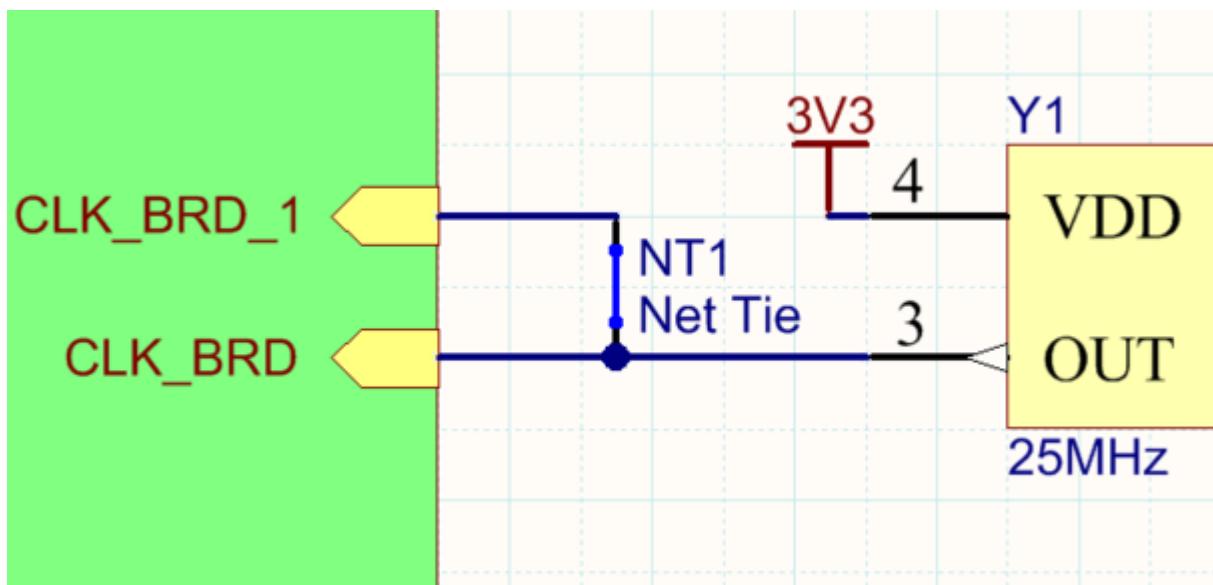
Hiệu quả của điều này có thể được nhìn thấy bằng cách nhấp vào tab trang tính phù hợp (hình bên phải), lưu ý rằng _2 đã được thêm vào tên net.

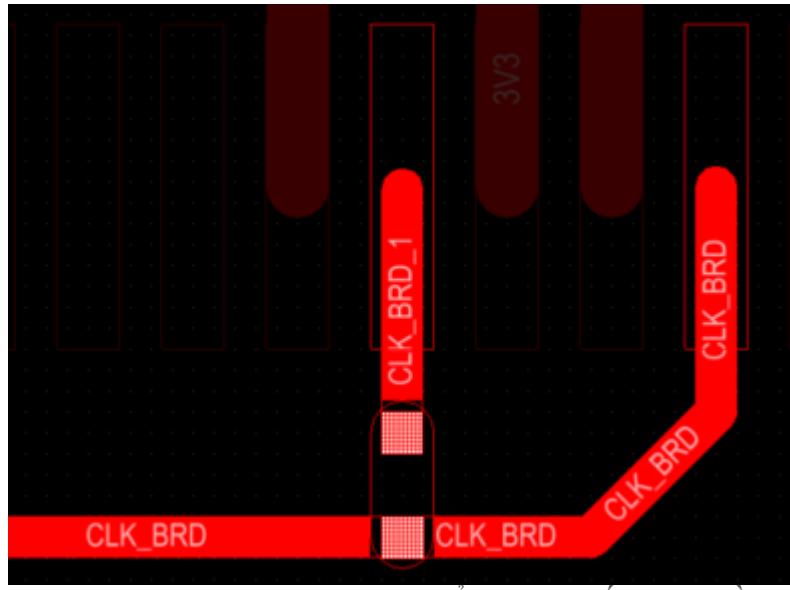
Tùy chọn **Nối số trang tính vào Mạng cục bộ** sẽ chỉ hoạt động nếu mỗi trang tính sơ đồ đã được gán một Số trang tính duy nhất. Tham số SheetNumber được gán trong tab **Tham số** của hộp thoại *Tùy chọn Tài liệu* cho mỗi trang sơ đồ. Để thay thế cho việc gán thủ công một số duy nhất cho mỗi trang sơ đồ, hãy chạy lệnh **Number Schematic Sheets**, lệnh này sẽ mở hộp thoại *Danh số trang cho Dự án*. Điều này có thể được sử dụng để chỉ định Số trang tính duy nhất (một giá trị số đơn giản cho mỗi trang tính) và Số tài liệu (thường được sử dụng để đánh số tài liệu do công ty chỉ định) cho tất cả các trang tính.

Có ý kết nối hai Nets

Có những tình huống khi bạn cần có ý kết nối hai lưỡi khác nhau. Đây không phải là một vấn đề đặt tên đơn giản, đó là khi hai lưỡi cần được rút ngắn như một yêu cầu thiết kế. Một ví dụ có thể là khi bạn cần kết nối mặt đất Analog và mặt đất Kỹ thuật số theo cách có kiểm soát.

Điều này đạt được bằng cách kết nối 2 lưỡi thông qua thành phần Net Tie. Một thành phần Net Tie không hơn gì một mạch ngắn có kiểm soát. Trên giấy đính, thành phần Net Tie có hai (hoặc nhiều) chân, với mỗi chân được kết nối với các lưỡi sẽ được nối tắt. Lưu ý rằng các chân *không* được kết nối với nhau trên sơ đồ, nhưng chúng *được* kết nối với nhau trong dấu chân PCB.





Một thành phần Net Tie đang được sử dụng để định tuyến một đồng hồ đến hai chân đồng hồ FPGA, trên PCB, các miếng đệm (được hiển thị như dấu gạch chéo) trong dấu chân Net Tie được rút ngắn bằng một rãnh (được hiển thị dưới dạng đường viền).

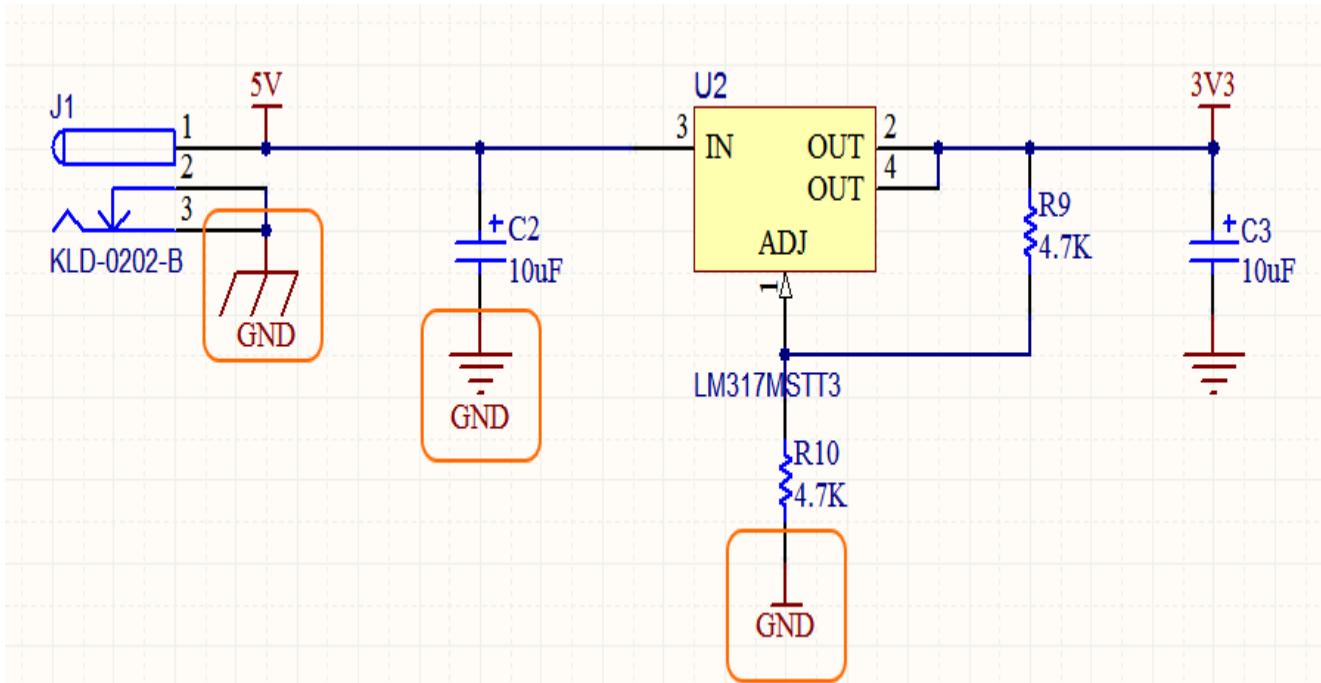
Về mặt PCB, dấu chân có cùng số lượng miếng đệm như biểu tượng sơ đồ có các chân, với đồng giữa chúng. Phần mềm tự động bỏ qua các mạch ngắn được tạo trong thành phần Net Tie PCB, do đó lỗi DRC không được tạo ra.

Trong tình huống này, mỗi mạng giữ lại tên riêng của nó trong toàn bộ sơ đồ và trên PCB.

Khi tạo biểu tượng Net Tie và dấu chân, thiết lập các **loại phần** cho một trong hai Net Tie, hoặc Net Tie in BOM.

Power Nets

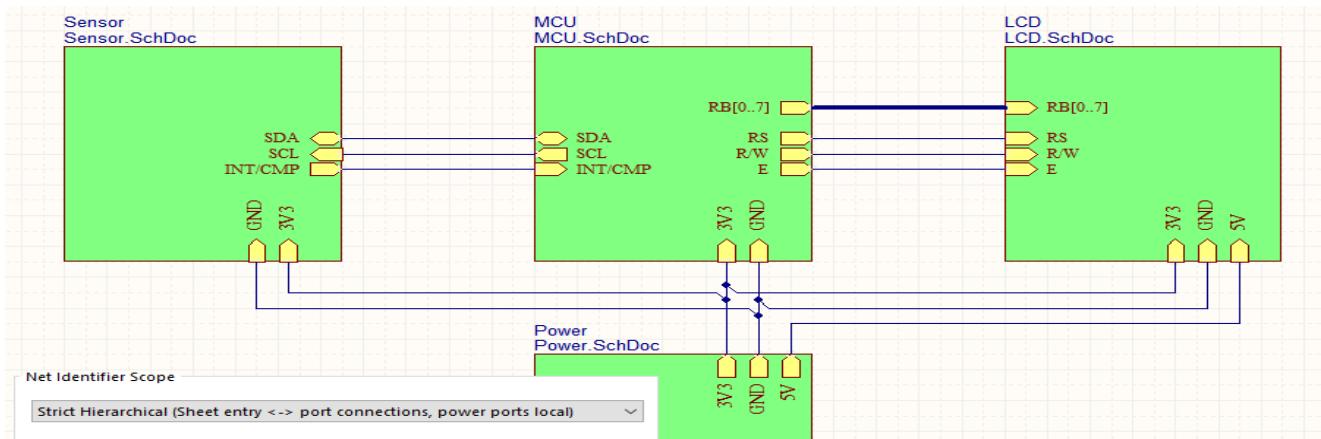
Hành vi mặc định của cài đặt là giả định rằng lưới điện là toàn cầu, tức là bạn muôn chung có sẵn trên mọi trang tính sơ đồ. Để truy cập mạng lưới nguồn, bạn chỉ cần đặt Cổng nguồn với tên mạng cần thiết, sau đó đấu dây các thành phần vào cổng nguồn đó.



Đó là tên mạng xác định cổng nguồn được kết nối với mạng nào, không phải Kiểu của biểu tượng - 3 cổng nguồn được đánh dấu đều kết nối với mạng nguồn GND.

Bản địa hóa mạng lưới điện - Toàn cầu

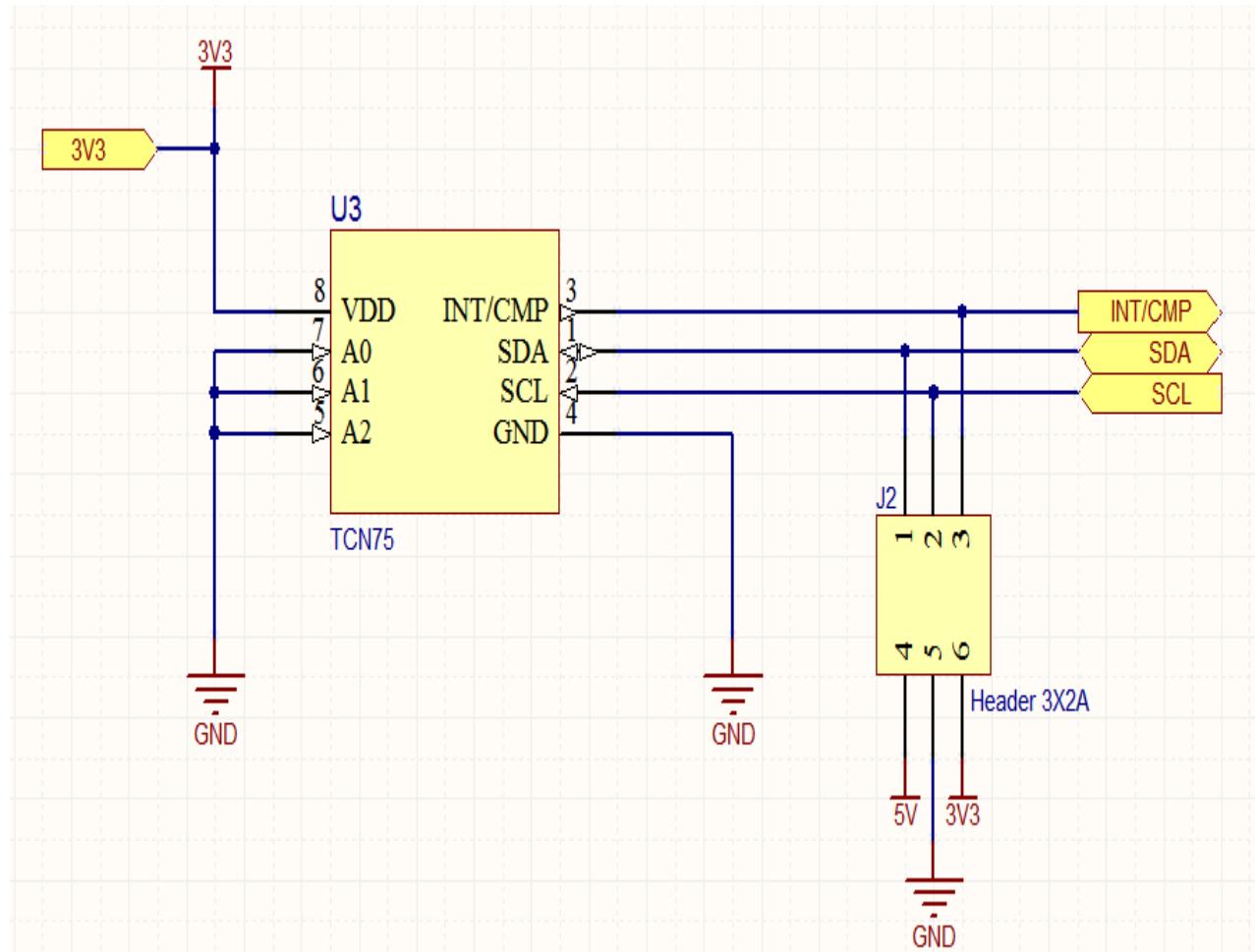
Như đã đề cập trước đây, lưới điện có thể được bản địa hóa cho từng trang sơ đồ trong một thiết kế phân cấp, bằng cách chọn tùy chọn **Phân cấp nghiêm ngặt** cho **Phạm vi định danh mạng**. Cách tiếp cận này khoanh vùng tất cả các lưới điện trên mỗi tệp, vì vậy chúng phải được nối dây thủ công với nhau, sử dụng cách tiếp cận tương tự như lưới tín hiệu. Nếu chúng không được nối dây với nhau, khi thiết kế được biên dịch sẽ có Duplicate Net Namelỗi cho mỗi lưới điện hiện diện trên mỗi trang sơ đồ. Bạn cũng sẽ cần điều chỉnh cài đặt **Ma trận kết nối** để cho phép các Cổng được kết nối với Công nguồn.



Nếu Phạm vi số nhận dạng ròng được đặt thành Cấu trúc phân cấp nghiêm ngặt thì mọi lưới điện phải được nối với mọi trang tính mà chúng được sử dụng.

Bản địa hóa mạng lưới điện - Riêng lẻ

Một mạng lưới điện cụ thể cũng có thể được bản địa hóa trên một trang tính cụ thể bằng cách đấu dây Cổng nguồn vào một Cổng trên trang tính sơ đồ đó.



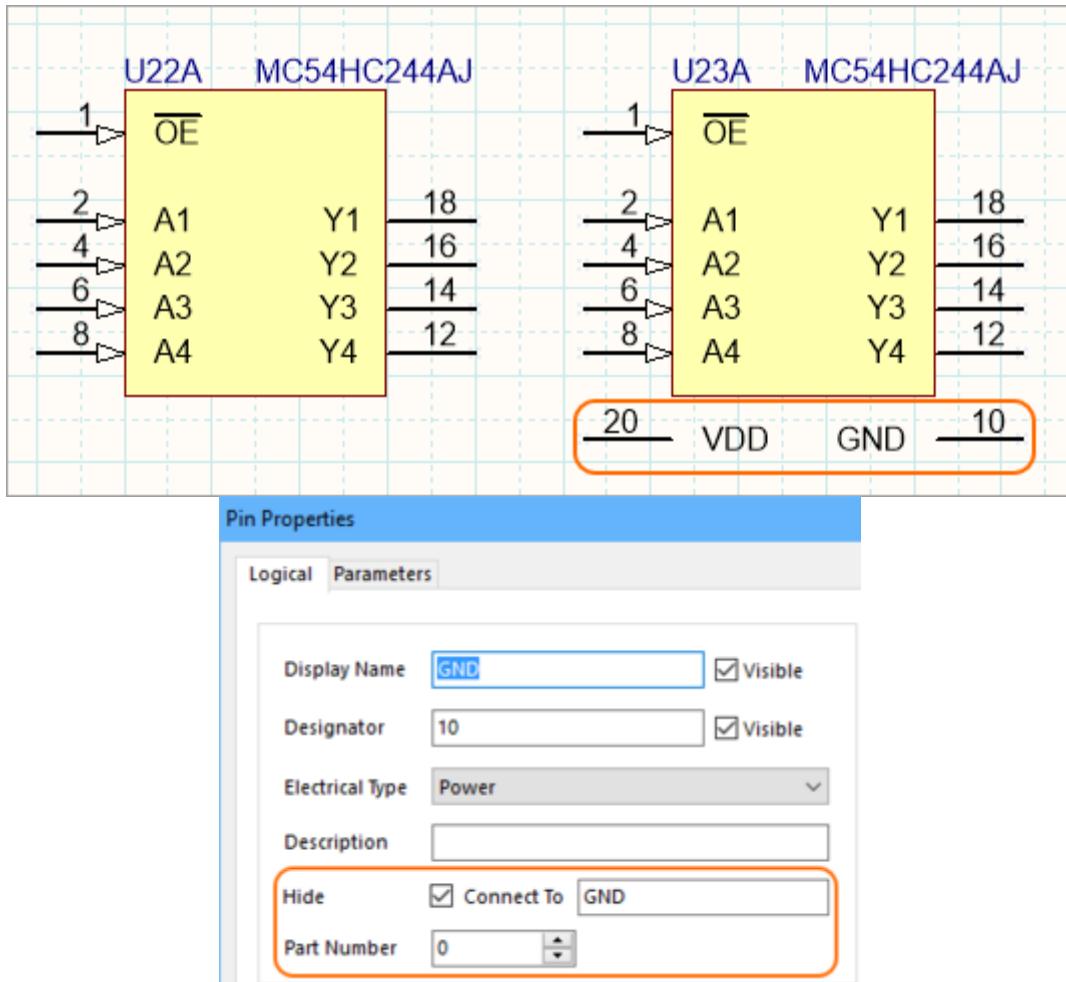
Ở đây, lưới điện 3V3 đã được bản địa hóa chỉ cho trang tính này, vì vậy cũng phải được đấu dây thủ công trên trang tính chính. Lưới GND và 5V vẫn là lưới điện toàn cầu.

Nets điện và Pins điện ẩn

Một tính năng khác giúp quản lý lưới nguồn và chân nguồn linh kiện là khả năng tự động kết nối các chân linh kiện ẩn với mạng được chỉ định. Tính năng này được thiết kế để sử dụng với các thành phần nhiều phần, nơi bạn không muốn tạo thêm một phần cho chân nguồn hoặc hiển thị chúng ở một trong các phần.

Hình ảnh dưới đây cho thấy một 54HC244, phiên bản bên trái là cách nó thường trình bày, phiên bản bên phải là cùng một phần, ngoại trừ nó có các chân ẩn được hiển thị. Các chân được ẩn và tên mạng được xác định là thuộc tính của chân, trong quá trình tạo thành phần

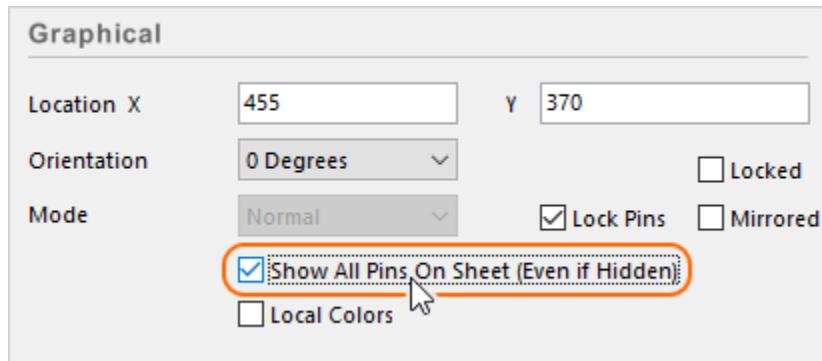
trong trình soạn thảo thư viện giản đồ. Thông thường, các chân được gán cho Phần 0 (không), vì các chân trong Phần 0 được tự động thêm vào tất cả các phần.



HC244 này có các chân nguồn ẩn, đã được hiển thị trên phiên bản bên phải. Chính sửa ghim để làm cho nó ẩn và chỉ định mạng mà nó sẽ kết nối.

Các ghim ẩn có thể được hiển thị trên trang tính bằng cách bật tùy chọn **Hiển thị tất cả các ghim trên trang tính (Ngay cả khi bị ẩn)** trong hộp thoại thuộc tính. Trong quá trình tạo thành phần, hãy sử dụng tùy chọn **View »Show Hidden Pins** để hiển thị chúng trong trình soạn thảo thư viện giản đồ.

Nếu các chân ẩn được hiển thị trên trang sơ đồ, chúng sẽ không còn tự động kết nối với mạng nguồn được chỉ định nữa, do đó phải được nối dây bằng tay.



Cho phép hiển thị các chân ẩn trên giản đồ.

Nếu bạn đang sử dụng các thành phần có chân nguồn ẩn, điều quan trọng là phải biết tên mạng được gán cho các chân ẩn đó. Nếu tên mạng không chính xác, bạn phải chỉnh sửa các chân và thay đổi tên, hoặc hiển thị các chân ẩn và đấu dây chúng vào đúng lưới nguồn.

Gói nhiều Nets

Một thách thức phổ biến trong một thiết kế lớn là giữ cho lưới có thể quản lý được. Không chỉ từ quan điểm của nhà thiết kế tạo ra kết nối, mà còn từ quan điểm của người đọc phải diễn giải và hiểu sơ đồ. Điều này đặc biệt quan trọng khi kết nối giữa các trang tính, vì đây là lúc cả người thiết kế và người đọc dễ bị nhầm lẫn nhất.

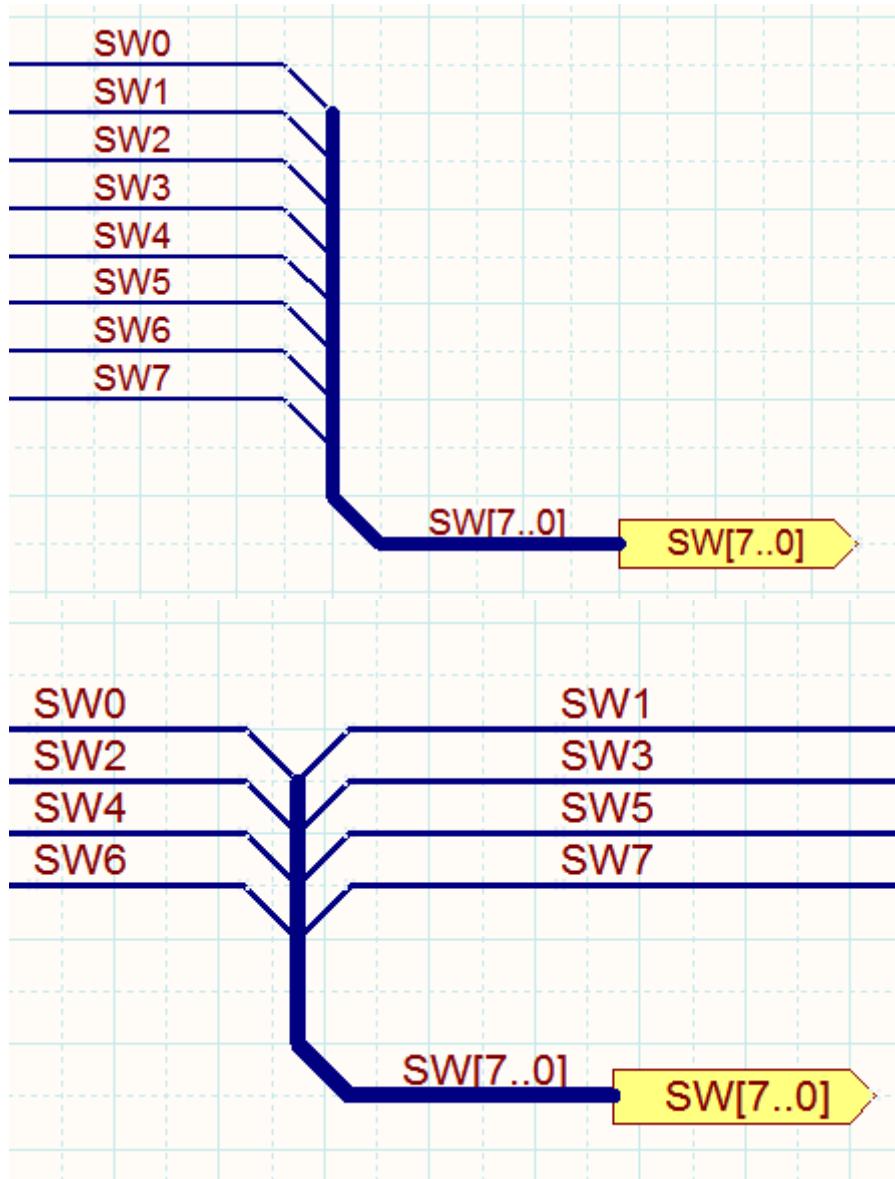
Điều này có thể được giúp đỡ bằng cách bó các lưới vào Xe buýt, hoặc Dây tín hiệu.

Làm việc với Xe buýt

Các xe buýt được sử dụng để bó một loạt các mạng tuần tự, ví dụ như một xe buýt địa chỉ hoặc một xe buýt dữ liệu. Yêu cầu cốt lõi của họ là mỗi mạng trong bus được đặt tên bằng một tên cơ sở chung, theo sau là một số nhận dạng, như thể hiện trong các hình ảnh bên dưới. Ví dụ, lưới Control1, Control2 và Control3 có thể được gói vào xe buýt Control[1..3]. Không thể sử dụng xe buýt để bó một nhóm lưới không liên quan, chẳng hạn như lưới Enable, Read và Status, Dây tín hiệu được sử dụng để làm việc này.

Để tạo một xe buýt hợp lệ, nó phải bao gồm tất cả các yếu tố sau (như thể hiện trong hình ảnh bên dưới):

- Nhãn ròng trên mỗi lưới riêng lẻ
- Nhãn ròng trên tuyến xe buýt
- Một cổng có tên giống như Xe buýt, nếu nó đang rời khỏi trang tính này

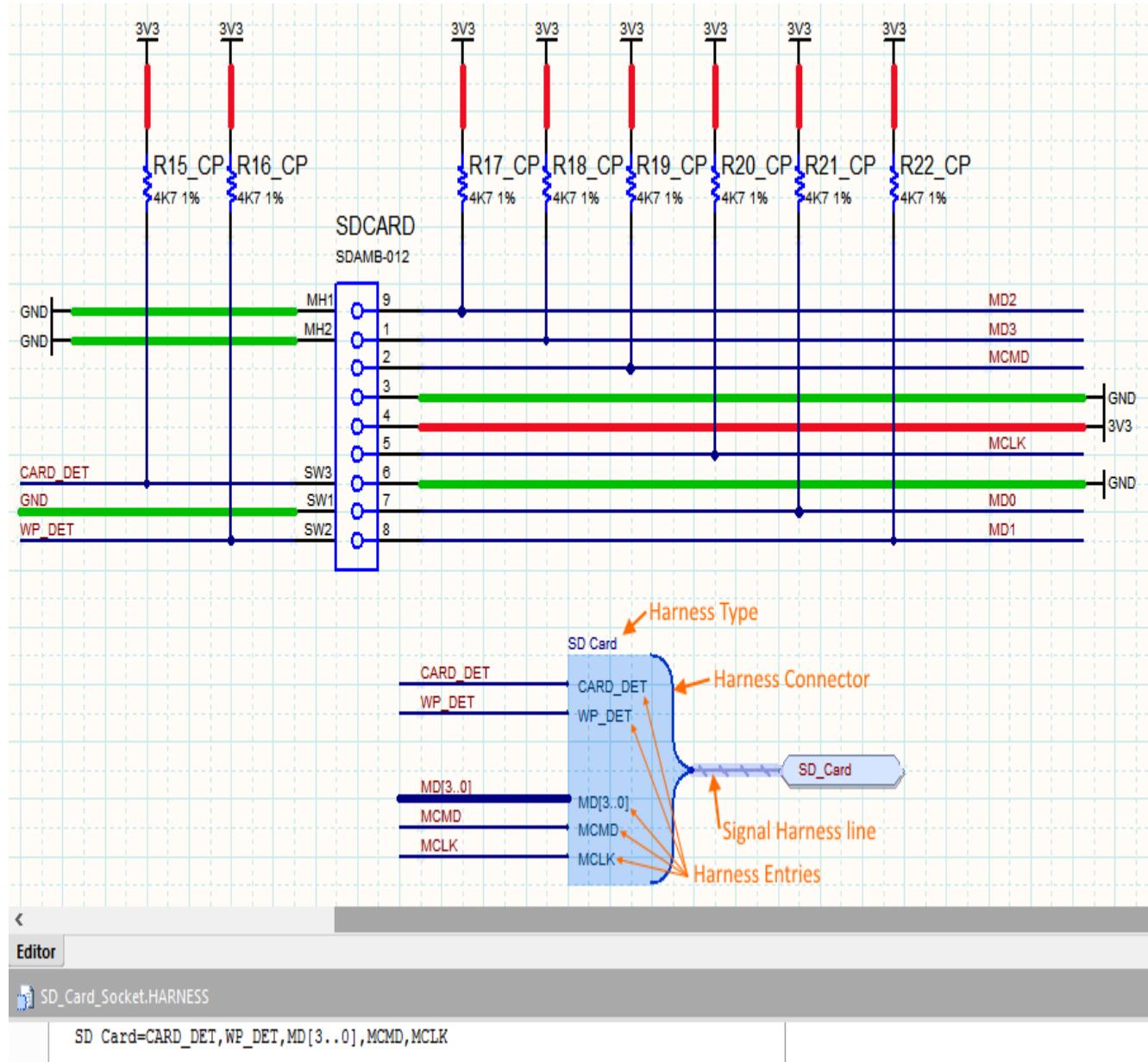


Tất cả các yếu tố hiển thị trong hình trên phải được bao gồm để tạo một Xe buýt hợp lệ. Bus Entries chỉ cần được sử dụng nếu bạn muốn tách các phần tử bus khác nhau từ cả hai phía của Bus.

Các xe buýt không được chuyển sang PCB, thay vào đó, một Lớp Mạng có thể được tạo cho mỗi Bus sơ đồ, hoặc nếu cần, cho mỗi phần Bus. Một phần xe buýt được tạo ra bằng cách chỉ định một xe buýt thực sự là một phần của xe buýt lớn hơn, ví dụ D [15 .. 8], từ xe buýt D [15 .. 0]. Nếu tùy chọn này được bật thì PCB sẽ bao gồm một Lớp Mạng cho toàn bộ bus, cũng như từng phần đã được xác định. Bật các tùy chọn bắt buộc trong tab **Tạo lớp** của hộp thoại *Tùy chọn cho dự án*.

Làm việc với Khai thác tín hiệu

Bộ dây tín hiệu rất linh hoạt vì chúng có thể được sử dụng để bó bất kỳ số lượng lưỡi, xe buýt và dây khai thác cấp thấp hơn nào. Như tên gọi của chúng, chúng tương tự như một dây nịt, nơi mà bất kỳ sự sắp xếp dây nào cũng có thể được gói lại và chuyển qua một sản phẩm điện tử hoặc điện. Chúng phức tạp hơn để tạo và quản lý, nhưng phần thường là chúng có thể đơn giản hóa rất nhiều việc trình bày sơ đồ và nâng cao khả năng đọc của nó.

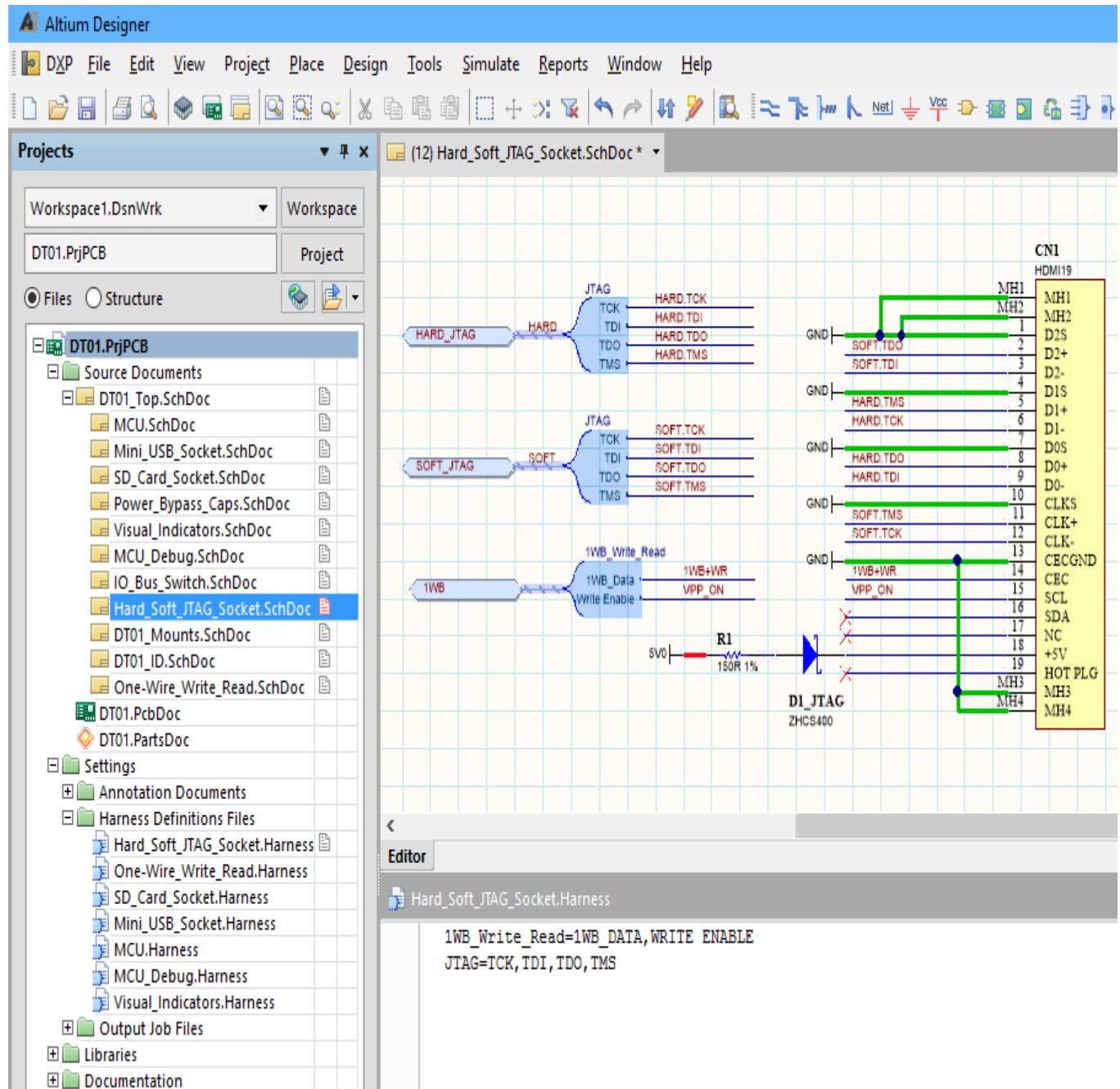


Bộ khai thác tín hiệu được sử dụng để bó bất kỳ sự kết hợp nào của lưỡi, xe buýt và bộ khai thác tín hiệu cấp thấp hơn.

Các yếu tố tạo nên một bộ khai thác tín hiệu hoàn chỉnh bao gồm:

- **Bộ kết nối Khai thác** - Hãy coi Trình kết nối khai thác như một cái phễu, nó tập hợp tất cả các tín hiệu kết nối vào bộ phận khai thác này thông qua các Mục khai thác đi kèm. Một thuộc tính chính của Trình kết nối khai thác là **Loại khai thác**, điều này xác định bộ khai thác và được sử dụng để liên kết với nhau các phần tử khác nhau tạo nên bộ khai thác tín hiệu, bao gồm các Cổng / Mục nhập trang được kết nối.
- **Các mục khai thác** - Mỗi tín hiệu (mạng, bus hoặc bộ khai thác tín hiệu) mà bạn muốn trở thành một phần của bộ khai thác tín hiệu này, đi vào Bộ kết nối khai thác thông qua một mục khai thác. Mục khai thác bao gồm thuộc tính Loại khai thác, thuộc tính này chỉ được sử dụng khi bạn đang lồng các bộ khai thác tín hiệu - biểu thị rằng Mục khai thác này có bộ khai thác tín hiệu cấp thấp hơn được kết nối với nó.
- **Đường dây khai thác tín hiệu** - Đây là đường giống như xe buýt được đặt để mang dây khai thác tín hiệu trên tarmac.
- **Loại khai thác** - **Loại** khai thác là một tập hợp các Mục khai thác. Mỗi Loại Khai thác được phát hiện được xác định trong Tập Định nghĩa Khai thác, như được mô tả bên dưới. Loại Khai thác và các Mục khai thác liên quan về cơ bản là tên của các vật chứa mang lối, không phải tên của chính lối. Để kiểm tra giá trị Loại khai thác, hãy di con trỏ qua đối tượng, ví dụ: Cổng, Mục nhập trang tính hoặc Trình kết nối khai thác (dự án phải được biên dịch).
- **Tập Định nghĩa Khai thác** - Phần mềm quản lý các khai thác tín hiệu bằng cách ghi lại Các Mục Khai thác có trong mỗi khai thác tín hiệu (Loại Khai thác), trong Tập Định nghĩa Khai thác ASCII. Hình ảnh dưới đây cho thấy cú pháp của Tập Định nghĩa Khai thác, có một dòng trong tập cho mỗi **Loại Khai thác**, trong đó nêu chi tiết các Mục khai thác trong khai thác đó. Tập Định nghĩa Khai thác được tự động tạo (và quản lý) cho mỗi trang tính sơ đồ có Trình kết nối Harness trên đó, bạn có thể tìm thấy chúng trong \Settings\thu mục trong cây dự án, như thể hiện trong hình ảnh bên dưới. Có thể mở tập Định nghĩa Khai thác bằng cách nhấp vào , nằm ở dưới cùng bên phải của giản đồ. Nếu thiết kế của bạn có những thay đổi ảnh hưởng đến việc khai thác tín hiệu, các tập Định nghĩa khai thác sẽ tự động cập nhật bất cứ khi nào dự án được biên dịch. Nếu không, chúng có thể được tạo lại bằng cách nhấp chuột phải vào tập Dự án trong bảng *Dự án* và chạy lệnh **Định nghĩa Khai thác Tái tạo**.
- **Cổng + Mục nhập Trang tính** - Giống như Mạng hoặc Xe buýt, Khai thác tín hiệu có thể rời khỏi trang tính qua Cổng, sau đó kết nối với trang tính cấp cao hơn thông qua Mục nhập Trang tính phù hợp. Lưu ý rằng phần mềm tự động thay đổi màu sắc của Cổng và Mục nhập Trang tính để cho thấy chúng đang mang Khai thác tín hiệu nếu **Mục nhập Trang tính và Cổng sử dụng** Tùy chọn **Khai thác Màu** được bật trong trang **Sơ đồ - Chính sửa đồ họa** của *Tùy chọn* thoại. Cũng lưu ý rằng các đối tượng Cổng và Mục nhập Trang tính bao gồm thuộc tính Loại khai thác, giá trị này được đặt tự động khi bạn chạm vào Cổng đến dòng Khai thác tín hiệu khi bạn đặt Cổng. Đối với Cổng trên trang sơ đồ nơi Khai thác được xác định (Trình kết nối Khai thác có mặt) Loại Khai thác được xác định tự động và không thể chỉnh sửa. Đối với một Cổng hoặc Mục nhập Trang tính được

đặt trên một trang tính sơ đồ cấp cao hơn, nó sẽ trống và có thể chỉnh sửa được, thông thường không cần thiết đặt điều này theo cách thủ công. Có thể kiểm tra Loại Khai thác được chỉ định bất kỳ lúc nào bằng cách di con trỏ qua Mục Cổng / Trang tính.



Định nghĩa khai thác được lưu trữ trong tệp Định nghĩa khai thác, trong hình trên có hai định nghĩa khai thác tín hiệu: 1WB_Write_Read và JTAG.

Nếu bạn nghi ngờ rằng có sự cố kết nối do lỗi trong các định nghĩa Khai thác, hãy chạy lệnh **Công cụ »Định nghĩa Khai thác Vấn đề Tìm kiếm** từ các trình đơn trình chỉnh sửa giản đồ. Các [Harness Definition thoại Resolver](#) sẽ mở ra, sử dụng hộp thoại này để kiểm

tra bất kỳ xung đột được hiện diện trong các định nghĩa khai thác. Nhấp vào nút **Chi tiết** trong hộp thoại để biết thêm thông tin về xung đột đã chọn.

Bạn cũng có thể tạo lại tệp Định nghĩa Khai thác bằng cách nhấp chuột phải vào tệp Dự án trong bảng **Dự án** và chạy lệnh **Tái tạo Định nghĩa Khai thác**.

Khai thác tín hiệu lồng nhau

Sử dụng lai công cụ khai thác tín hiệu

Đặt tên cho thiết bị khai thác tín hiệu

Khai thác tín hiệu không có đầu nối

Biên soạn thiết kế

Trong suốt bài viết này có rất nhiều tài liệu tham khảo để biên soạn thiết kế. Vậy biên dịch là gì và tại sao thiết kế cần được biên dịch?

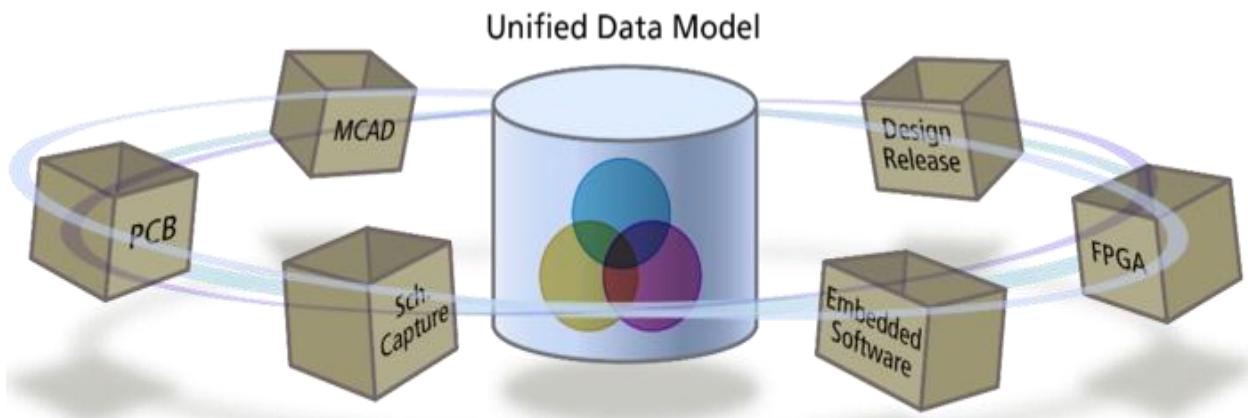
Trình soạn thảo giản đồ về cơ bản là một công cụ soạn thảo thông minh, không phải là một công cụ nối dây. Khi bạn kết nối hai chân với một sợi dây, bạn đang phác thảo ý định thiết kế của mình chứ không phải tạo ra một mạng thực tế. Mạng đó không được tạo cho đến khi bạn biên dịch dự án. Có nhiều ưu điểm đối với cách tiếp cận này, với ưu điểm lớn nhất là mô hình đã biên dịch của thiết kế nằm ngoài các biên tập viên riêng lẻ. Mô hình biên dịch này của dự án được gọi là Mô hình Dữ liệu Hợp nhất (UDM). UDM bao gồm các mô tả chi tiết về mọi thành phần trong thiết kế và cách chúng được kết nối với nhau.

Khi bạn biên dịch dự án:

- Kết nối trong mỗi trang tính được tạo
- Sau đó, kết nối trang này sang trang tính được tạo, dựa trên Phạm vi số nhận dạng ròng đã chọn
- Mô hình Dữ liệu Hợp nhất được tạo, hiển thị chi tiết thành phần và liên kết trong bảng *Điều hướng*
- Kiểm tra lỗi đã kích hoạt được chạy.

Mô hình dữ liệu hợp nhất

Một yếu tố cơ bản của phần mềm là Mô hình Dữ liệu Hợp nhất (UDM). Khi dự án được biên dịch, một mô hình gắn kết, duy nhất được tạo ra, nằm ở trung tâm của quá trình thiết kế. Dữ liệu trong mô hình sau đó có thể được truy cập và thao tác bằng các trình chỉnh sửa và dịch vụ khác nhau trong phần mềm. Thay vì sử dụng kho dữ liệu riêng biệt cho từng lĩnh vực thiết kế khác nhau, UDM được cấu trúc để chứa tất cả thông tin từ tất cả các khía cạnh của thiết kế, bao gồm các thành phần và kết nối của chúng.



Mô hình Dữ liệu Hợp nhất cung cấp tất cả dữ liệu thiết kế cho tất cả những người chỉnh sửa và giúp cung cấp các tính năng phức tạp như thiết kế đa kênh.

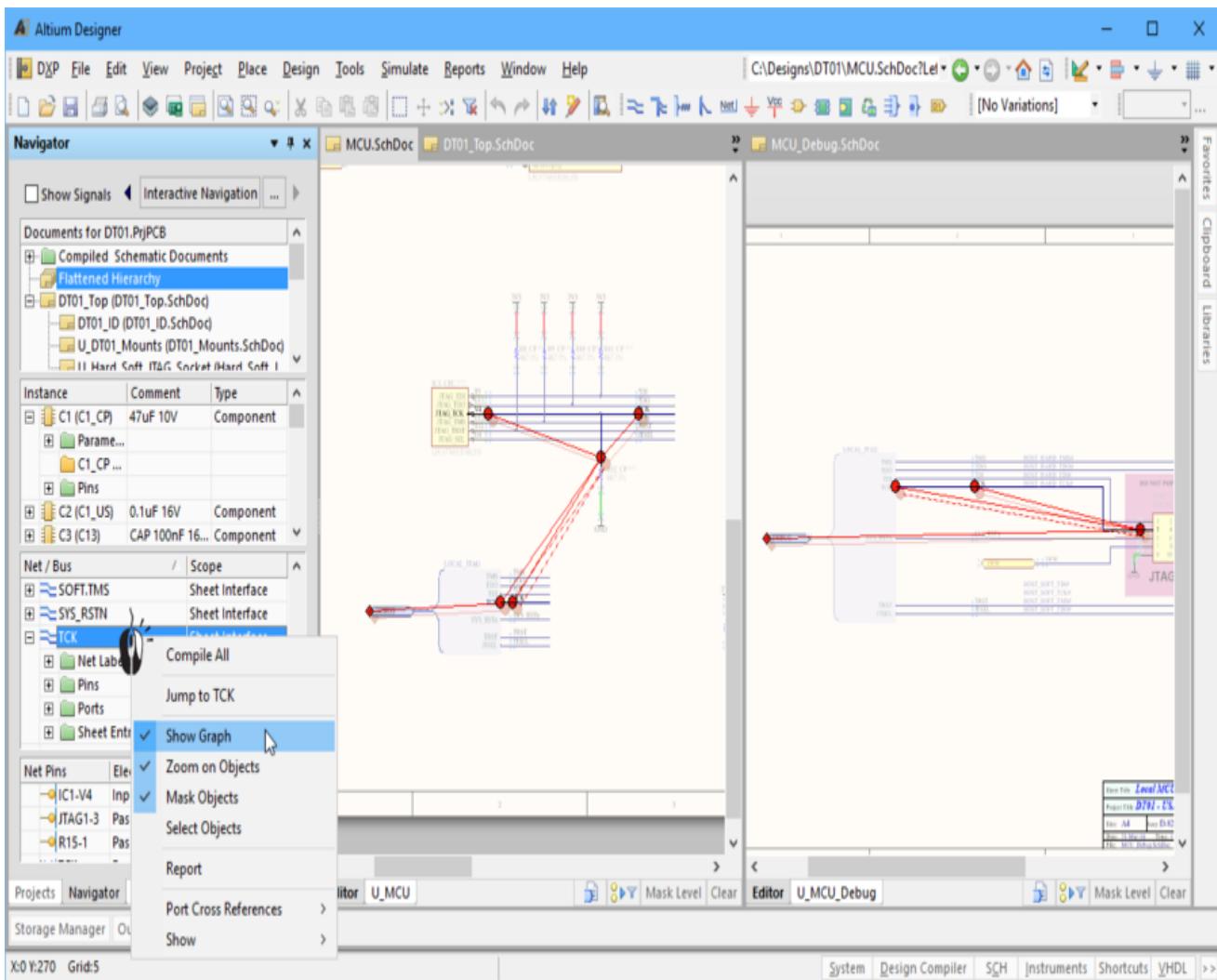
Vậy làm thế nào để bạn tương tác với mô hình dữ liệu thống nhất, chẳng hạn như để theo dõi một mạng lưới thông qua thiết kế? Bạn làm điều đó thông qua bảng điều hướng.

Kiểm tra kết nối

Nếu thiết kế lớn và trải rộng trên nhiều trang tính, việc theo dõi và xác minh tính liên kết trong thiết kế có thể trở nên khó khăn. Để trợ giúp việc này, bảng *Điều hướng* được sử dụng. Bảng điều khiển cung cấp cái nhìn về toàn bộ thiết kế đã biên dịch, do đó sẽ dễ trống cho đến khi dự án được biên dịch (**Dự án »Dự án biên dịch PCB**).

Cách tiếp cận cơ bản để sử dụng bảng điều khiển là:

- Đặt hành vi duyệt bằng cách nhấp vào ở đầu bảng để mở hộp thoại **Tùy chọn và bật Phương pháp Đánh dấu** ưa thích của bạn. Ngoài ra, nhấp chuột phải vào đối tượng quan tâm trong bảng điều khiển và sử dụng các tùy chọn menu để định cấu hình hành vi điều hướng.
- Đặt phạm vi duyệt của bạn trong phần đầu tiên, để duyệt qua toàn bộ lựa chọn thiết kế Flattened Hierarchy.
- Bấm vào một thành phần trong phần **Instance** của danh sách để chuyển đến thành phần đó.
- Nhấp vào mạng hoặc xe buýt trong phần **Mạng / Xe buýt** để chuyển đến mạng hoặc xe buýt đó.



Nhấp vào một thành phần hoặc mạng trong bảng Điều hướng để xác định thành phần hoặc mạng đó và theo dõi kết nối thông qua thiết kế. Nhấp chuột phải để truy cập các tùy chọn hiển thị.

Điều hướng các thành phần trên bo mạch

Khi bạn nhấp để xác định vị trí một thành phần trên giản đồ, bạn cũng có thể xác định vị trí thành phần đó trên PCB. Để thực hiện việc này, bạn phải bật tùy chọn **Chọn** trong **Phương pháp Đánh dấu** và cả tùy chọn **Thu phóng đến Chọn lần cuối** trong **Tùy chọn Thu phóng Chọn chéo** trên trang **Hệ thống - Điều hướng** của hộp thoại *Tùy chọn*.

Highlight Methods

Choose here the methods used to highlight graphical objects during navigation. These options are used during navigation, and when exploring differences between documents or compiler messages.

Zooming

Selecting

Masking

Connective Graph

Include Power Parts

Zoom Precision

The zoom precision option controls how closely the system will zoom into to highlighted objects when using the 'zoom' navigation method.

Far



Close

Objects To Display

Choose here the objects to display in the Navigator Panel.

Pins

Net Labels

Ports

Sheet Entries

Sheet Connectors

Sheet Symbols

Graphical Lines

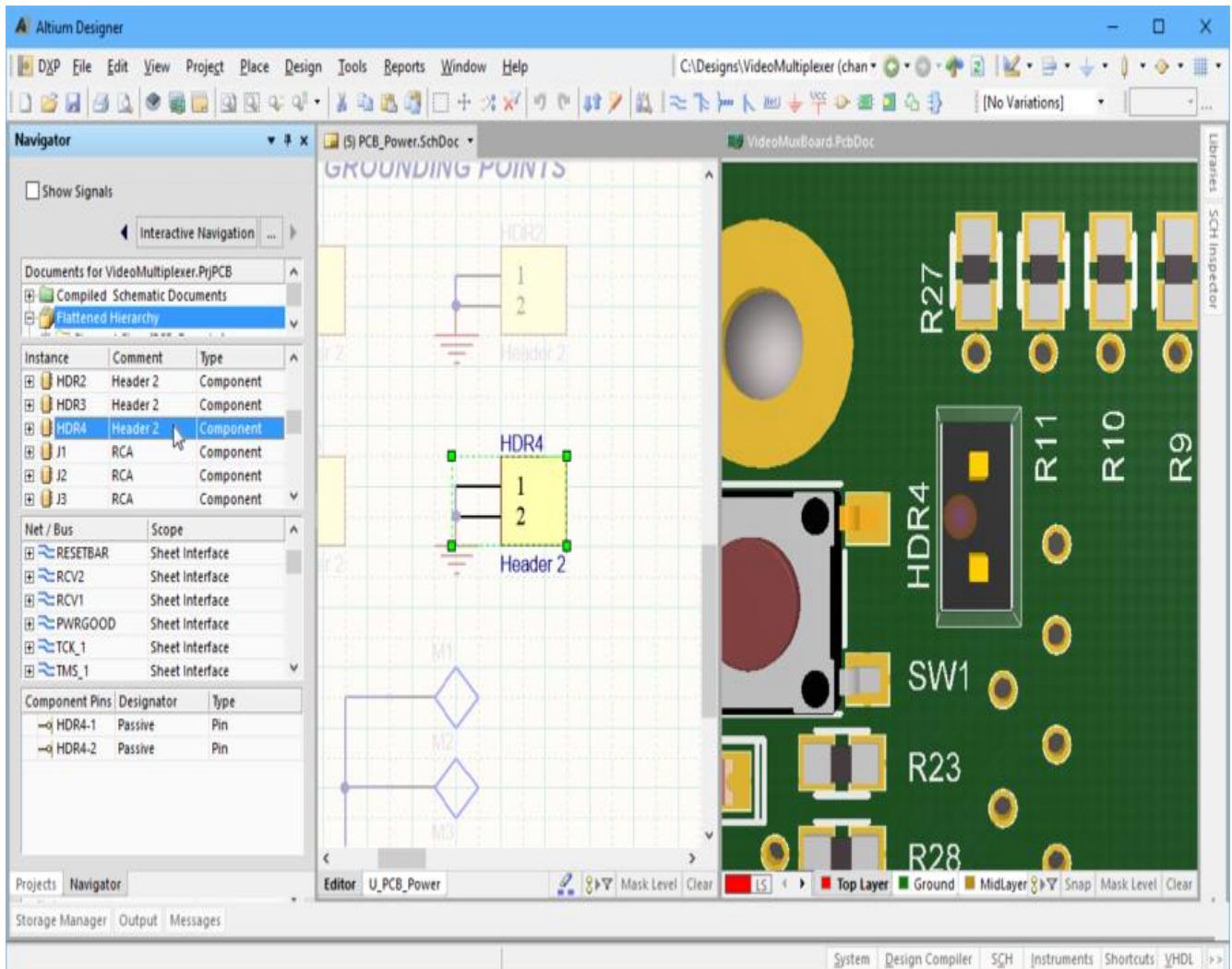
Cross Select Zoom Options

Choose here the options used to zoom on graphical objects in Cross Select Mode.

Zoom to Last Selected

Nếu các tùy chọn này được bật, khi bạn nhấp vào một thành phần trong Bộ điều hướng, nó sẽ được hiển thị trên giản đồ và PCB.

Bây giờ khi bạn nhấp vào một thành phần trong Bộ điều hướng, nó sẽ hiển thị thành phần đó trên cả sơ đồ và PCB, như thể hiện trong hình bên dưới.

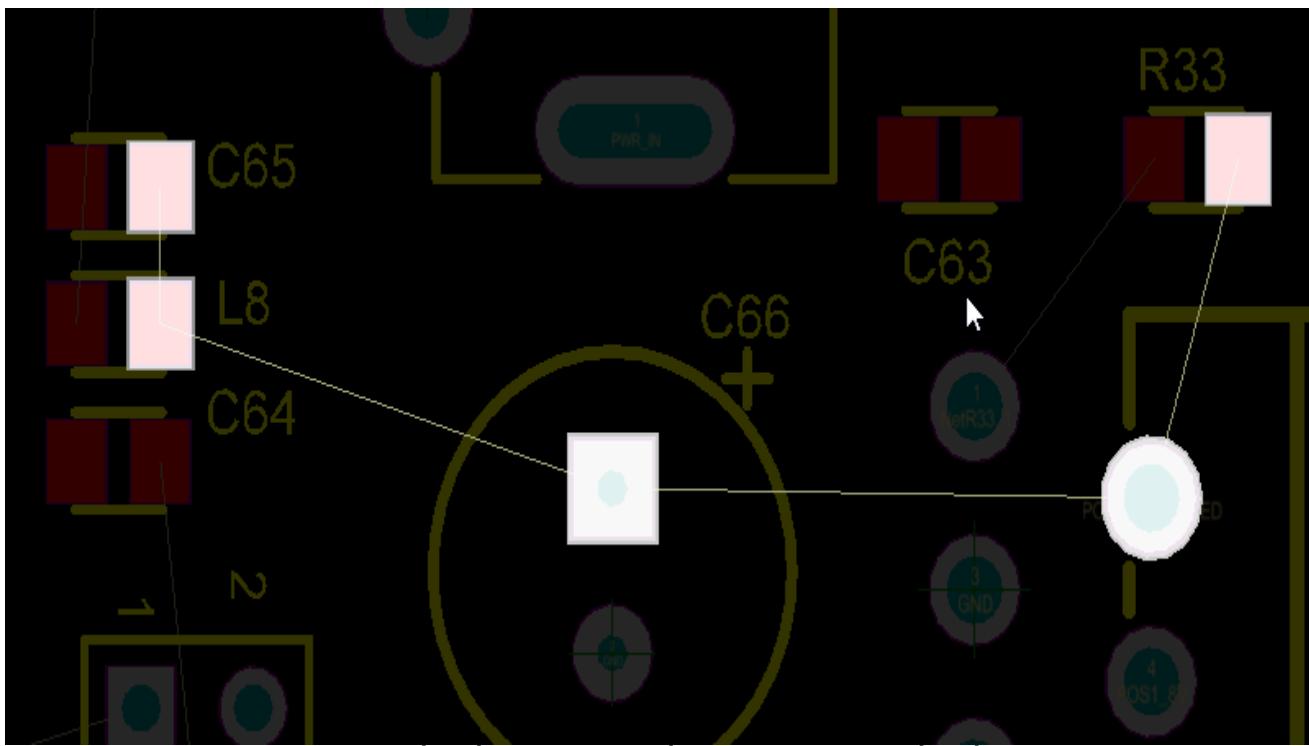


Điều hướng đến một thành phần trên sơ đồ và PCB cùng một lúc.

Kết nối trong không gian thiết kế bảng

Trong trình chỉnh sửa PCB, kết nối giữa các nút trong mạng được biểu diễn bằng một loạt các đường kết nối điểm - điểm, được gọi chung là đường kết nối tốt nhất. Các đường kết nối được hiển thị trên một lớp Hệ thống đặc biệt, được gọi là **Màu Mặc định cho Nets Mới**, có thể được hiển thị / ẩn trong tab **Lớp và Màu** của hộp thoại *Cáu hình Dạng xem*.

Trong một mạng riêng lẻ, các đường kết nối tham gia tất cả các nút trong mạng đó. Mô hình, hoặc thứ tự chúng kết nối, được gọi là Cấu trúc liên kết mạng, được thảo luận bên dưới.



Các nút trong mạng được kết nối với nhau bằng các đường kết nối.

Các đường kết nối được hiển thị dưới dạng đường mảnh, liền nét. Các đường kết nối là một trợ giúp tuyệt vời trong quá trình bố trí linh kiện, giúp xác định vị trí và định hướng các thành phần được kết nối với nhau. Để giúp giảm bớt sự lộn xộn về hình ảnh, khi bạn di chuyển một thành phần, tất cả các đường kết nối sẽ bị ẩn, ngoại trừ các đường kết nối được kết nối với thành phần đó.

Ngoài việc là một hướng dẫn hữu ích trong quá trình đặt thành phần, các đường kết nối cũng là một hướng dẫn có giá trị trong quá trình định tuyến tương tác và tự động định tuyến. Bởi vì kết nối được theo dõi và cập nhật khi bạn làm việc, bạn có thể định tuyến đến bất kỳ điểm nào trên mạng để hoàn tất kết nối, bạn không phải định tuyến đến bằng điều khiển mà đường kết nối kết thúc.

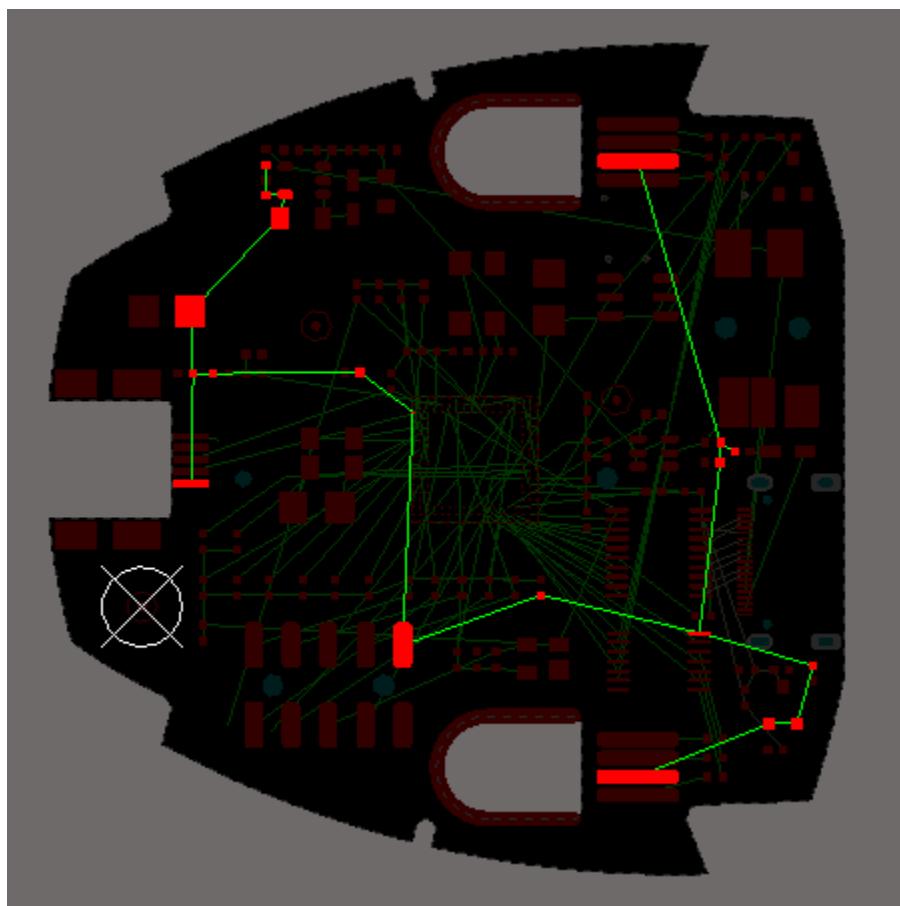
Mạng cấu trúc liên kết

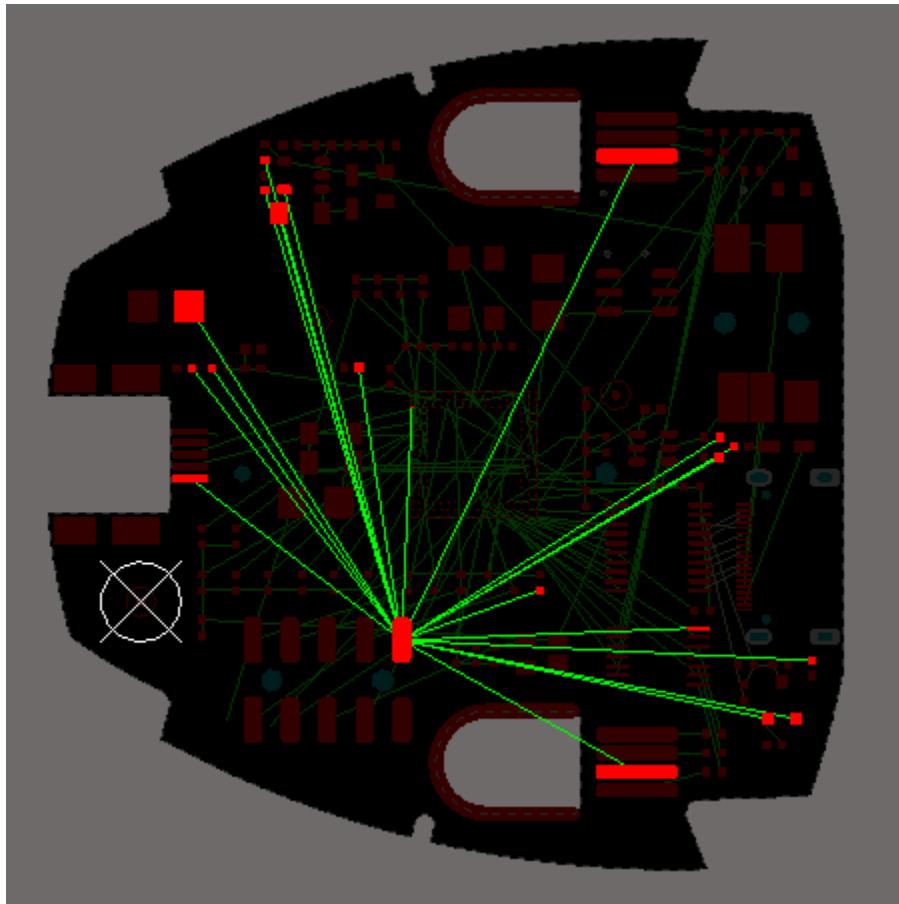
Mẫu hoặc thứ tự mà các nút trong mạng được kết nối với nhau được gọi là cấu trúc liên kết mạng. Cấu trúc liên kết mạng được kiểm soát bởi quy tắc thiết kế cấu trúc liên kết định tuyến áp dụng, quy tắc này mặc định là cấu trúc liên kết ngắn nhất. Ngắn nhất có nghĩa là các nút trong mạng được kết nối với nhau theo mô hình cung cấp độ dài kết nối tổng thể ngắn nhất cho mạng đó. Chiều dài tổng thể này được theo dõi khi bạn di chuyển một thành phần và mẫu của các đường kết nối sẽ tự động thay đổi để giữ cho chiều dài tổng thể ngắn nhất. Điều này có thể được quan sát trong hình ảnh động được hiển thị ở trên, nơi các đường nối xuống từ dưới cùng của thành phần chuyển động nhảy khi thành phần

đang được di chuyển - điều này xảy ra mỗi khi một trong các tấm đệm được kết nối di chuyển gần hơn đến một tấm đệm khác trong mạng của chúng.

Áp dụng cấu trúc liên kết được xác định trước

Các quy tắc thiết kế cấu trúc liên kết định tuyến bổ sung có thể được tạo để cấu hình mạng (hoặc lớp mạng) để sử dụng cấu trúc liên kết khác. Để chứng minh điều này, trong các hình ảnh được hiển thị bên dưới, quy tắc cấu trúc liên kết mặc định được hiển thị ở bên trái và cùng một mạng với cấu trúc liên kết định tuyến mới của Starburst đã được áp dụng được hiển thị ở bên phải. Trong một topo Starburst các kết nối tỏa từ pad với một **Loại Điện** của Source (loại mặc định cho tất cả các miếng là Load).



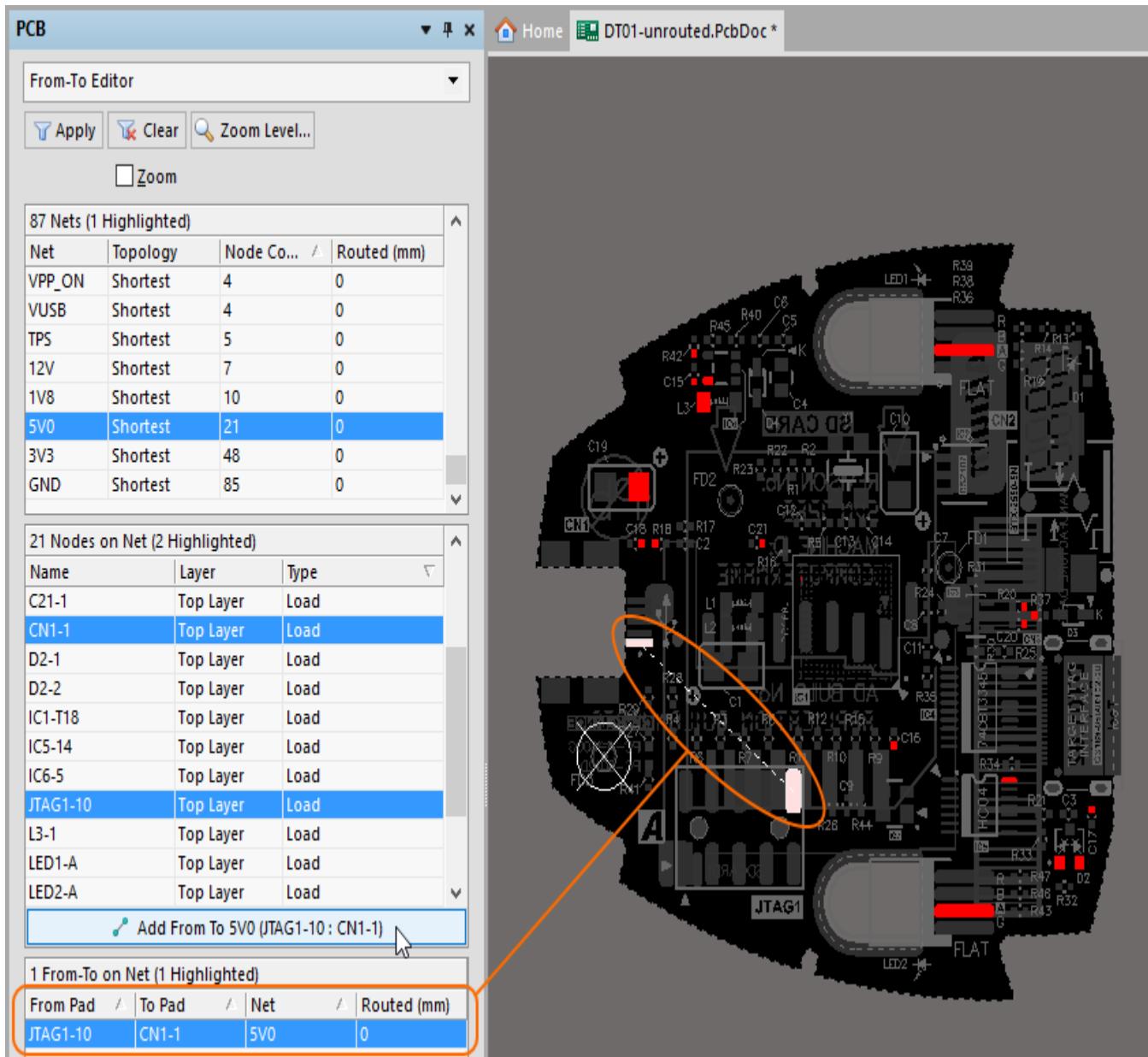


Đối với cấu trúc liên kết mặc định, các đường kết nối được đặt để cung cấp chiều dài kết nối tổng thể ngắn nhất. Trong cấu trúc liên kết Starburst, tất cả các đường kết nối đều tỏa ra từ một bảng Nguồn.

Áp dụng một cấu trúc liên kết tùy chỉnh

Trong một mạng riêng lẻ, kết nối giữa hai nút được gọi là Từ Đến. Để kiểm soát đường dẫn của các đường kết nối xuống ở mức pin-to-pin riêng lẻ, bạn có thể xác định thủ công Từ-Tos trong mạng, tạo một cấu trúc liên kết mạng tùy chỉnh một cách hiệu quả.

From-Tos được xác định bằng cách đặt bảng *PCB* sang chế độ **From-To Editor**. Quá trình xác định Từ Đến là chọn 2 nút trong mạng và nhấp vào nút **Thêm Từ Đến**. Để xác định rõ ràng From-Tos trong không gian làm việc, chúng được hiển thị dưới dạng đường đứt nét thay vì đường liền nét.



Một From_To đã được xác định giữa 2 miếng đệm, hãy lưu ý cách dòng From-To được hiển thị dưới dạng gạch ngang thay vì liền mạch.

Để biết mô tả chi tiết về việc xác định From-Tos, hãy tham khảo bài viết [From-To Editor](#).

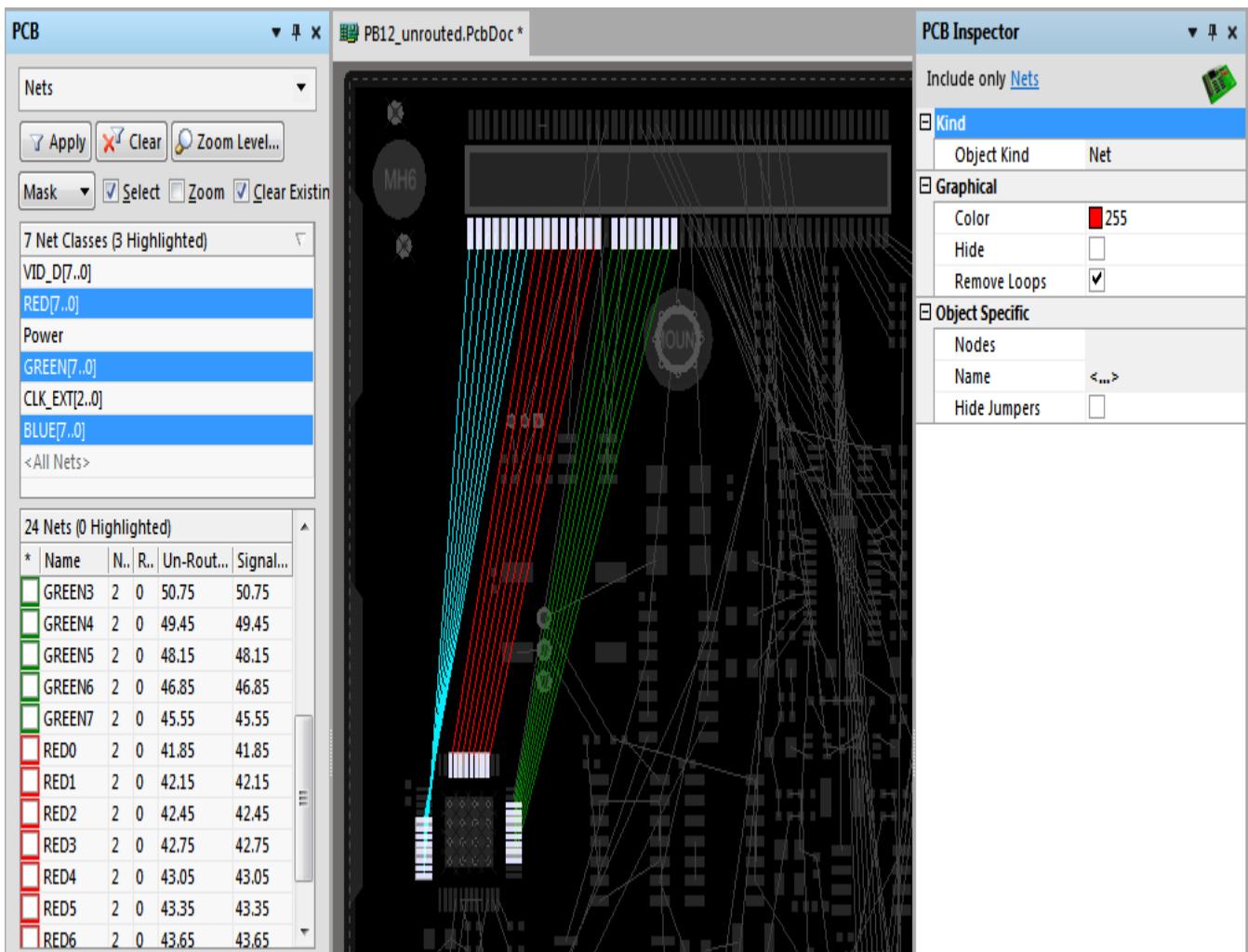
Quản lý hiển thị các đường kết nối

Các đường kết nối là một trợ giúp có giá trị để giúp đặt và định hướng các thành phần cũng như hướng dẫn bạn trong quá trình định tuyến. Tuy nhiên, sự hiện diện của chúng cũng có thể tạo ra nhiều sự lộn xộn về mặt hình ảnh. Để trợ giúp việc này, trình chỉnh sửa PCB bao gồm các tính năng sau để giúp nhà thiết kế quản lý việc hiển thị các đường kết nối:

- Ẩn / hiển thị tất cả các đường kết nối bằng cách chuyển đổi trạng thái hiển thị của Lớp **Màu Mặc định cho Lớp Hệ thống Nets Mới**, trong tab **Lớp Bảng và Màu** của hộp thoại *Cáu hình Dạng xem*.
- Ẩn / hiện các đường kết nối có chọn lọc, sử dụng các lệnh trong menu phụ **View >Connections** (nhấn phím tắt N để bật menu này lên). Tất cả các lệnh có sẵn đều có các phím tăng tốc, làm cho nó trở thành một phương pháp hiệu quả để thực hiện các tác vụ như ẩn tất cả các đường kết nối (N, H, A), sau đó hiển thị các đường kết nối cho một mạng cụ thể (N, S, N).
- Khi ở chế độ một lớp (Shift + S), chỉ hiển thị các đường kết nối kết nối với các miếng đệm thành phần nằm trên lớp đó. Kiểm soát điều này bằng cách sử dụng tùy chọn **Hiển thị Tất cả Kết nối ở Chế độ Lớp Đơn** trong tab **Tùy chọn Chế độ xem** của hộp thoại *Cáu hình Chế độ xem*.
- Đối với đường kết nối có đệm đầu và cuối nằm trên các lớp khác nhau, hãy hiển thị từng đường kết nối bằng cách sử dụng kết hợp màu của lớp bắt đầu và kết thúc. Kiểm soát điều này bằng cách sử dụng tùy chọn **Use Layer Colors For Connection Drawing** trong tab **View Options** của hộp thoại *View Configuration*.
- Chỉ định màu cho các đường kết nối trong một lưới, hoặc một tập hợp các lưới, để giúp dễ dàng xác định chúng. Điều này được thảo luận dưới đây.
- Mặt nạ hoặc Làm mờ tất cả các lưới, ngoại trừ những lưới bạn quan tâm. Đặt bảng **PCB** ở chế độ **Nets**, sau đó chọn **Dim** (làm mờ các đối tượng khác nhưng cho phép chỉnh sửa các đối tượng bị mờ) hoặc **Mặt nạ** (làm mờ các đối tượng khác và chỉ cho phép chỉnh sửa un- đối tượng mờ) trong trình đơn thả xuống, sau đó nhấp vào một mạng (hoặc Lớp Mạng). Tất cả các đối tượng sẽ bị mờ đi, ngoại trừ những đối tượng thuộc (các) mạng đã chọn, giúp dễ dàng nhìn thấy và làm việc với các đối tượng trong mạng đó.
- Trong khi di chuyển một thành phần, bạn có thể tạm thời tắt tính năng tối ưu hóa lại và hiển thị các đường kết nối bằng cách nhấn phím tắt N.

Gán màu cho các đường kết nối

Màu của **Màu mặc định cho lớp Hệ thống Nets Mới** là màu được gán cho các đường kết nối trong mỗi mạng, khi mạng được tạo lần đầu tiên trong trình chỉnh sửa PCB trong quá trình chuyển từ trình chỉnh sửa giản đồ. Để thay đổi màu của các đường kết nối cho một mạng đã tồn tại trong trình chỉnh sửa PCB, bạn có thể chỉnh sửa nó cho một mạng cụ thể bằng cách nhấp đúp vào tên mạng trong bảng **PCB**. Đối với nhiều lưới, hãy chọn chúng trong bảng **PCB** và sử dụng bảng **Kiểm tra PCB** để chỉnh sửa màu của tất cả chúng (đặt bảng thành *Chỉ bao gồm các lưới*). Đối với ví dụ được hiển thị trong hình ảnh bên dưới, Lớp Mạng được chọn trong bảng điều khiển, sau đó màu sắc được thay đổi trong Trình kiểm tra PCB bảng cho tất cả các lưới trong lớp đó.



Cung cấp ý nghĩa cho vai trò của các lưới khác nhau bằng cách thay đổi màu sắc của các đường kết nối của chúng. Trong hình ảnh này, tất cả các lưới khác đều được che mờ, hãy di chuột để xem sự khác biệt khi không có mặt nạ nào được áp dụng.

Hướng dẫn Định vị Thành phần

Khi bạn di chuyển một thành phần trong không gian làm việc, một đường kẻ dày màu xanh lá cây hoặc màu đỏ sẽ được hiển thị, di chuyển từ một điểm trong thành phần đến một vị trí trên bảng. Đường này được gọi là Vecto Vị trí Tối ưu, chức năng của nó là cho biết vị trí mới tốt hơn (xanh) hay xấu hơn (đỏ) so với vị trí trước đó.

Vecto có hai thuộc tính riêng biệt: vị trí mục tiêu được đề xuất của nó; và màu sắc của nó.

Để xác định vị trí cho mỗi đầu của vecto, đối tượng địa lý sử dụng tâm của hình đa giác được xác định bởi vị trí của các điểm cuối của các đường kết nối. Có 2 trung tâm được quan tâm, một được xác định bởi các đầu của đường kết nối chấm dứt trên thành phần bạn đang di chuyển (trung tâm thành phần), tâm thứ hai được xác định bởi các đầu khác của tập hợp các đường kết nối đó (trung tâm vị trí mục tiêu).

Vectơ Vị trí Tối ưu được vẽ giữa 2 trung tâm này, với phần cuối của thành phần được đánh dấu bằng một dấu chấm. Bởi vì nó là một chỉ báo tương đối, khi bạn nhấp lần đầu tiên để bắt đầu di chuyển một thành phần, vectơ luôn được vẽ bằng màu xanh lá cây. 2 trọng tâm liên tục được tính toán lại khi bạn di chuyển thành phần, vì các đường kết nối có thể di chuyển từ vùng đệm này sang vùng đệm khác khi chúng được tự động tối ưu hóa lại để duy trì cấu trúc liên kết mạng áp dụng cho thành phần đang di chuyển. Do sự tái tối ưu hóa ròng này, đầu cuối đích của OPV có thể nhảy xung quanh khi thành phần được di chuyển. Nếu các trung tâm di chuyển ra xa nhau và OPV dài hơn, nó có thể chuyển sang màu đỏ. Nếu các trung tâm di chuyển gần nhau hơn và OPV trở nên ngắn hơn, nó có thể chuyển sang màu xanh lục.

Chiều dài của vector không phải là điều kiện duy nhất được sử dụng để thiết lập màu, màu của OPV còn bị ảnh hưởng bởi chiều dài tổng thể của các đường kết nối gắn với thành phần chuyển động. Nếu việc di chuyển thành phần dẫn đến chiều dài tổng thể của các đường kết nối tăng lên, thì OPV sẽ chuyển sang màu đỏ. Ngoài ra, nếu việc di chuyển thành phần dẫn đến chiều dài tổng thể của các đường kết nối giảm xuống, thì nó sẽ chuyển sang màu xanh lục.

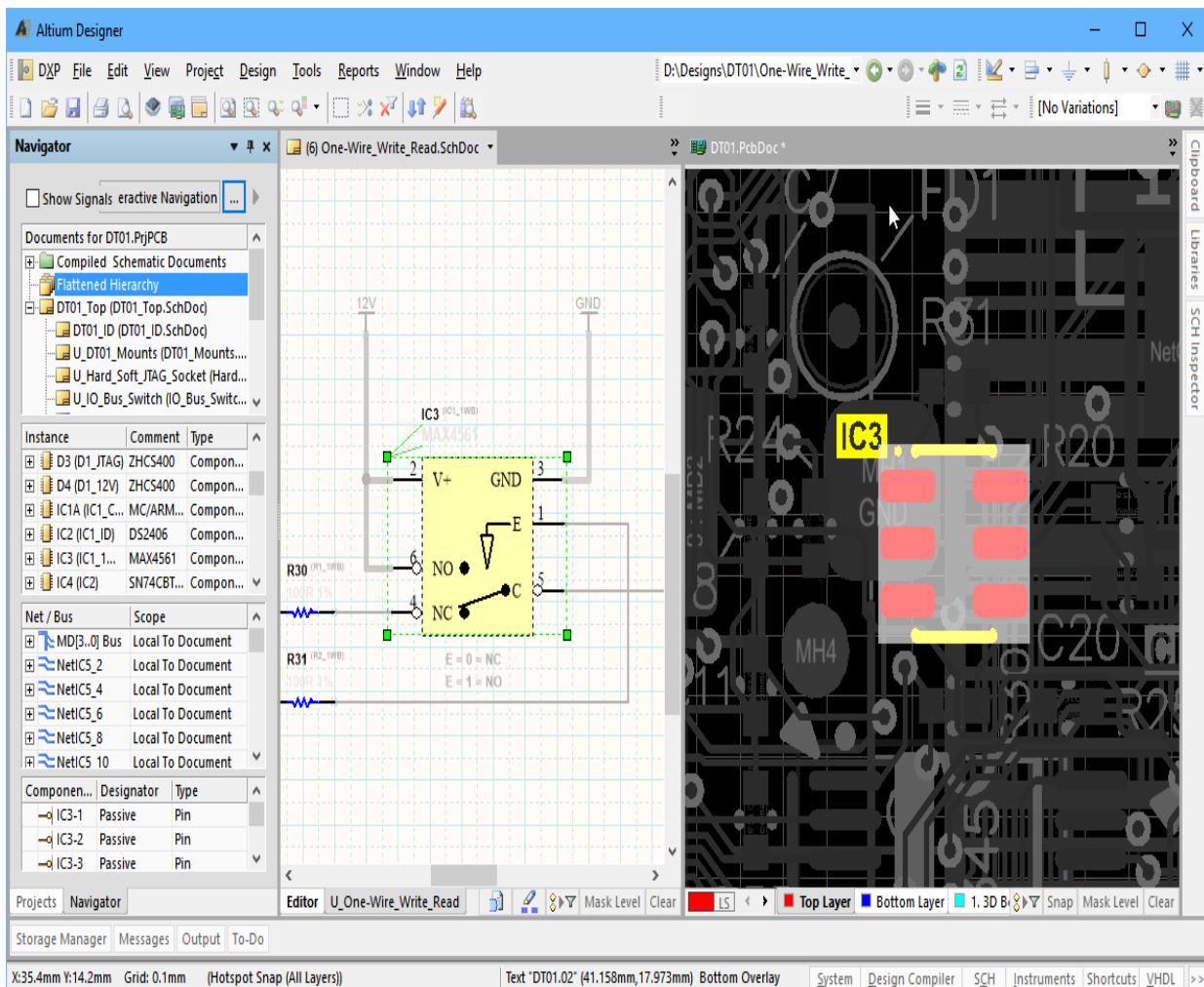
Mặc dù độ dài vectơ đang tăng lên, nó vẫn có màu xanh lục vì độ dài tổng thể của các đường kết nối ngày càng ngắn. Khi xoay linh kiện, độ dài kết nối tăng lên nên OPV sẽ chuyển sang màu đỏ.

Hãy nhớ rằng OPV là một hướng dẫn tương đối, mỗi khi bạn đặt thành phần, vị trí mới đó sẽ trở thành điểm bắt đầu cho các phép tính vào lần tiếp theo bạn di chuyển thành phần đó.

Nếu thiết kế bao gồm các thành phần có số lượng pin cao, thì việc tạo tất cả kết nối bằng các dây riêng lẻ là không thực tế. Nhiều lưới có thể được đóng gói thành một **Bus** nếu chúng là thành viên của một tập hợp số tăng dần, chẳng hạn như Data0, Data1, v.v. Ngoài ra, bất kỳ sự kết hợp nào giữa lưới và xe buýt đều có thể được đóng gói thành một **Khai thác tín hiệu**, cung cấp một cách trực quan và hợp lý để chuyển nhiều lưới trong suốt thiết kế của bạn.

Làm việc giữa Schematic và Board

Working Between the Schematic and the Board



Một trong những điểm mạnh của Altium Designer là bạn có thể dễ dàng di chuyển giữa các yếu tố khác nhau trong thiết kế của mình. Ví dụ: một cú nhấp chuột trong bảng *Projects* sẽ mở ra một trang sơ đồ, một cú nhấp chuột khác sẽ mở PCB và một cú nhấp chuột khác sẽ mở tệp OutputJob, hiển thị tất cả các đầu ra bạn cần tạo từ bảng đã hoàn thành.

Tuy nhiên, thiết kế không chỉ đơn giản là có quyền truy cập vào các tệp thiết kế. Là nhà thiết kế, bạn cần các công cụ định hướng thiết kế giúp bạn hoàn thành hiệu quả nhiều nhiệm vụ thiết kế cần thiết để hoàn thành sản phẩm của mình. Yếu tố quan trọng để làm việc hiệu quả là có thể di chuyển qua lại linh hoạt giữa sơ đồ và bố cục bảng, khi bạn thực hiện các tác vụ thiết kế khác nhau.

Có lẽ bạn đang chuẩn bị cho vị trí, nhóm các thành phần liên quan xung quanh ngoại vi của bảng khi bạn kiểm tra các tùy chọn bố trí của mình. Hoặc có lẽ bạn đang kiểm tra kết nối, xác định vị trí các mạng quan trọng và kiểm tra vị trí chúng đã được định tuyến.

Đối với các tác vụ như vậy, bạn cần tìm các đối tượng trong tài liệu đích, dựa trên các đối tượng bạn có thể thấy trong tài liệu nguồn.

Môi trường thiết kế thống nhất

Altium sử dụng thuật ngữ *thống nhất* để mô tả cách mà thiết kế nằm, như một thực thể duy nhất, ở trung tâm của quá trình thiết kế. Chính cách tiếp cận thống nhất, lấy thiết kế làm trung tâm này làm cho nó có thể làm việc hiệu quả giữa sơ đồ và bảng. Môi trường cũng thống nhất, với tất cả các trình chỉnh sửa và công nghệ thiết kế hoạt động trong một ứng dụng phần mềm.

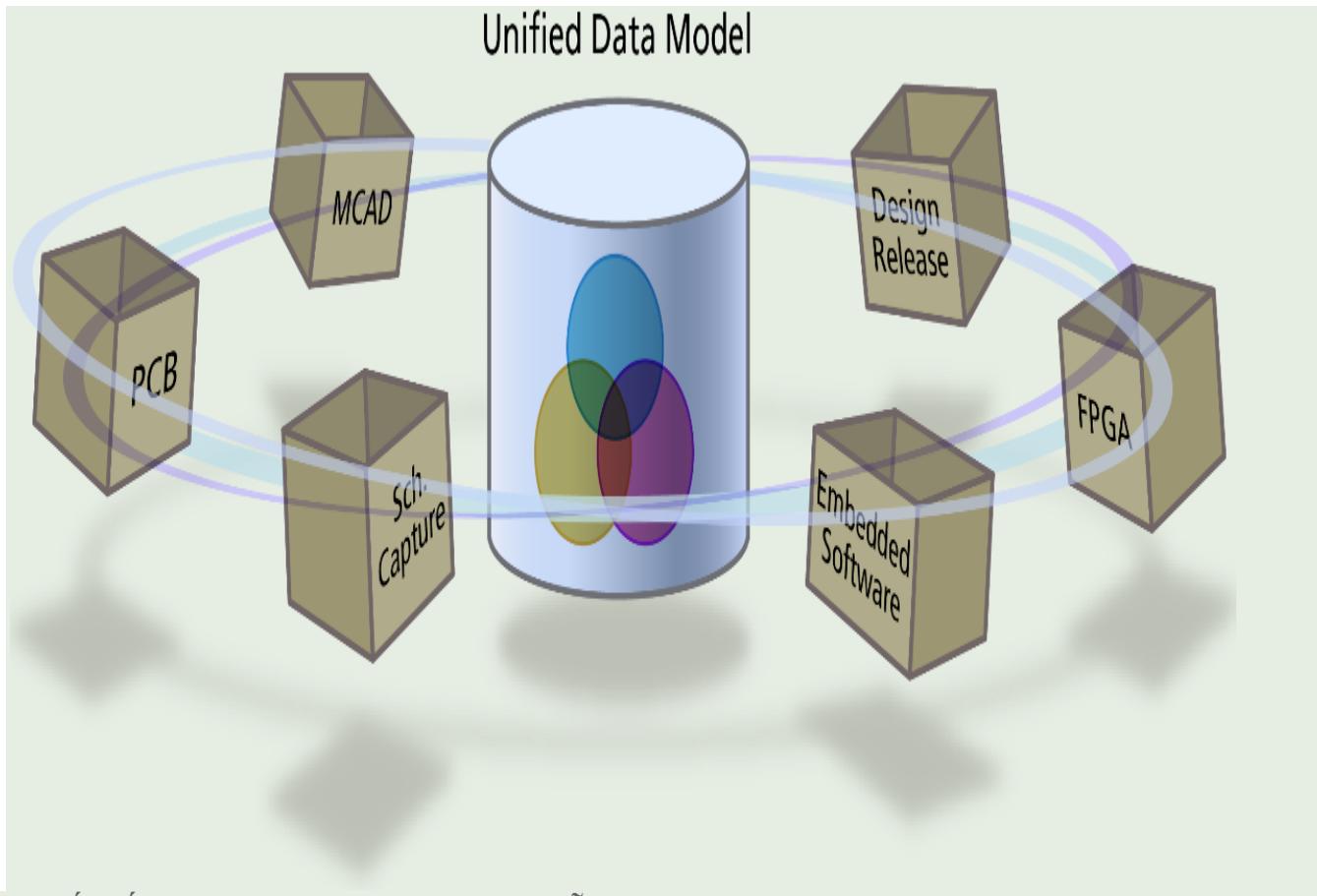
Bởi vì Altium Designer là một môi trường thiết kế thống nhất, sơ đồ và bảng có thể được mở song song với nhau. Khi thiết kế đã được biên dịch, bạn có thể dễ dàng:

- Thăm dò chéo một thành phần, mạng hoặc chân giữa sơ đồ và bảng.
- Chọn chéo các thành phần từ trình chỉnh sửa này sang trình chỉnh sửa khác.
- Dễ dàng chuyển các thay đổi thiết kế từ trình chỉnh sửa này sang trình chỉnh sửa khác, theo cả hai hướng.

Tại sao phải biên dịch và Mô hình dữ liệu hợp nhất là gì?

Vậy biên dịch là gì và tại sao thiết kế cần được biên dịch?

Khi bạn biên dịch dự án sơ đồ của mình, phần mềm sẽ tạo ra kết nối mà bạn đã xác định bằng cách xác định hệ thống dây điện chân cắm được đặt trong thiết kế. Trình tự là:



- Kết nối pin-to-pin được tạo trong mỗi trang tính
- Sau đó, kết nối trang này sang trang tính được tạo, dựa trên Phạm vi số nhận dạng ròng đã chọn
- Mô hình Dữ liệu Hợp nhất được tạo, hiển thị chi tiết thành phần và liên kết trong bảng *Điều hướng*
- Kiểm tra lỗi đã kích hoạt được chạy.

Mô hình dữ liệu hợp nhất

Một yếu tố cơ bản của phần mềm là Mô hình Dữ liệu Hợp nhất (UDM). Khi dự án được biên dịch, một mô hình gắn kết, duy nhất được tạo ra, nằm ở trung tâm của quá trình thiết kế. Dữ liệu trong mô hình sau đó có thể được truy cập và thao tác bằng các trình chỉnh sửa và dịch vụ khác nhau trong phần mềm. Thay vì sử dụng kho dữ liệu riêng biệt cho từng lĩnh vực thiết kế khác nhau, UDM được cấu trúc để chứa tất cả thông tin từ tất cả các khía cạnh của thiết kế, bao gồm các thành phần và kết nối của chúng.

Làm thế nào để bạn tương tác với mô hình dữ liệu thống nhất, chẳng hạn như để theo dõi mạng thông qua thiết kế? Bạn làm điều đó thông qua bảng điều *hướng*.

Thăm dò chéo

Cross thăm dò là tên được đặt cho khả năng nhấp (hoặc nhấp đúp) vào một đối tượng trong một giao diện thiết kế và được trình bày với đối tượng đó trong một giao diện thiết kế khác. Có rất nhiều nơi bạn có thể thăm dò trong Altium Designer.

Ví dụ: khi bạn đã khởi chạy lệnh **Công cụ »Cross Probe** của trình soạn thảo PCB , bạn có thể nhấp vào một thành phần trên PCB, để hiển thị thành phần tương tự trên giản đồ. Lệnh này hỗ trợ thăm dò chéo giữa các thành phần, bus, lưỡi và chân / miếng đệm. Hành vi mặc định là vẫn ở trong trình soạn thảo nguồn, sử dụng điều này khi cả tài liệu nguồn và đích đều hiển thị. Giữ **Ctrl** khi bạn nhấp để chuyển đến tài liệu đích.

Hoặc sau khi biên dịch dự án sơ đồ, bạn có thể nhấp chuột phải và chọn **Cross Probe** (hoặc nhấp đúp) vào thông báo lỗi trong bảng *Thông báo* , để chuyển đến điều kiện lỗi đó trên sơ đồ.

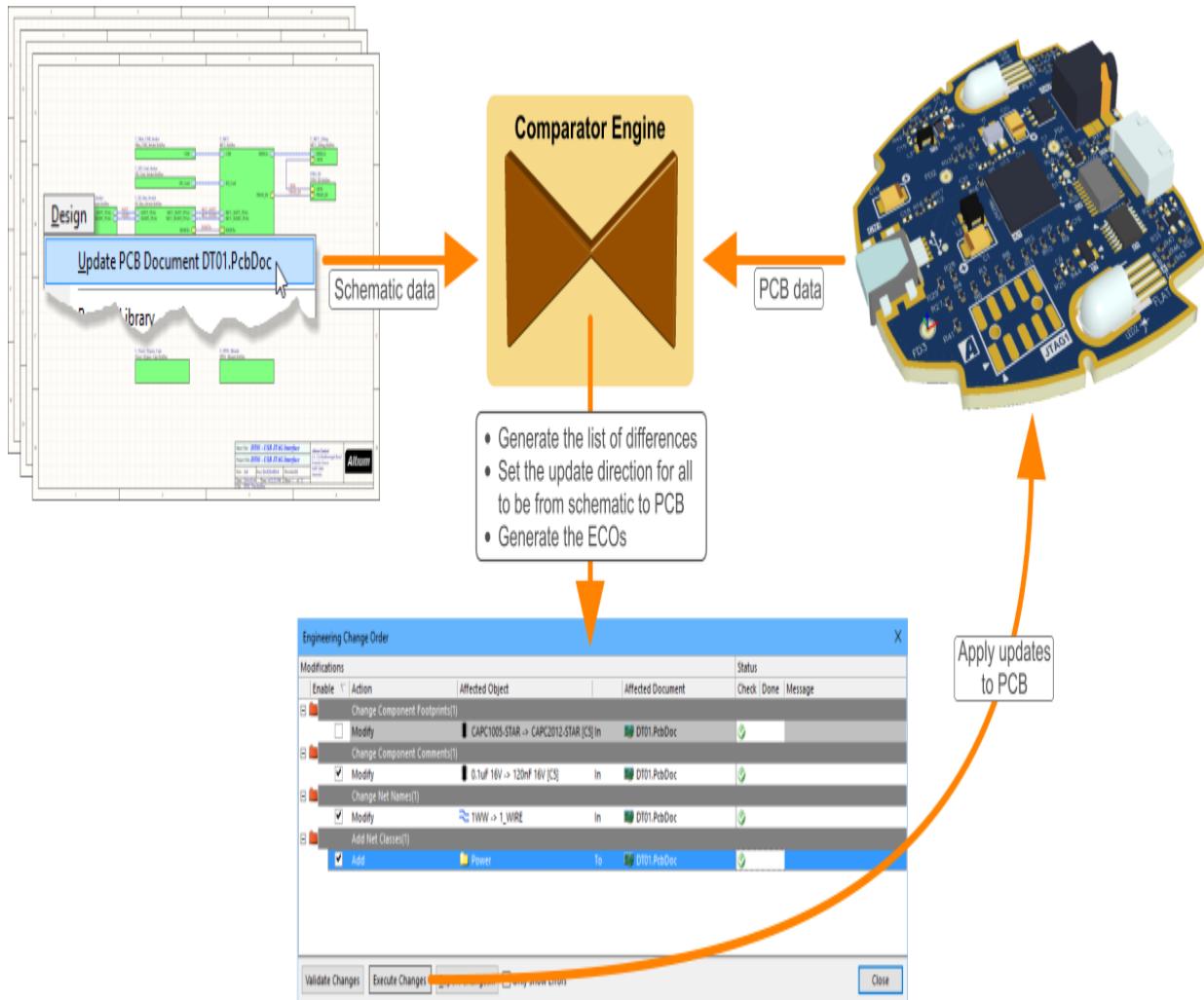
Có một số cách khác nhau để bạn có thể thăm dò chéo trong Altium Designer, những cách này được giải thích trong bài viết [Thăm dò và lựa chọn chéo](#) .

Lựa chọn chéo

Lựa chọn chéo tương tự như thăm dò chéo, bạn sử dụng nó để chọn một thành phần mà bạn hiện có thể thấy, trong một giao diện thiết kế khác. Những gì lựa chọn chéo cung cấp là khả năng chọn nhiều thành phần. Nó hoạt động theo cả hai hướng giữa sơ đồ và PCB, và là một công cụ lý tưởng để xây dựng một tập hợp các đối tượng đã chọn, sẵn sàng cho một hành động thiết kế. Ví dụ, bạn có thể đang xem một số thành phần trên giản đồ và muốn định vị chúng trong không gian làm việc của trình soạn thảo PCB, vì vậy bạn có thể định vị chúng trên bảng. Khi **Chế độ chọn chéo** được bật, mỗi lần bạn chọn một thành phần trong trình chỉnh sửa đó, nó sẽ tự động được chọn trong trình chỉnh sửa khác.

Đồng bộ hóa thiết kế

Nhiệm vụ thiết kế từ sơ đồ đến PCB phổ biến nhất là giữ nguyên thiết kế để giữ cho sơ đồ và PCB khớp hoặc được đồng bộ hóa. Bất kể bạn đang chuyển một thiết kế đã chụp sang một PCB mới lần đầu tiên hay thực hiện các thay đổi đối với thiết kế hiện có ở cả mặt sơ đồ hoặc PCB, quy trình tương tự đều được sử dụng.



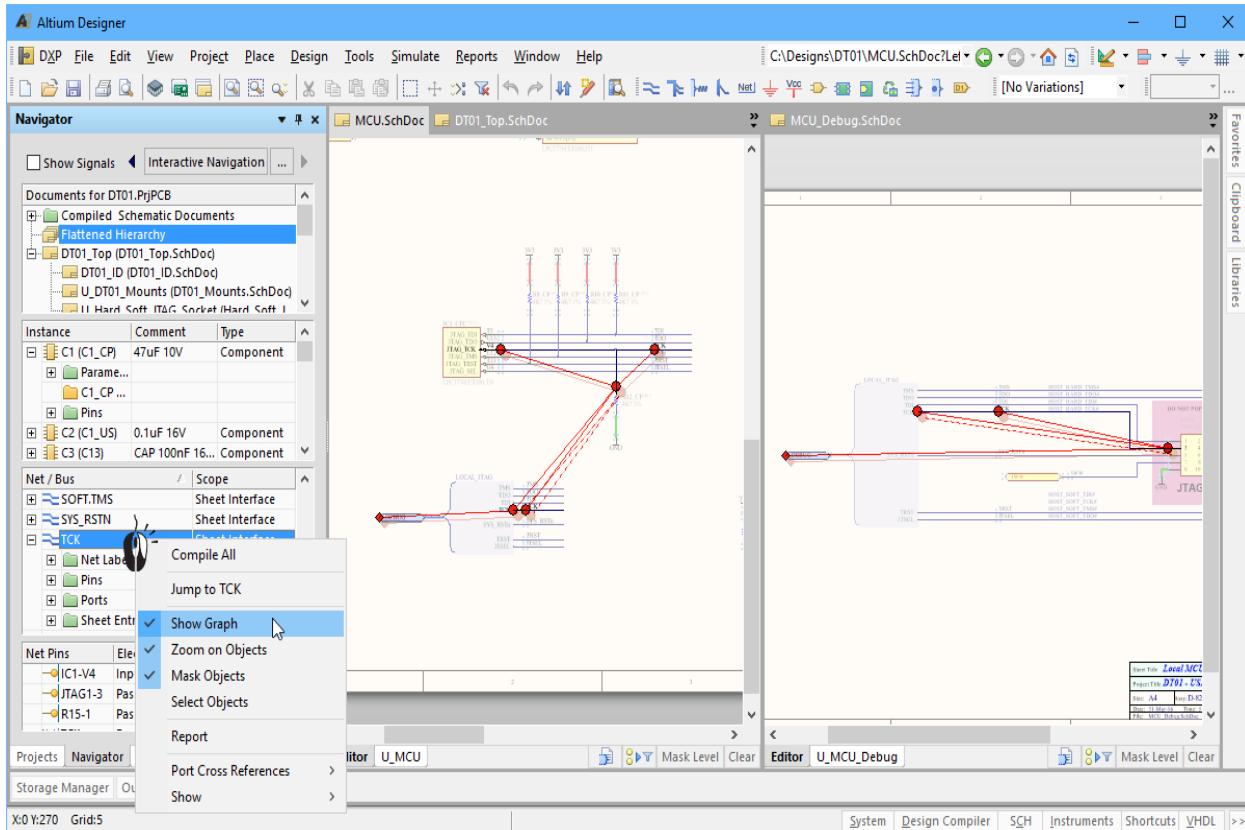
Quá trình đồng bộ hóa phát hiện và giải quyết sự khác biệt về sơ đồ và PCB.

Đồng bộ hóa thiết kế được thực hiện trực tiếp giữa trình chỉnh sửa sơ đồ và PCB, không có tài liệu trung gian giống như danh sách mạng nào được sử dụng. Phần mềm sử dụng một công cụ so sánh để so sánh tất cả các khía cạnh của thiết kế và một tập hợp các Lệnh Thay đổi Kỹ thuật (ECO) được tạo ra để giải quyết bất kỳ sự khác biệt nào. Khi những điều này được áp dụng, hai mặt của thiết kế sẽ đồng bộ trở lại.

Bảng điều hướng

Nếu thiết kế lớn và trải rộng trên nhiều trang tính, việc theo dõi một mạng lưới và xác minh tính kết nối trong thiết kế có thể trở nên khó khăn bằng cách chỉ đơn giản nhìn vào sơ đồ. Để trợ giúp quá trình này, bảng *Điều hướng* được sử dụng. Bảng điều khiển cung cấp cái nhìn về toàn bộ thiết kế đã biên dịch, do đó sẽ dễ trống cho đến khi dự án được

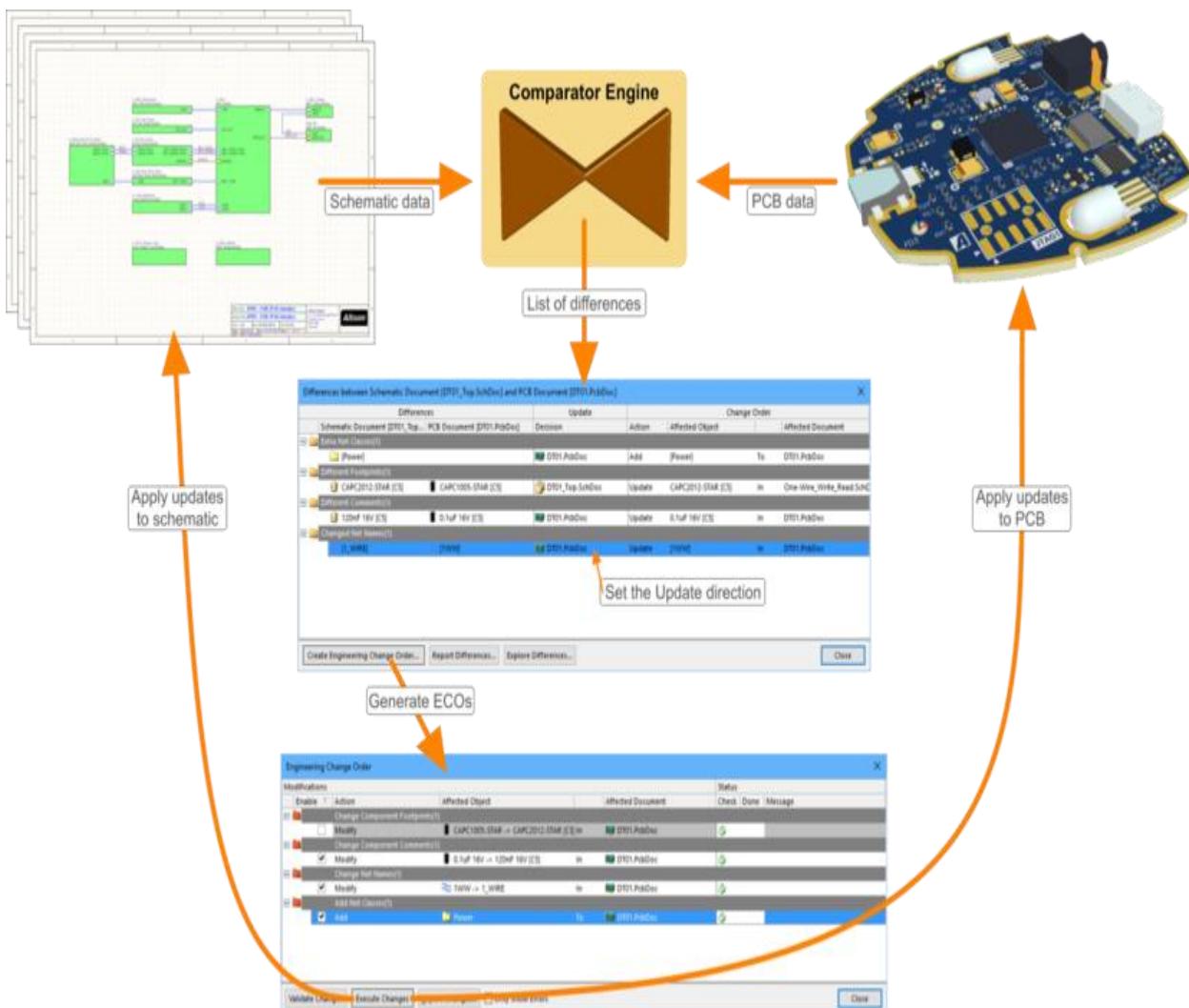
bên dịch (**Dự án »Dự án biên dịch PCB**). Bảng *Điều hướng* có thể được mở bằng cách nhấp vào **Design Compiler** nút xuống dưới cùng bên phải của ứng dụng.



Sử dụng bảng Điều hướng làm chế độ xem của bạn vào toàn bộ thiết kế đã biên dịch.

Đồng bộ hóa thiết kế

Cho dù bạn đang chuyển một thiết kế đã chụp sang một PCB mới lần đầu tiên hay thực hiện các thay đổi đối với thiết kế hiện có ở cả mặt sơ đồ hoặc PCB, thì cần phải có một số cách để giữ cho cả hai mặt được đồng bộ. Altium Designer cung cấp tính năng đồng bộ hóa design mạnh mẽ mang đến giải pháp hiệu quả cho vấn đề giữ thiết kế được đồng bộ hóa, cho phép nhà thiết kế tập trung vào các khía cạnh sáng tạo của quá trình thiết kế.



Quá

trình đồng bộ hóa phát hiện và giải quyết sự khác biệt về sơ đồ và PCB.

Đồng bộ hóa thiết kế được thực hiện trực tiếp giữa trình chỉnh sửa sơ đồ và PCB, không có tài liệu trung gian giống như danh sách mạng nào được sử dụng. Phần mềm sử dụng công cụ so sánh để so sánh tất cả các khía cạnh của thiết kế, chi tiết hóa kết quả đầu ra dưới dạng danh sách các điểm khác biệt. Nhà thiết kế quyết định bên nào nên thay đổi để giải quyết các khác biệt và một tập hợp các Lệnh thay đổi kỹ thuật (ECO) được tạo. Sau đó, chúng được áp dụng, đưa hai mặt của thiết kế trở lại đồng bộ.

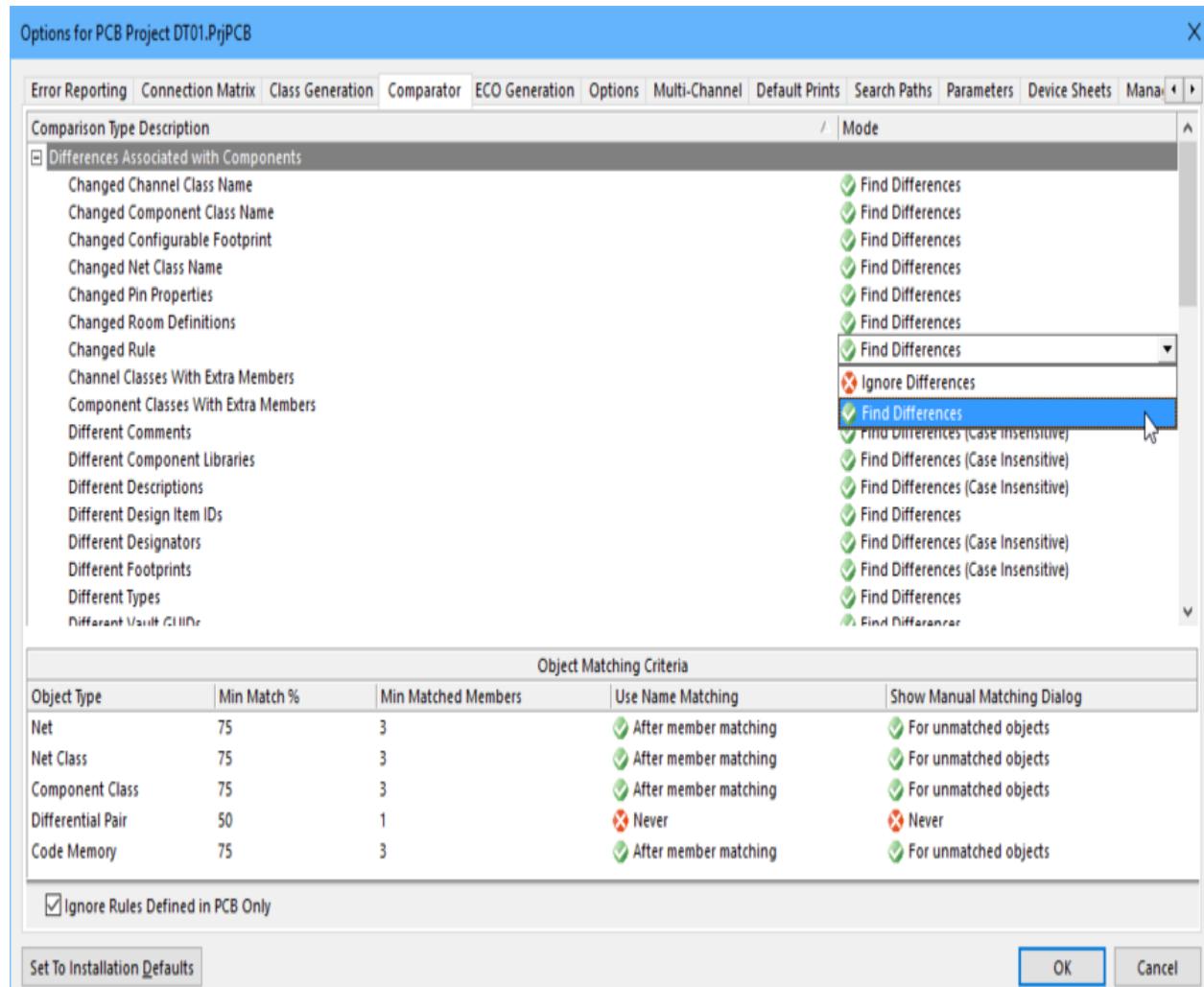
Những gì có thể được đồng bộ hóa?

Quá trình đồng bộ hóa đảm bảo rằng thành phần và dữ liệu kết nối trên giản đồ khớp với dữ liệu thành phần và kết nối trên PCB. Cũng như thành phần và dữ liệu kết nối, quá trình đồng bộ hóa cũng đảm bảo rằng các ràng buộc thiết kế khác; chẳng hạn như lớp net, lớp thành phần và quy tắc thiết kế, cũng đồng bộ.

Định cấu hình các tùy chọn so sánh

Trang hộp thoại: *Tùy chọn cho Dự án PCB*, tab Bộ so sánh

Chính xác *nhiều* gì dữ liệu sơ đồ và PCB được so sánh, được định cấu hình trong **tab Bộ so sánh** của hộp thoại *Tùy chọn cho Dự án PCB*. Chọn **Project »Project Options** để mở hộp thoại.



Công cụ so sánh tuân theo các cài đặt được xác định trong tab **Bộ so sánh** của hộp thoại *Tùy chọn cho Dự án*.

Vùng chính của hộp thoại bao gồm một danh sách lớn các Kiểu so sánh, chẳng hạn như **Nhà thiết kế khác nhau** và **Tên mạng đã thay đổi**, được nhóm thành 5 danh mục. Các **chế độ** cột ở bên phải bao gồm một danh sách thả xuống cho mỗi, nơi bạn chọn chế độ so sánh, chẳng hạn như **Find Differences** hay **Ignore Differences**. So sánh kiểu văn bản có tùy chọn thứ ba, để cho phép so sánh không phân biệt chữ hoa chữ thường.

Mặc định cho một dự án mới là Tìm Điểm khác biệt cho mọi kiểu so sánh, đặt các tùy chọn theo yêu cầu cho dự án của bạn.

Như bạn có thể thấy từ danh sách, có một lượng lớn chi tiết thiết kế có sẵn để đồng bộ hóa.

- Để đồng bộ hóa sơ đồ với PCB, tất cả các chi tiết liên quan đến thiết kế PCB có thể được đồng bộ hóa.
- Đối với PCB để đồng bộ hóa sơ đồ, chỉ những thay đổi được thực hiện đối với bộ chỉ định thành phần, nhận xét và dấu chân mới có thể được đồng bộ hóa trở lại sơ đồ. Các thay đổi thực duy nhất có thể được đồng bộ hóa là các thay đổi do hoạt động hoán đổi pin hoặc một phần - cách thực hiện điều này phụ thuộc vào cách các tùy chọn hoán đổi pin / phần được định cấu hình. Để tìm hiểu thêm, hãy tham khảo bài viết [hoán đổi mã pin và bộ phận](#).

Ở phía dưới cùng của hộp thoại có các tùy chọn để đặt **Tiêu chí Đối sánh Đối tượng**. So khớp là một quá trình phức tạp, nhiều lần, không dựa vào kết hợp chuỗi chính xác đơn giản. Để tìm hiểu thêm, hãy tham khảo chủ đề [Kết hợp Nets và Class](#) ở phần sau của bài viết.

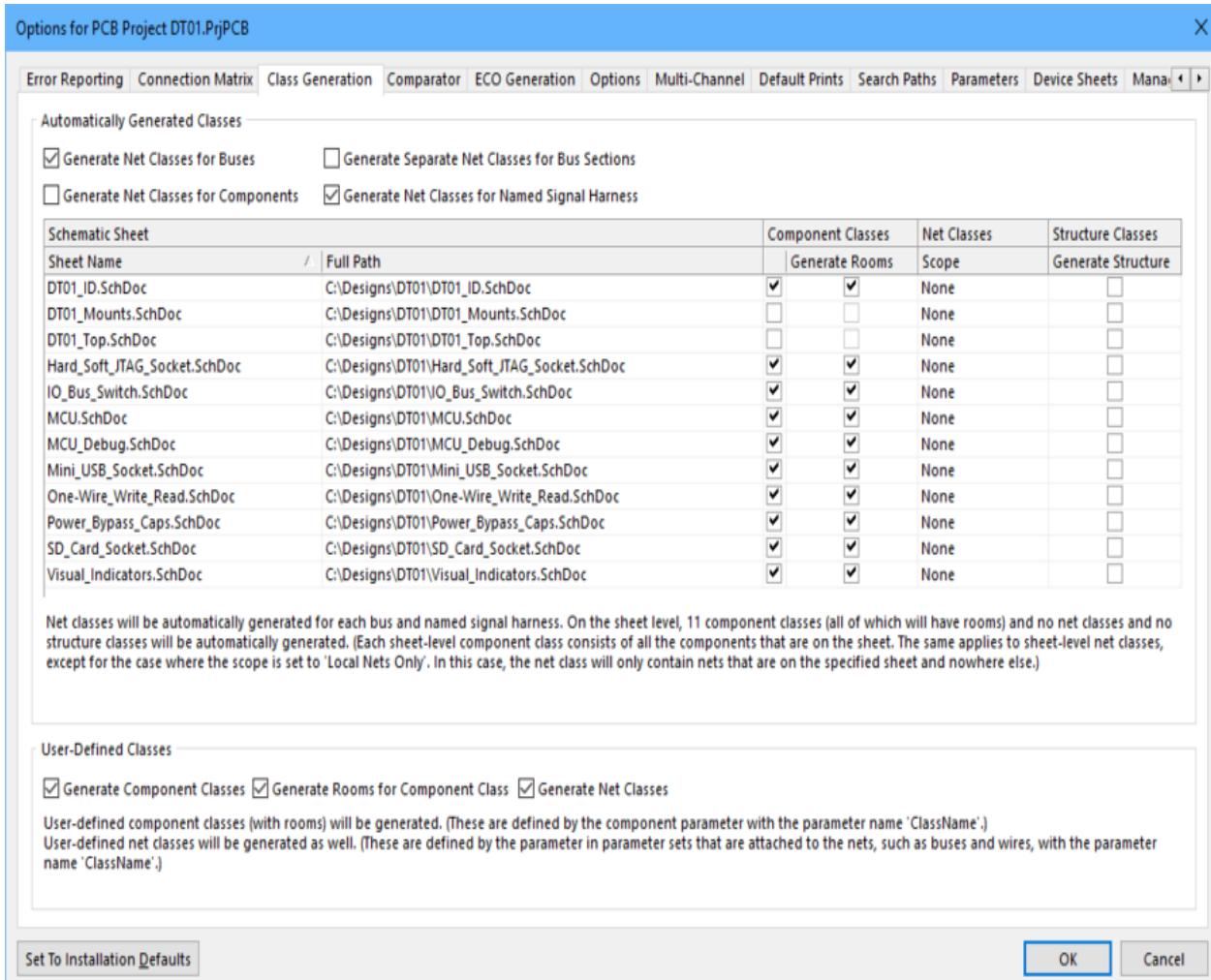
Lưu ý **Các quy tắc bỏ qua được xác định trong** tùy chọn **Chỉ PCB** ở cuối hộp thoại, bật tùy chọn này để loại trừ các quy tắc bạn đã xác định trong PCB khỏi quá trình so sánh.

Đồng bộ hóa các lớp mạng và thành phần

Cũng như dữ liệu thành phần và dữ liệu kết nối, bạn cũng có thể tạo và đồng bộ hóa các lớp và quy tắc thiết kế khi bạn thực hiện **Thiết kế »Cập nhật PCB**. Có hai loại lớp có thể được tạo từ giản đồ và đồng bộ với PCB:

- các lớp tự động - bắt nguồn từ xe buýt / dây nịt, các thành phần hoặc nội dung trang tính; và
- các lớp do người dùng định nghĩa - bắt nguồn từ các chỉ thị thiết kế do người thiết kế đặt.

Việc tạo ra chúng được cấu hình trong **tab Tạo lớp** của hộp thoại *Tùy chọn cho dự án* (đồng bộ hóa được điều khiển bởi các tùy chọn trong tab **Bộ so sánh**).



Sử dụng các tùy chọn trong tab **Tạo lớp** để định cấu hình các lớp được tạo tự động mà bạn yêu cầu và nếu bạn muốn tạo các lớp do người dùng xác định trong quá trình đồng bộ hóa thiết kế.

Các lớp học được tạo tự động

Lớp học Net

Các lớp mạng có thể được tạo tự động cho các nhóm lối sau:

Khai thác tín hiệu	Các dây tín hiệu được sử dụng để bó và vận chuyển nhiều lối trong một dự án sơ đồ. Dây nịt không được dùng để đặt tên cho các loại lối được mang trong dây nịt đó, trừ khi dây nịt có nhãn lối được dán trên đó. Lưu ý rằng việc đặt nhãn rộng trên dây tín hiệu sẽ thay đổi cú pháp đặt tên mạng, từ là nhãn lối riêng lẻ được đặt trên dây, thành hiện thực <HarnessNetLabel>.<HarnessEntryName>. Nếu bạn không muốn đổi tên các lối trong bộ khai thác, bạn có thể tạo một lớp lối do người dùng xác định thay thế, như được mô tả bên dưới. Tham khảo chủ đề Làm việc
---------------------------	---

	với Khai thác tín hiệu để biết thêm thông tin về Khai thác tín hiệu. Cho phép Tạo các lớp mạng để khai thác tín hiệu được đặt tên tùy chọn để tạo một lớp mạng PCB cho mỗi bộ khai thác tín hiệu được đặt tên, trong quá trình đồng bộ hóa thiết kế. Đây là một lựa chọn toàn cầu được áp dụng cho toàn bộ dự án.
Xe buýt / Đoạn xe buýt	Bật tùy chọn Tạo lớp mạng cho xe buýt để tạo lớp mạng PCB cho mỗi xe buýt (và mỗi lát xe buýt nếu tùy chọn phụ được bật), trong quá trình đồng bộ hóa thiết kế. Đây là một lựa chọn toàn cầu được áp dụng cho toàn bộ dự án.
Các thành phần	Tùy chọn này tạo ra một lớp net cho mỗi thành phần trong thiết kế, chứa tất cả các lưỡi được kết nối với thành phần đó. Đây là một lựa chọn toàn cầu được áp dụng cho toàn bộ dự án.
Trang tính	Tạo một lớp lưỡi cho các lưỡi trong mỗi trang tính, theo phạm vi đã chọn. Lưu ý rằng tùy chọn phạm vi Local Nets Only sẽ không bao gồm các lưỡi đi vào hoặc thoát ra trang tính. Cũng lưu ý rằng một mạng có thể thuộc nhiều hơn một lớp net PCB, vì vậy tùy chọn Tất cả Nets sẽ dẫn đến việc tất cả các lưỡi bao trùm tất cả xuất hiện trong nhiều lớp. Tùy chọn này được cấu hình cho mỗi trang tính sơ đồ.

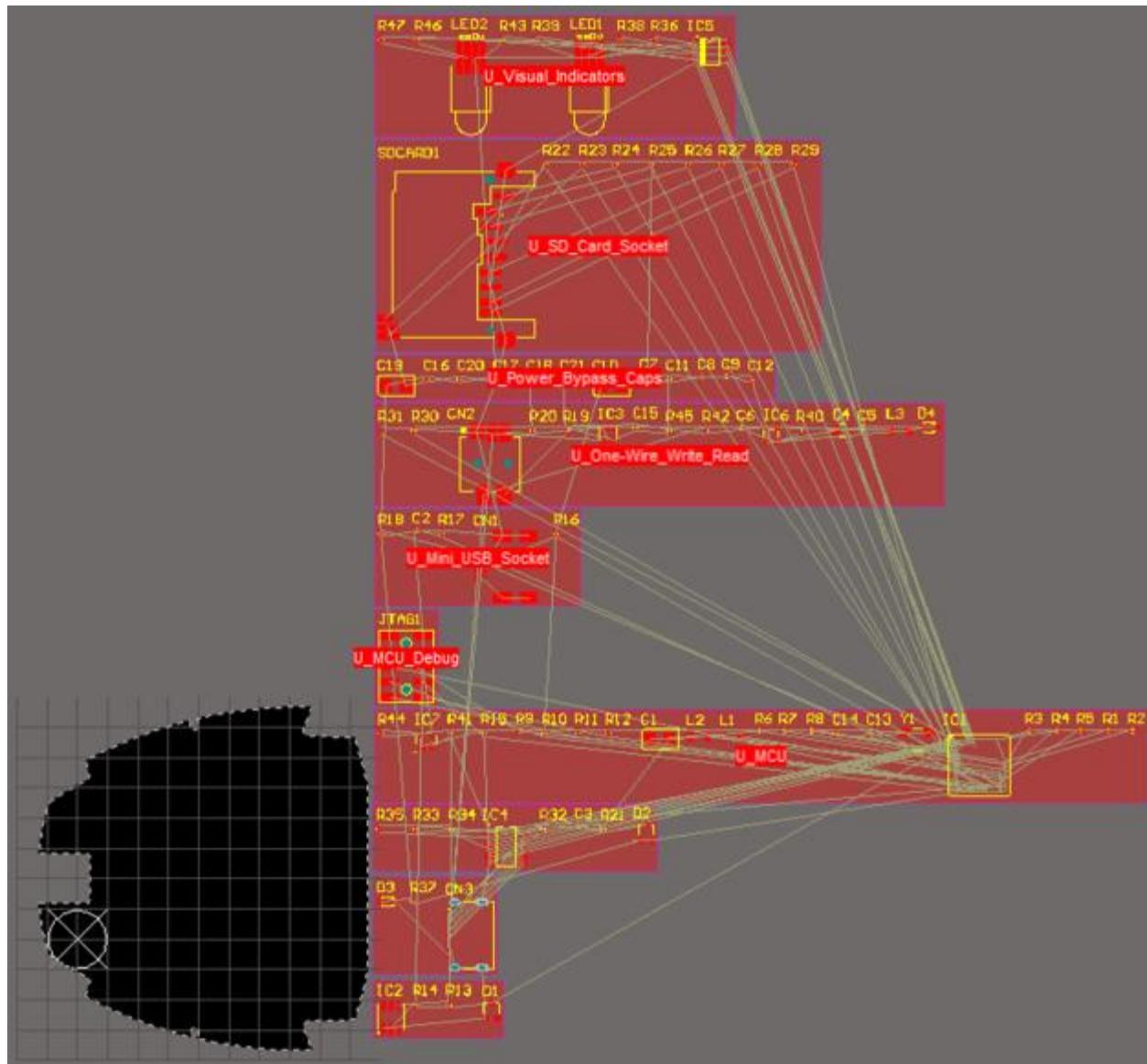
Các lớp thành phần

Dự án sơ đồ thông thường được cấu trúc trên nhiều trang tính, với mỗi trang tính đại diện cho một khối logic của thiết kế tổng thể. Để hỗ trợ điều này, bạn có thể tự động tạo một lớp thành phần chứa tất cả các thành phần trên trang tính đó, cho mỗi trang tính sơ đồ trong dự án, bằng cách bật hộp kiểm **Lớp thành phần** thích hợp. Lớp thành phần PCB sẽ có cùng tên với Bộ thiết kế của biểu tượng trang tính tham chiếu đến trang sơ đồ đó. Một lớp thành phần sẽ không được tạo nếu trang tính không chứa bất kỳ thành phần nào.

Tạo phòng

Phòng là một đối tượng hình đa giác hỗ trợ cho việc bố trí các thành phần, chúng được tạo tự động cho mỗi trang sơ đồ đã bật hộp kiểm **Tạo Phòng**. Trong PCB, mỗi phòng được định nghĩa là một quy tắc thiết kế, quy tắc này sẽ được tạo với phạm

vi `InComponentClass ('<SheetSymbolDesignator>')`. Phòng sẽ không được tạo nếu trang tính không chứa bất kỳ thành phần nào. Khi sơ đồ ban đầu được chuyển đến PCB, các thành phần trong mỗi lớp thành phần được sắp xếp thành một hàng, và sau đó một căn phòng được tạo xung quanh lớp thành phần đó, như hình dưới đây.



PCB sau khi đồng bộ hóa thiết kế ban đầu - một phòng đã được tạo cho mỗi trang tính và phòng đó được gán lớp thành phần của trang tính đó.

Các lớp cấu trúc

Một lớp cấu trúc có thể bao gồm các lớp net, các lớp thành phần và các lớp cấu trúc cấp độ phân cấp thấp hơn, làm thành viên của nó. Một lớp cấu trúc được tạo cho mỗi trang tính mà tùy chọn được bật và sẽ bao gồm thành phần cấp trang tính và các lớp mạng, nếu các tùy chọn đó được bật cho trang tính đó. Chính sửa Lớp cấu trúc trong trình chỉnh sửa

PCB để thêm các lớp mạng / thành phần / cấu trúc khác. Sử dụng chế độ **Cấu trúc** của bảng *PCB* để định vị các thành phần và lưới trong lớp cấu trúc đó.

Tạo các lớp do người dùng xác định

Bạn cũng có thể tạo các lớp thành phần và lớp mạng do người dùng xác định, bằng cách đính kèm một tham số vào thành phần hoặc mạng có liên quan. Sau đó, thành phần PCB và các lớp mạng sẽ được tạo nếu các hộp kiểm **Lớp do Người dùng Xác định** thích hợp được bật trong tab **Tạo Lớp** của hộp thoại *Tùy chọn cho Dự án*.

Lớp thành phần do người dùng xác định

Trong sơ đồ, bạn có thể chỉ định rằng một thành phần được thêm vào một lớp thành phần PCB khi sơ đồ được đồng bộ hóa với PCB.

Để làm điều đó, bạn thêm một tham số vào thành phần, với tham số **Tên** chuỗi được đặt thành **ClassName**, và tham số **Chuỗi giá trị** được đặt thành bắt buộc **<PCB_ComponentClassName>**, như thể hiện trong hình ảnh ví dụ bên dưới.

Parameters			
Visible	Name	Value	Type
<input type="checkbox"/>	Category	Resistor	STRING
<input checked="" type="checkbox"/>	ClassName	Power	STRING
<input type="checkbox"/>	Mounting Technology	Surface Mount	STRING
<input type="checkbox"/>	Power Rating	63 mW	STRING
<input type="checkbox"/>	Resistance	10 K	STRING
<input type="checkbox"/>	Status	Production	STRING
<input type="checkbox"/>	Tolerance	1 %	STRING

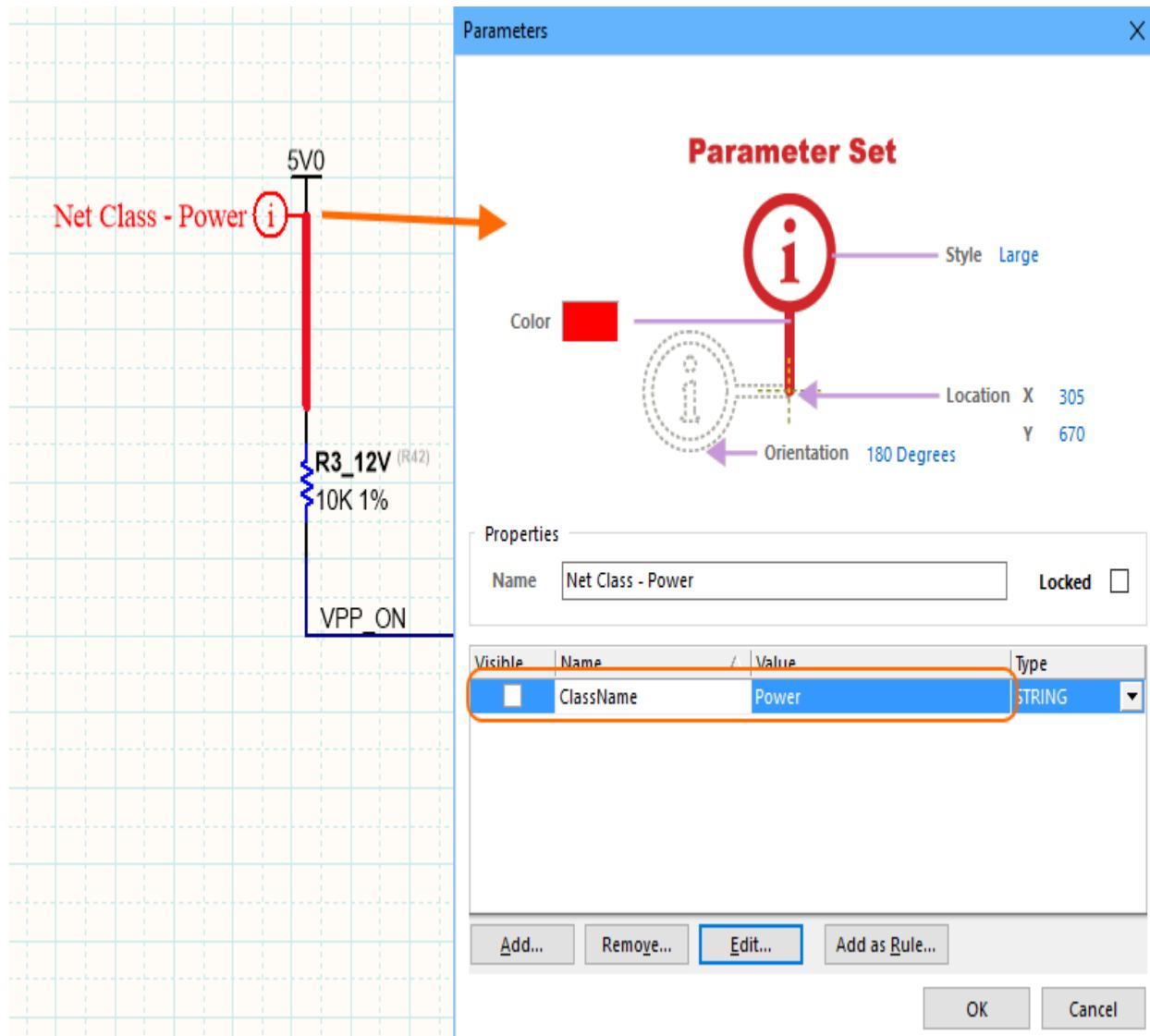
Add... **Remove...** **Edit...** **Add as Rule...**

Bằng cách thêm một tham số vào thành phần, thành phần này sẽ được thêm vào lớp thành phần PCB được gọi là Power.

Lớp mạng do người dùng xác định

Để thêm lưới (hoặc các lưới trong bus hoặc dây tín hiệu) vào lớp net PCB, bạn cần đính kèm một tham số vào net / bus / harness đó. Bạn thực hiện điều đó bằng cách đặt một đối tượng **Bộ tham số** với đầu của nó chạm vào mạng / bus / harness, như thể hiện trong hình bên dưới. Bạn có thể đặt đối tượng Bộ thông số (**Place »Directives» Parameter Set**) và sau đó thêm thông số vào nó theo cách thủ công hoặc bạn có thể đặt đối tượng Bộ tham số được cấu hình trước bằng lệnh **Place »Directives» Net Class** .

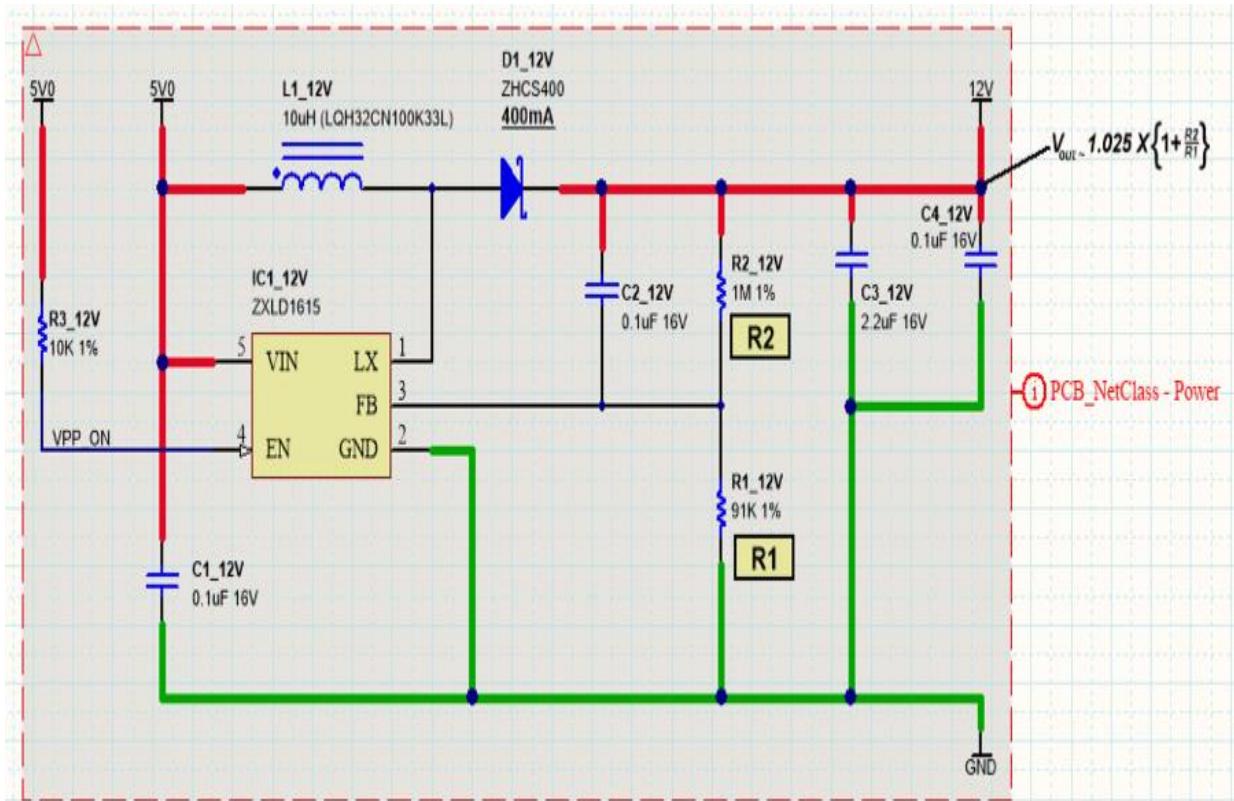
Tham số phải có **Tên** được đặt thành **ClassName** và **Giá trị** tham số được đặt thành bắt buộc **<PCB_NetClassName>**.



Để thêm một mạng vào một lớp mạng PCB, hãy đính kèm một đối tượng Bộ tham số vào mạng sơ đồ, sau đó thêm một tham số vào đối tượng Bộ tham số.

Sử dụng Chăn để Áp dụng Chỉ thị cho Nhiều Nets

Bạn cũng có thể thêm nhiều lưỡi vào một lớp net PCB bằng cách đặt chỉ thị Blanket bao gồm tất cả các lưỡi đó. Chức năng của Blanket là cho phép bạn áp dụng chỉ thị cho tất cả các lưỡi nằm dưới lớp phủ (hoặc được xác định bằng số nhận dạng mạng, chẳng hạn như Nhãn mạng hoặc Công nguồn nằm dưới lớp phủ hoặc mạng có đầu cuối đỉnh chứa trong Blanket). Thay vì đặt lệnh Parameter Set sao cho nó chạm vào một sợi dây, bạn đặt nó sao cho nó chạm vào mép của tấm chăn, như trong hình dưới đây. Lưu ý rằng giá trị của Tham số trong đối tượng Tập tham số xác định tên lớp mạng PCB, không phải tên hiển thị của đối tượng Tập tham số.



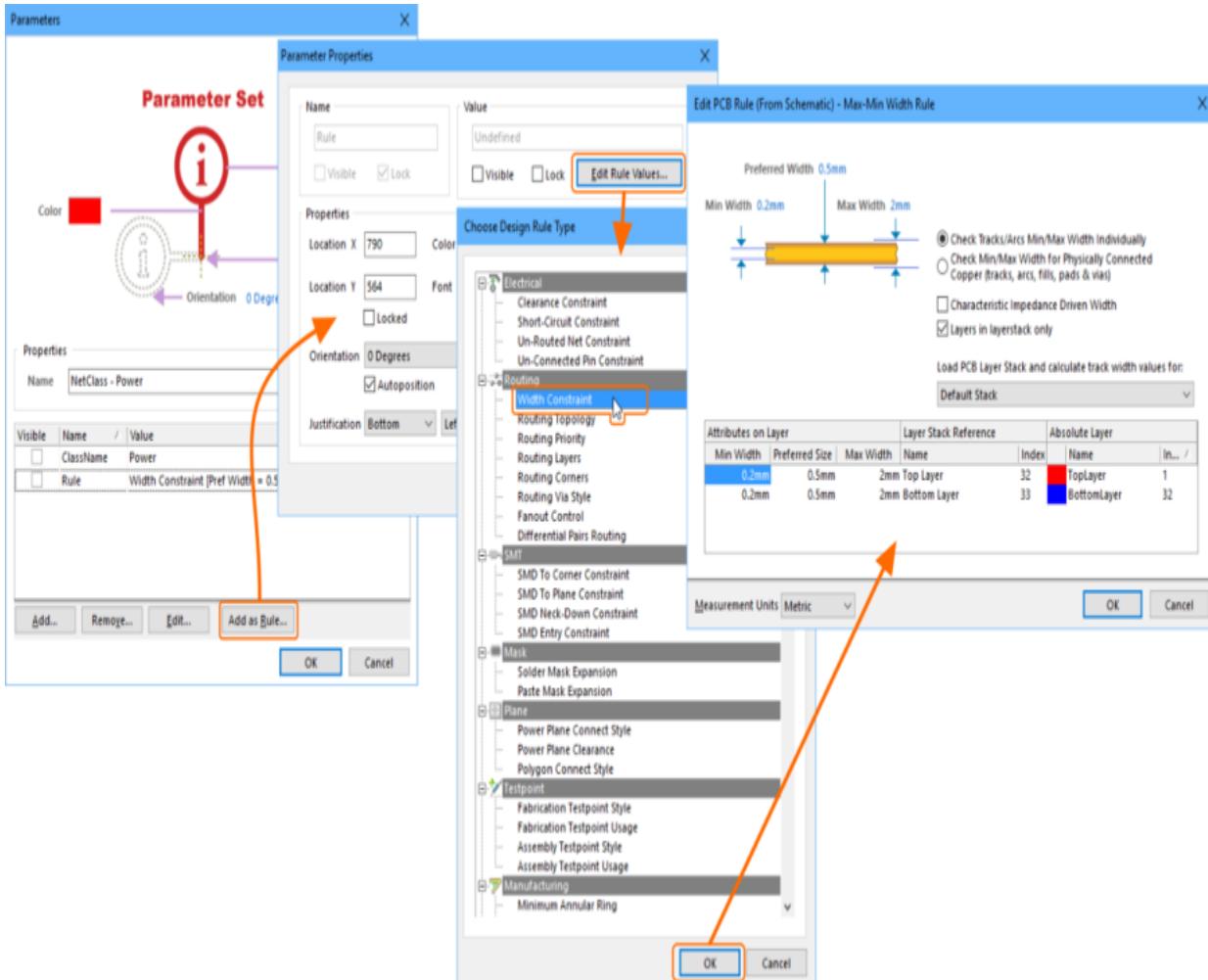
Sử dụng chỉ thị Blanket để gộp tất cả các lưỡi bên dưới nó, thành một lớp mạng PCB được gọi là Power. Lưu ý rằng tên đối tượng Bộ tham số không được sử dụng để đặt tên, nó chỉ là một tham chiếu trực quan.

Một thành phần / mạng có thể thuộc về nhiều lớp thành phần / mạng trong PCB.

Đồng bộ hóa các quy tắc thiết kế

Như với các lớp, các quy tắc thiết kế cũng được áp dụng trong giản đồ như một tham số. Trong mỗi đối tượng mà bạn có thể thêm tham số, ví dụ một thành phần hoặc một đối tượng Bộ tham số, có một nút **Thêm dưới dạng Quy tắc**.

Nhấp vào nút **Thêm dưới dạng quy tắc** sẽ thêm một tham số với **Tên** được đặt thành Rule. Khi tên tham số này được sử dụng, hộp thoại *Thuộc tính Tham số* sẽ bao gồm nút **Chỉnh sửa Giá trị Quy tắc**. Nhấp vào nút này để mở hộp thoại *Chọn Loại Quy tắc Thiết kế*. Sau khi chọn quy tắc thiết kế yêu cầu, giai đoạn cuối cùng là xác định các ràng buộc quy tắc trong hộp thoại *Chỉnh sửa Quy tắc PCB*.



Bằng cách nhấp vào nút **Add as Rule...**, tham số sẽ trở thành vùng chứa để chứa định nghĩa của quy tắc thiết kế PCB.

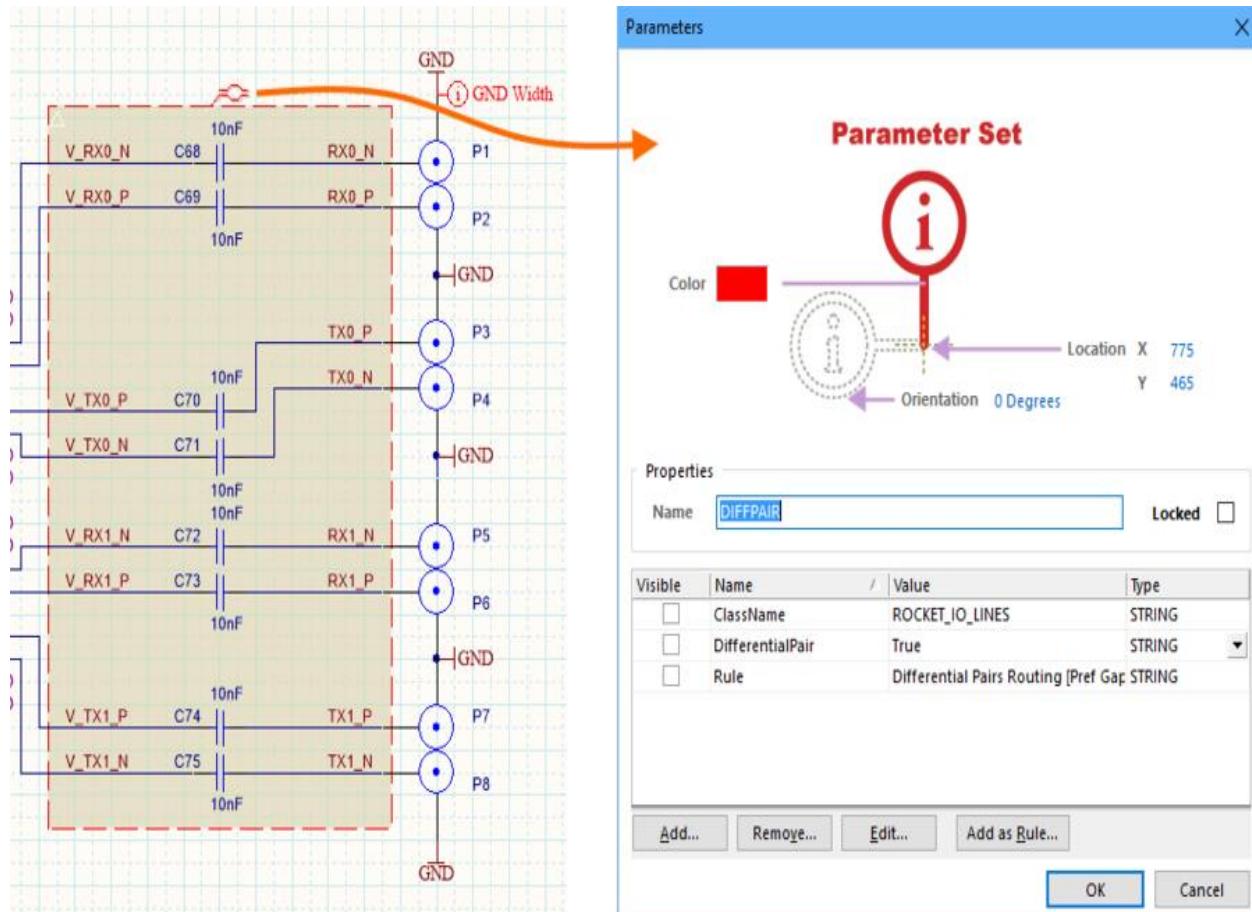
Trong tab **Bộ so sánh**, hãy đảm bảo rằng các phép so sánh loại Quy tắc bắt buộc được bật để cho phép các quy tắc thiết kế được thêm vào và cập nhật trong PCB.

Schematic <RuleType> Ví dụ, mỗi quy tắc PCB được tạo ra từ một định nghĩa quy tắc giản đồ sẽ được tự động đặt tên Schematic <Width Constraint>. Bạn có thể chỉnh sửa tên này nếu được yêu cầu, nó không được sử dụng để đồng bộ hóa quy tắc đang diễn ra.

Trong cả hình ảnh bên trên và hình ảnh bên dưới, quy tắc thiết kế được xác định trong một đối tượng Bộ thông số được gắn vào một cái chăn. Bằng cách bao gồm một tham số **ClassName** trong đối tượng Bộ tham số đó, một lớp mạng PCB cũng sẽ được tạo và bởi vì định nghĩa lớp có mặt, quy tắc PCB sẽ được xác định phạm vi `InNetClass('<PCB_NetClassName>')`.

Trong hình ảnh bên dưới, bạn sẽ nhận thấy rằng đối tượng Bộ tham số được hiển thị dưới dạng chỉ thị Cặp vi phân. Đây cũng là một đối tượng Bộ tham số, trong trường hợp này nó có một Tham số với **Tên** DifferentialPair và **Giá trị** là True. Khi phần mềm

nhìn thấy một đối tượng Bộ tham số với tham số này, nó sẽ nhận ra nó là một chỉ thị cắp vi phân và hiển thị nó dưới dạng ký hiệu Cặp vi phân, thay vì đối tượng Bộ tham số mặc định. Bạn có thể đặt chỉ thị Cặp vi phân được định cấu hình trước thông qua lệnh **Place »Directives» Differential Pair**, lệnh này sẽ đặt với tham số này đã được xác định.



Đối tượng Bộ tham số có thể hiển thị theo nhiều cách khác nhau, tùy thuộc vào các tham số mà nó nắm giữ.

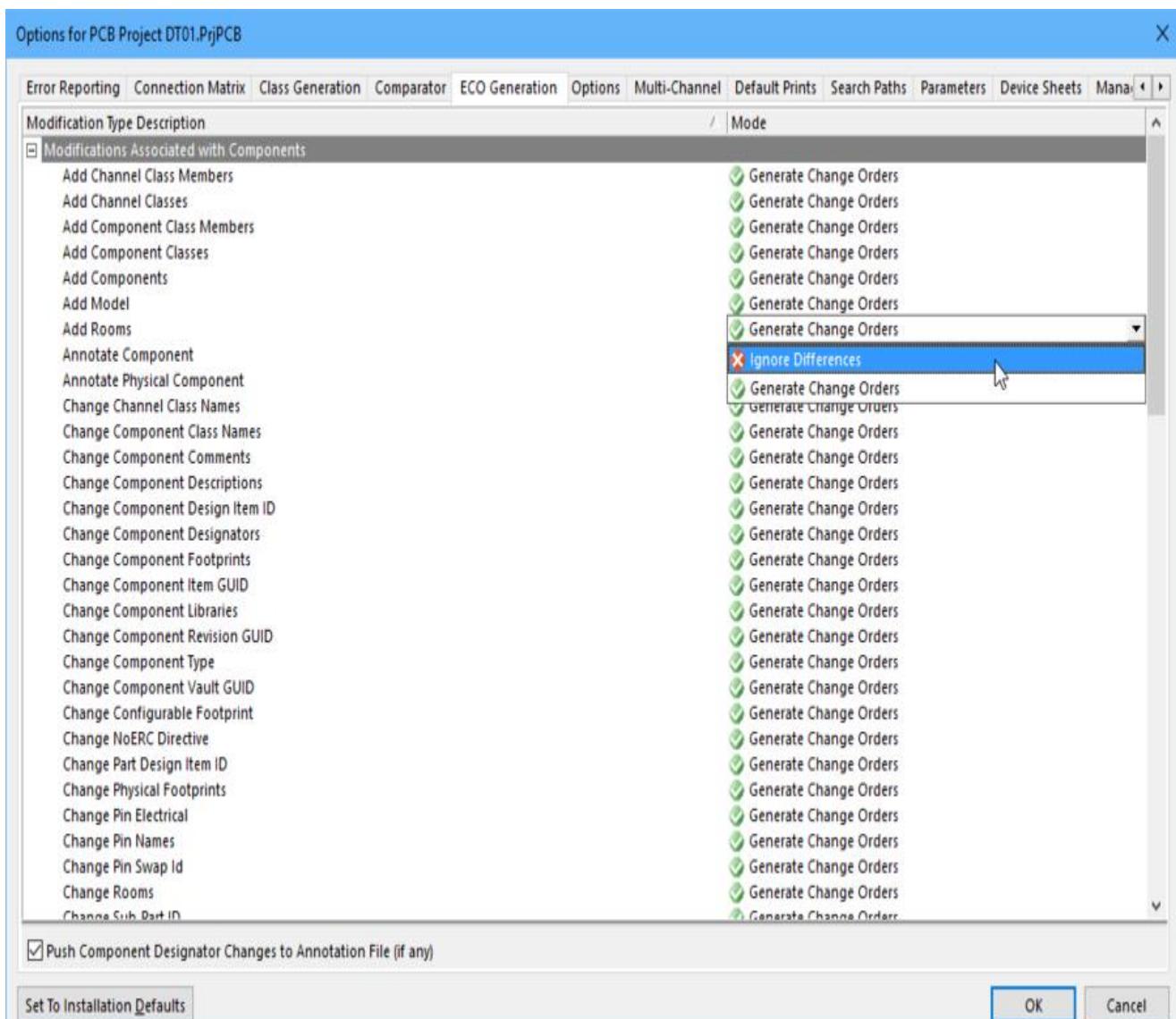
Trong ví dụ minh họa ở trên, có ba tham số trong đối tượng Bộ tham số, áp dụng cho tất cả các lối nằm dưới lớp phủ theo cách sau:

TÊN THÔNG SỐ	GIÁ TRỊ THAM SỐ	CHỨC NĂNG THAM SỐ
Tên lớp	ROCKET_IO_LINES	Tạo một Lớp mạng PCB được gọi là ROCKET_IO_LINES, với các thành viên

TÊN THÔNG SỐ	GIÁ TRỊ THAM SỐ	CHỨC NĂNG THAM SỐ
		của lớp net là tất cả các mạng được phát hiện dưới lớp phủ.
DifferentialPair	Thật	Tạo một cặp vi phân PCB cho mỗi cặp lưỡi được đặt tên phù hợp (tên mạng phù hợp, kết thúc bằng _P và _N). Đối với các lưỡi trong hình, 8 cặp vi sai PCB sẽ được tạo. Nếu Blanket chưa được sử dụng, bạn cần đặt chỉ thị Cặp sai biệt trên mỗi lưỡi mà bạn muốn đưa vào một cặp.
Qui định	Định tuyến cặp vi sai [chi tiết quy tắc]	Tạo Quy tắc định tuyến cặp vi phân PCB, phạm vi đến Lớp mạng PCB được tạo bởi tham số Tên lớp có trong đối tượng Bộ tham số này.

Định cấu hình các tùy chọn tạo ECO

Các *lựa chọn cho dự án* cũng bao gồm một **ECO thế hệ** tab. Tab này xác định những sửa đổi thiết kế nào có thể tạo ECO. Thông thường, tất cả chúng đều được kích hoạt, với các tùy chọn trong tab Bộ so sánh được sử dụng để định cấu hình những thay đổi thiết kế nào sẽ được đồng bộ hóa giữa sơ đồ và PCB.



Tab Tạo ECO xác định loại sửa đổi nào có thể tạo ECO.

Tìm sự khác biệt

Tính năng đồng bộ hóa thiết kế có thể phát hiện và giải quyết sự khác biệt theo cả hai hướng; có nghĩa là, từ sơ đồ đến PCB, hoặc từ PCB trở lại sơ đồ.

Có 2 cách tiếp cận để phát hiện và giải quyết sự khác biệt, bạn có thể:

1. chỉ định hướng cập nhật cho mỗi thay đổi, hoặc bạn
2. áp dụng tất cả các bản cập nhật theo cùng một hướng.

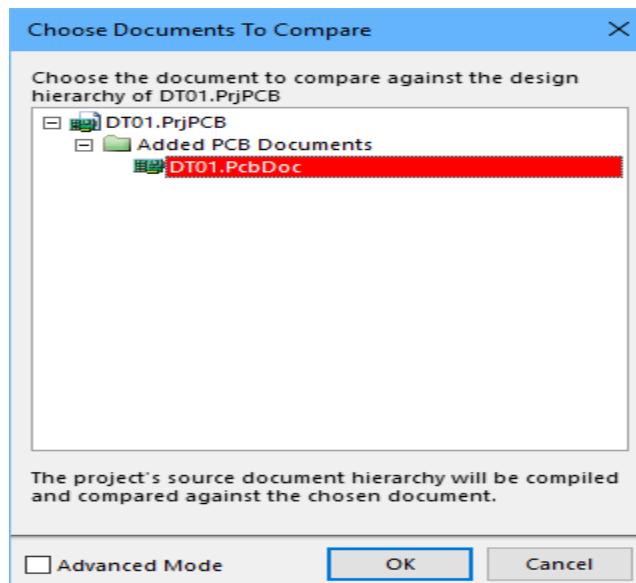
Nếu bạn không cần áp dụng các bản cập nhật theo cả hai hướng cùng một lúc, thì bạn không cần phải trải qua quá trình chọn tài liệu để so sánh và định cấu hình hướng cập nhật để giải quyết sự khác biệt. Trong trường hợp đó, bạn có thể chuyển thẳng đến phần **Thực hiện Cập nhật Trực tiếp** của bài viết này và đọc tiếp từ đó.

Phần mềm thực sự có khả năng giải quyết những khác biệt này bằng cách áp dụng các thay đổi cho cả hai bên cùng một lúc. Ví dụ, hãy tưởng tượng kịch bản trong đó nhà thiết kế điện tử đã thay đổi giá trị của một tụ điện, trong khi nhà thiết kế PCB đã thay đổi dấu chân của cùng một tụ điện đó. Hai sự khác biệt này có thể được giải quyết trong một quá trình cập nhật duy nhất, bằng cách áp dụng thay đổi nhận xét dưới dạng cập nhật sơ đồ thành PCB và thay đổi dấu chân dưới dạng cập nhật PCB thành sơ đồ.

Khi công cụ so sánh so sánh dự án sơ đồ với PCB, một danh sách đầy đủ các điểm khác biệt được tạo ra, ở giai đoạn này không có giả định về mặt nào phải được thay đổi để đưa chúng trở lại đồng bộ.

Danh sách sự khác biệt có thể được nhìn thấy trong hộp thoại *Sự khác biệt giữa*. Để mở hộp thoại *Sự khác biệt giữa* và xem danh sách các điểm khác biệt:

- Chạy lệnh Project »Show Differences để mở hộp thoại *Choose Documents to Compare*, như thể hiện trong hình bên dưới. Các *Chọn tài liệu để so sánh* thoại được sử dụng để lựa chọn những gì hai văn bản / tài liệu-bộ, bạn sẽ được so sánh, thường nó là dự án sơ đồ áp sát vào PCB. Bạn cũng có thể sử dụng hộp thoại này để so sánh bất kỳ tài liệu nào với bất kỳ tài liệu nào bằng cách đánh dấu vào tùy chọn **Chế độ nâng cao**. Ví dụ, bạn có thể so sánh một netlist với một PCB, hoặc một PCB với một PCB.



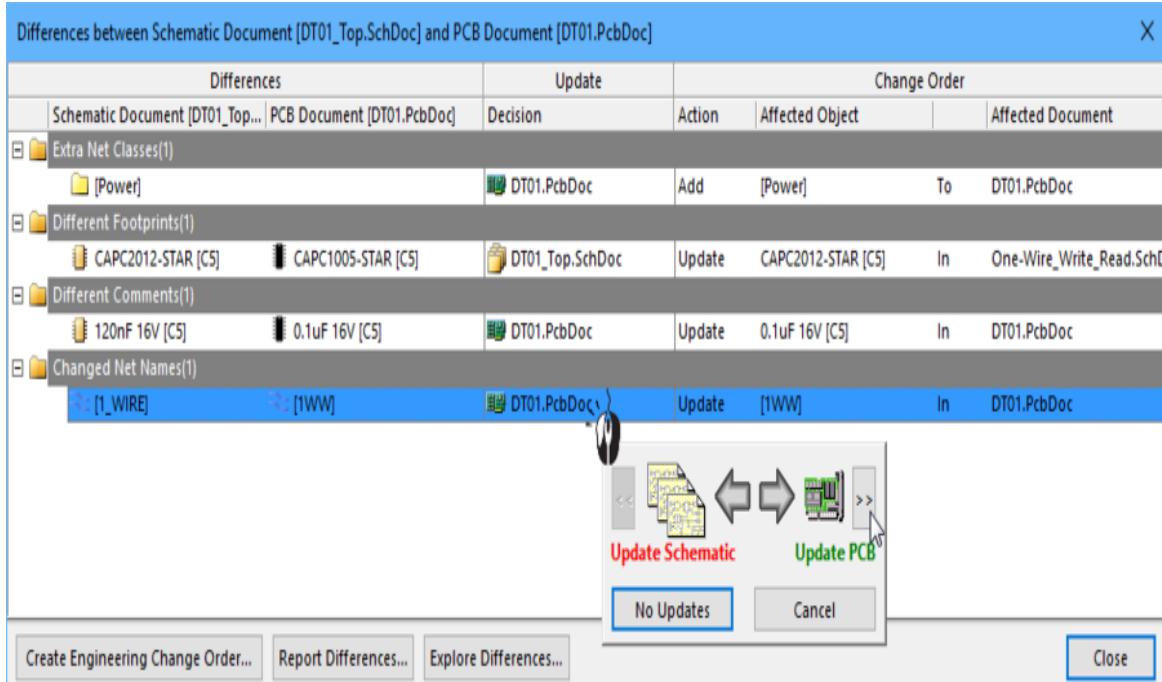
Chọn PCB để so sánh.

- Chọn PCB trong phần chính của hộp thoại và nhập vào **OK** để mở hộp thoại *Sự khác biệt giữa*, như được hiển thị bên dưới.

Các *Sự khác nhau giữa* hộp thoại sẽ mở ra. Bước tiếp theo là chỉ định hướng cập nhật cho mỗi điểm khác biệt:

- Đối với sự khác biệt riêng lẻ, hãy nhập vào cột **Cập nhật** để hiển thị một bộ chọn hướng, như được hiển thị trong hình ảnh bên dưới.

- Để có nhiều điểm khác biệt cùng loại, hãy nhấp chuột phải vào một tiêu đề, chẳng hạn như Dấu chẵn Khác nhau và chọn lệnh **Cập nhật cùng loại** cần thiết.
- Đối với tất cả các điểm khác biệt, nhấp chuột phải vào bất kỳ đâu trong hộp thoại và chọn lệnh **Update All** cần thiết.



Đối với mỗi sự khác biệt, hướng Cập nhật phải được thiết lập để tạo ECO để giải quyết sự khác biệt đó.

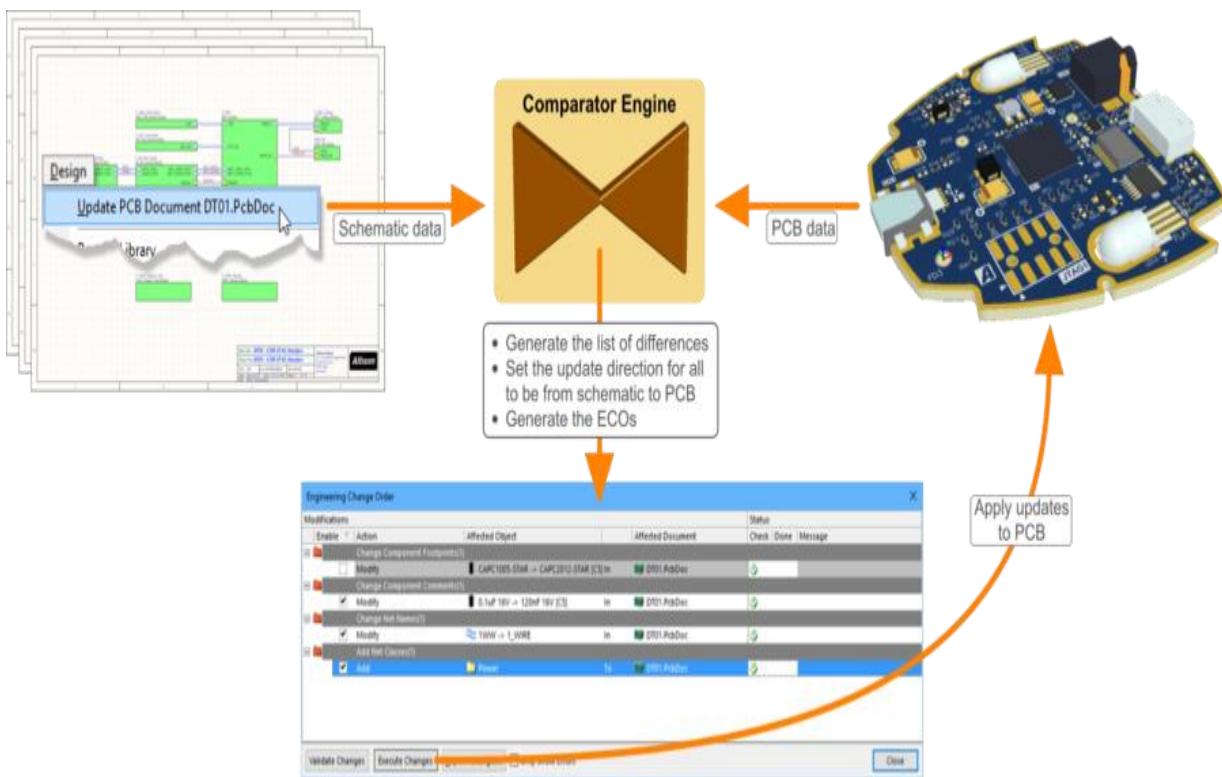
Khi hướng Cập nhật đã được chỉ định, hãy nhấp vào nút **Tạo Thú tự Thay đổi Kỹ thuật** để mở hộp thoại *Thú tự Thay đổi Kỹ thuật*, được mô tả bên dưới.

Thực hiện cập nhật trực tiếp

Vì nhà thiết kế thường biết họ muốn áp dụng các bản cập nhật theo cách nào và những bản cập nhật đó đều theo cùng một hướng, bạn có thể chọn bỏ qua quá trình phát hiện sự khác biệt và chỉ định hướng vừa được mô tả.

Thay vì chọn lệnh **Hiển thị sự khác biệt** từ menu **Dự án**, bạn chọn lệnh **Cập nhật** từ menu **Thiết kế**, từ trình chỉnh sửa sơ đồ hoặc trình chỉnh sửa PCB. Lựa chọn của bạn về trình chỉnh sửa mà từ đó bạn chạy lệnh, cho biết hướng bạn muốn thực hiện các thay đổi - từ trình chỉnh sửa này đến trình chỉnh sửa đó. Ví dụ: bạn sẽ chọn **Thiết kế > Cập nhật** trong trình chỉnh sửa sơ đồ để đẩy tất cả các thay đổi từ sơ đồ sang PCB.

Các *Sự khác nhau giữa* hộp thoại bây giờ sẽ được bỏ qua, thay vào đó bạn sẽ nhảy thẳng vào *kỹ thuật tự Change* thoại.



Nếu tất cả các bản cập nhật sẽ được áp dụng theo cùng một hướng, hãy sử dụng lệnh **Design »Update**.

Giải quyết sự khác biệt - Áp dụng ECOs

Mỗi sự khác biệt được giải quyết bằng cách áp dụng Lệnh Thay đổi Kỹ thuật (gọi tắt là ECO). Các ECO được liệt kê trong hộp thoại *Thứ tự Thay đổi Kỹ thuật* với một ECO trên mỗi dòng, mỗi ECO có hộp kiểm **Bật** riêng.

Khi sử dụng hộp thoại *Thứ tự Thay đổi Kỹ thuật*:

- Hộp thoại mở ra khi tất cả các thay đổi đã được bật, hãy tắt bất kỳ thay đổi nào bạn muốn giữ lại ngay bây giờ. Hộp thoại hỗ trợ nhiều lựa chọn, sử dụng menu ngữ cảnh nhấp chuột phải để chuyển đổi trạng thái bật của các ECO đã chọn.
- Sử dụng lệnh nhấp chuột phải Cross Probe để kiểm tra các đối tượng bị ảnh hưởng bởi ECO đó.
- Sử dụng nút **Xác thực Thay đổi** để kiểm tra xem các thay đổi có thể được thực hiện hay không. Các ECO thường không thành công vì một đối tượng không có sẵn, ví dụ như dấu chân PCB được chỉ định không tồn tại trong các Thu viện có sẵn hoặc vùng đệm được chỉ định không tồn tại trên dấu chân.
- Một ECO cũng có thể không thành công vì một đối tượng cần thiết của một ECO nhất định không có mặt, mà chỉ được thêm vào quá trình xử lý các ECO hiện tại. Trong trường hợp này, hãy chạy lại lệnh Cập nhật để hoàn thành ECO đó.

Engineering Change Order				X
Modifications			Status	
Enable	Action	Affected Object	Affected Document	Check Done Message
Change Component Footprints(1)	<input type="checkbox"/> Modify	CAPC1005-STAR > CAPC2012-STAR [C5] In	DT01.PcbDoc	
Change Component Comments(1)	<input checked="" type="checkbox"/> Modify	0.1uF 16V -> 120nF 16V [C5]	In DT01.PcbDoc	
Change Net Names(1)	<input checked="" type="checkbox"/> Modify	1WW -> 1_WIRE	In DT01.PcbDoc	
Add Net Classes(1)	<input checked="" type="checkbox"/> Add	Power	To DT01.PcbDoc	

[Validate Changes](#) [Execute Changes](#) [Report Changes...](#) Only Show Errors

[Close](#)

Mỗi thay đổi thiết kế thể hiện như một ECO, hãy kích hoạt những thay đổi được yêu cầu. Khi tất cả các ECO đã được áp dụng, sơ đồ và PCB sẽ đồng bộ trở lại.

Hộp thoại ECO hỗ trợ nhiều lựa chọn. Nhấp chuột phải vào hộp thoại để truy cập các lệnh để: **Bật** hoặc **Tắt** các ECO đã **Chọn**, hoặc để **thăm dò chéo** đối với các đối tượng bị ảnh hưởng bởi ECO đó.

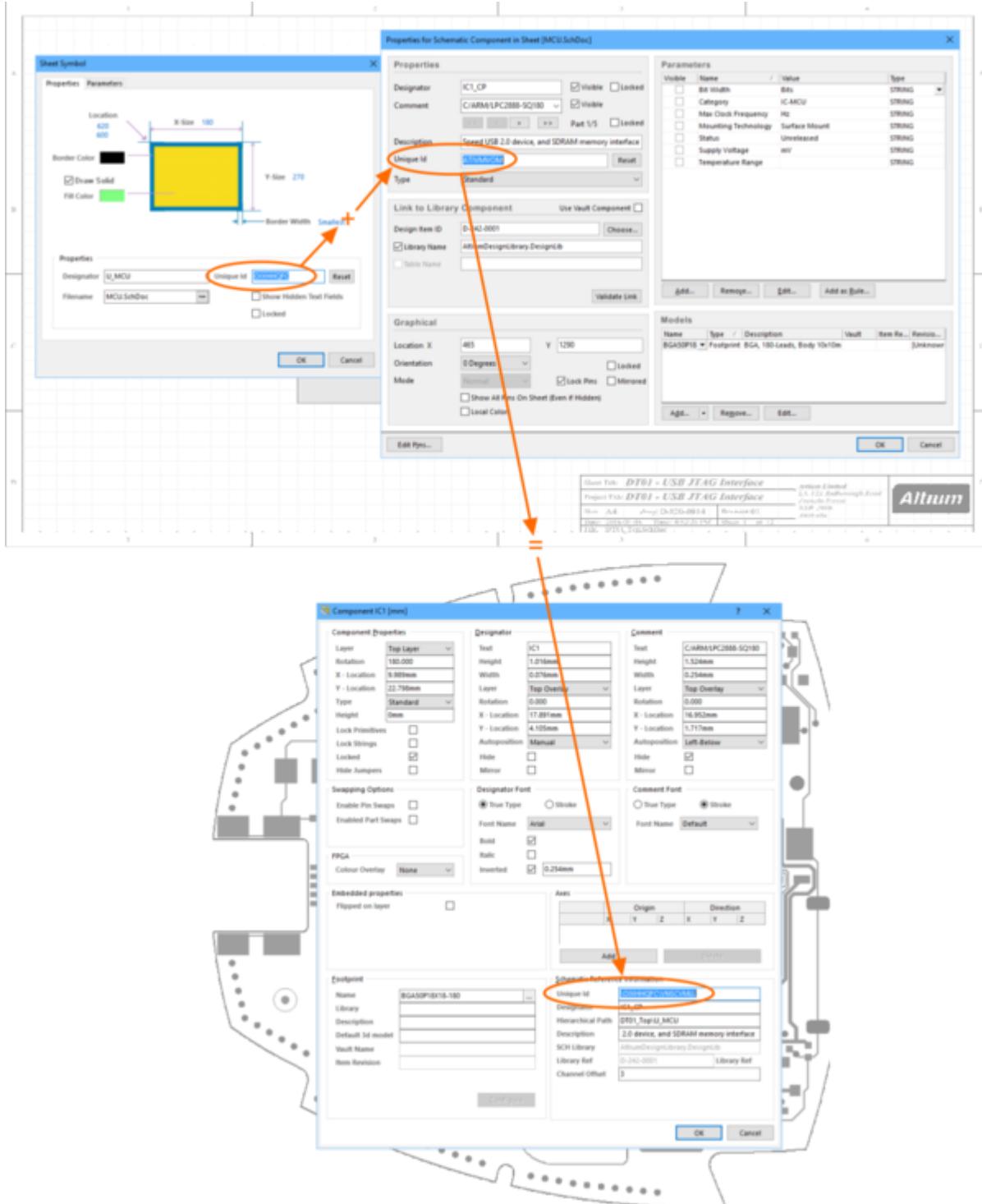
Hiểu mô hình liên kết giữa sơ đồ và PCB

Liên kết các thành phần

Mỗi thành phần giản đồ được liên kết với thành phần PCB của nó thông qua Mã định danh duy nhất (UID). Trong trình chỉnh sửa sơ đồ, UID được gán khi thành phần được đặt trên trang tính và giá trị đó được chuyển đến thành phần PCB khi thiết kế được chuyển sang trình chỉnh sửa PCB. Mặc dù sơ đồ này sẽ phù hợp cho một thiết kế đơn giản, nhưng nó không có khả năng hỗ trợ thiết kế đa kênh, trong đó thành phần sơ đồ giống nhau được lắp lại trong mỗi kênh vật lý (có nghĩa là các thành phần PCB lắp lại sẽ kết thúc với cùng một UID).

Để phục vụ cho việc này, UID cho thành phần PCB được tạo bằng cách kết hợp UID của Biểu tượng trang chính với UID của thành phần giản đồ, với cú pháp sau (được hiển thị trong hình ảnh bên dưới):

PcbUID = \SheetSymbolUID\ComponentUID



nối từng thành phần sơ đồ với PCB tương đương của nó.

Đối với thiết kế đa kênh, cú pháp của PCB UID thay đổi một chút, hãy tham khảo bài viết [Thiết kế đa kênh và đa kênh](#) để biết thêm thông tin.

UID kết

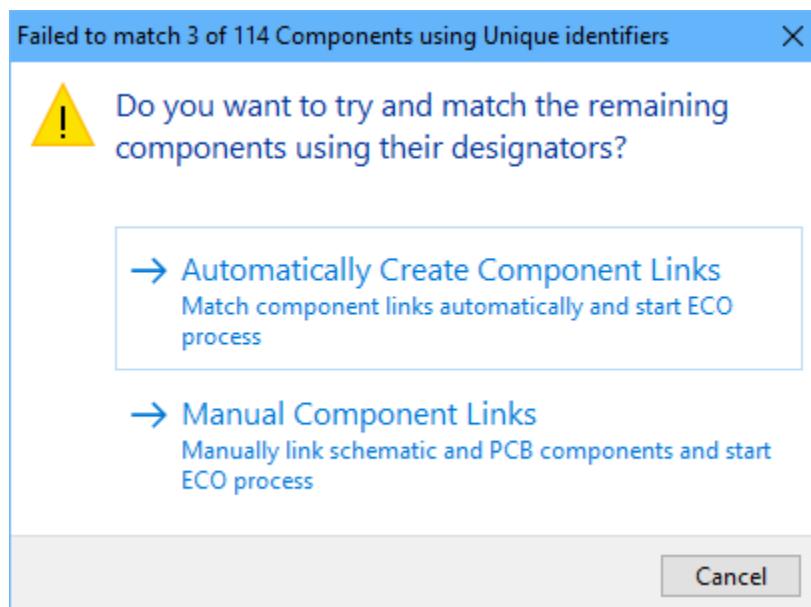
Khi liên kết thành phần bị hỏng

Mỗi thành phần sơ đồ liên kết với thành phần PCB của nó thông qua Bộ định danh duy nhất (UID). Bằng cách sử dụng một số nhận dạng duy nhất, điều đó có nghĩa là các ký hiệu chỉ định có thể trở nên không đồng bộ hóa (có thể bằng cách thực hiện chủ thích lại PCB một số lần), mà không có bất kỳ rủi ro nào về việc sơ đồ và PCB trở nên không thể đồng bộ hóa.

UID được gán cho thành phần sơ đồ khi phần đó được đặt trên trang tính, sau đó được chuyển sang thành phần PCB khi thiết kế lần đầu tiên được chuyển từ trình chỉnh sửa sơ đồ sang trình chỉnh sửa PCB. Cho đến nay rất tốt, không có quản lý liên kết thành phần nào cần được thực hiện.

Nhưng nếu các thành phần bổ sung được thêm vào sơ đồ và thực hiện [Cập nhật PCB](#), không còn sự khớp giữa tập hợp các thành phần sơ đồ và tập hợp các thành phần PCB, vì vậy phần mềm sẽ tạm dừng và cảnh báo rằng không phải tất cả các thành phần đều được liên kết, và đề nghị đối sánh bởi người được chỉ định thay thế. Trong các phiên bản trước của Altium Designer, cách duy nhất để khắc phục tình trạng này là chuyển sang trình chỉnh sửa PCB và chạy lệnh [Project > Component Links](#). Lệnh này mở [hộp thoại Chính sửa liên kết thành phần](#), đây là giao diện để quản lý các UID. Sau đó, nhà thiết kế sẽ so khớp các UID và nhấp vào **Thực hiện cập nhật**, kết quả là các UID PCB sẽ được cập nhật nếu cần, vì vậy mỗi UID khớp với phần sơ đồ của chúng.

Để đơn giản hóa cách nhà thiết kế đối phó với tình huống này, Altium Designer 16.1 đã giới thiệu tính năng phân giải liên kết tự động. Bây giờ khi bạn thực hiện Cập nhật PCB và có thành phần UID không khớp, hộp thoại sau sẽ xuất hiện:



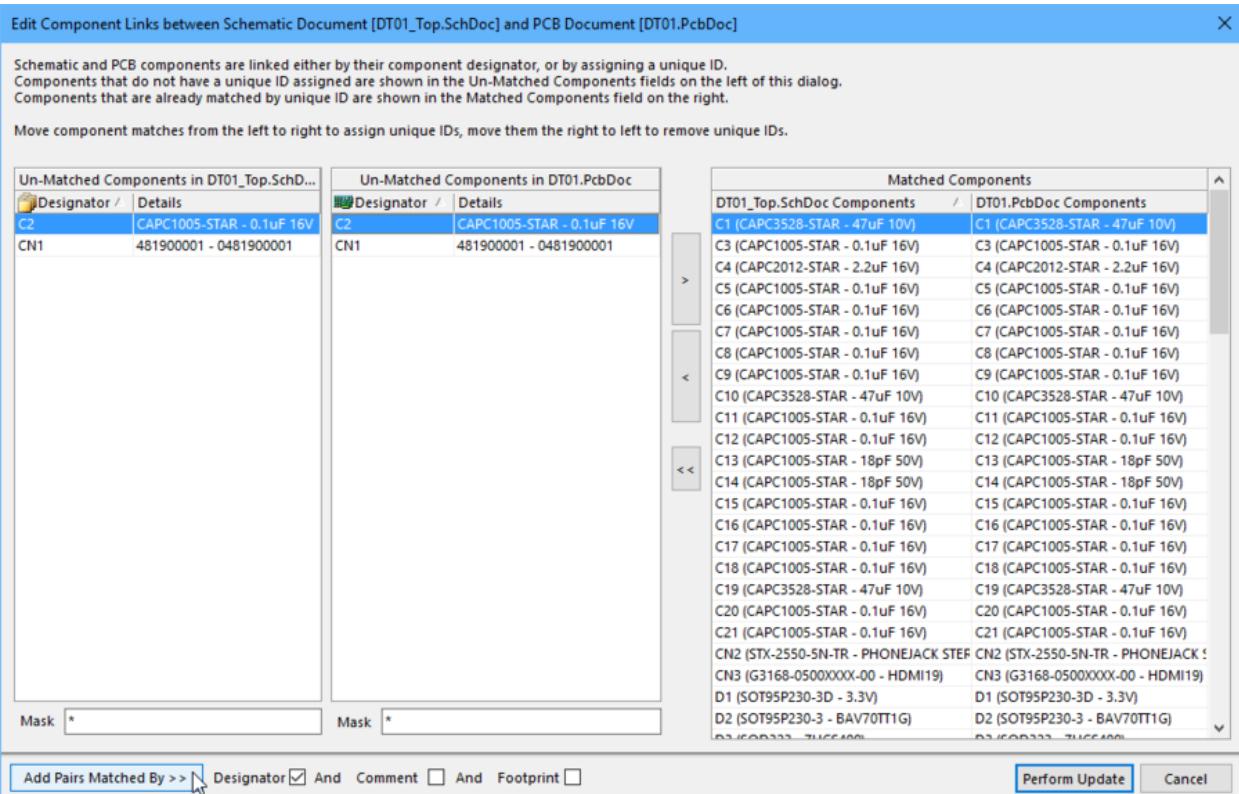
Nếu có UID ở một trong hai bên mà không có UID phù hợp ở bên kia, hộp thoại này sẽ xuất hiện.

Bất kể bạn nhấp vào nút nào, trình tự các bước đều giống nhau. Các bước này bao gồm:

1. Cập nhật các liên kết thành phần - nếu nút **Tự động** được nhấp, bước này sẽ không hiển thị trên màn hình. Nếu nút **Thủ công** được nhấp, hộp thoại *Chỉnh sửa liên kết thành phần* sẽ mở ra, tại đây bạn phải khớp bất kỳ thành phần nào chưa khớp và chuyển chúng sang phía **Thành phần đã khớp**. Đừng lo lắng về các thành phần sơ đồ mới, chúng vẫn ở bên trái của hộp thoại và được thêm vào PCB như một phần của bước ECO. Khi tất cả các đối sánh có thể đã được thực hiện, nút **Thực hiện Cập nhật** được nhấp để chỉ định các UID phù hợp cho các thành phần mới được đối sánh đó. Nếu UID được thay đổi, hộp thoại *Thông tin* sẽ báo cáo chi tiết.
2. Ghép bất kỳ lưỡi nào chưa khớp - Nếu có lưỡi có tên không khớp ở cả hai bên, hộp thoại Khớp thủ công sẽ xuất hiện tiếp theo, báo cáo rằng một số lưỡi không thể được khớp (hộp thoại này không xuất hiện nếu tất cả các lưỡi đều khớp). Nếu bạn bấm **Yes** trong *thu Match* thoại các hộp thoại Match Nets sẽ mở ra, nơi bạn có thể tự phù hợp với bất kỳ sơ đồ lưỡi chưa từng có để lưỡi PCB chưa từng có. Nếu bạn chọn nhấp vào **Không**, thì thay vì bạn kết hợp các lưỡi có tên khác nhau, các lưỡi chưa khớp hiện có sẽ bị xóa khỏi PCB và các lưỡi mới hiện không tồn tại trên PCB sẽ được thêm vào.
3. Các Thay đổi thứ tự Engineering thoai sau đó mở ra, quy định chi tiết tất cả các thay đổi đó phải được thực hiện đồng bộ các schematic và PCB. Khi chúng được thực thi, sơ đồ và PCB sẽ được đồng bộ trở lại.

Khớp thủ công các UID thành phần

1. Nhấp vào **Hủy** trong hộp thoại *Không khớp* được đề cập trong phần trước để chấm dứt quá trình Cập nhật, sau đó đặt PCB trở thành tài liệu hoạt động.
2. Chọn lệnh **Project »Component Links** để mở hộp thoại *Edit Component Links*, như hình dưới đây. Hộp thoại này là nơi quản lý đồng bộ hóa UID. Nó hiển thị các thành phần sơ đồ và PCB chưa khớp trong hai cột hẹp hơn ở bên trái, với các thành phần phù hợp được hiển thị ở bên phải.
3. Các thành phần đã chọn có thể được đối sánh riêng lẻ bằng cách sử dụng các điều khiển ở giữa hộp thoại hoặc tất cả các thành phần chưa được khớp có thể được khớp tự động bằng cách sử dụng nút **Thêm các cặp được so khớp theo** (và các hộp kiểm được liên kết) ở cuối hộp thoại. Nếu bạn biết các thành phần đã có ký hiệu phù hợp, hãy sử dụng nút này. Kết quả là, đối với tất cả các thành phần không khớp, PCB UID được cập nhật để phù hợp với UID sơ đồ.
4. Khi các UID được khớp lại, hãy quay lại giản đồ và chạy lại lệnh **Thiết kế »Cập nhật**.



Hộp thoại Chính sửa liên kết thành phần được sử dụng để phát hiện và giải quyết sự không phù hợp của UID, nó được chạy từ trình chỉnh sửa PCB.

Nếu bạn sao chép / dán hoặc cắt / dán một thành phần giản đồ, UID của nó sẽ tự động được làm mới - điều này đảm bảo rằng mọi thành phần tiếp tục có một số nhận dạng duy nhất. Nếu bạn đang tổ chức lại giản đồ của mình (đã được chuyển sang trình chỉnh sửa PCB) và cần di chuyển các thành phần sang một trang tính khác, hãy chọn chúng, nhấp chuột phải và chọn Refactor »Di chuyển mảnh phụ đã chọn sang trang tính khác từ lệnh danh mục.

Phù hợp với Nets và Class

Cả lưới và lớp đều có cha (mạng hoặc lớp) và con (các thành viên của mạng hoặc lớp đó). Đối sánh những điều này yêu cầu một cách tiếp cận khác với cơ chế UID được sử dụng để liên kết thành phần, để hỗ trợ các thay đổi đối với: cấp độ gốc; Trẻ con; hoặc cả cha mẹ và con cái của nó. Ví dụ, một cái gì đó đơn giản như thay đổi tên của một mạng trên sơ đồ không yêu cầu mạng đó và tất cả các mạng con của nó phải được xóa khỏi PCB, sau đó mạng mới được đặt tên được thêm vào và cuối cùng tất cả các mạng con được thêm vào mạng mới đó .

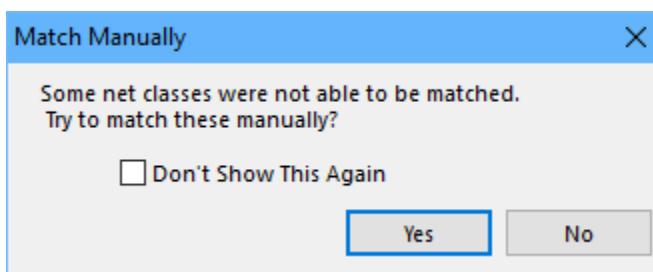
Để hỗ trợ điều này, phần mềm bao gồm các thuật toán so khớp riêng biệt để so khớp các lưới và lớp theo các thành viên của họ, và cả theo tên của họ. Quá trình đối sánh được định cấu hình trong phần **Tiêu chí Đối sánh** của tab **Bộ so sánh** của hộp thoại *Tùy chọn cho Dự án*.

Object Matching Criteria					
Object Type	Min Match %	Min Matched Members	Use Name Matching	Show Manual Matching Dialog	
Net	75	3	<input checked="" type="checkbox"/> After member matching	<input checked="" type="checkbox"/> For unmatched objects	
Net Class	75	3	<input checked="" type="checkbox"/> After member matching	<input checked="" type="checkbox"/> For unmatched objects	
Component Class	75	3	<input checked="" type="checkbox"/> After member matching	<input checked="" type="checkbox"/> For unmatched objects	
Differential Pair	50	1	<input checked="" type="checkbox"/> After member matching	<input checked="" type="checkbox"/> For unmatched objects	
Code Memory	75	3	<input checked="" type="checkbox"/> After member matching	<input checked="" type="checkbox"/> For unmatched objects	

Cài đặt mặc định là để khớp các thành viên trước, sau đó là tên Loại đối tượng.

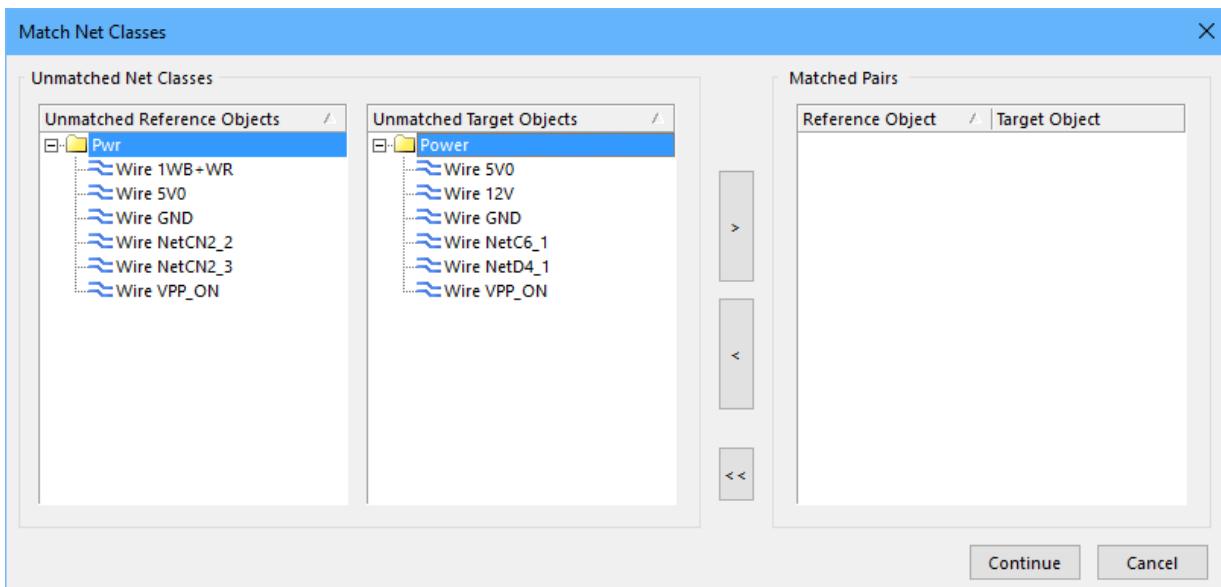
Đối sánh cho các loại đối tượng này được xử lý theo cách sau:

- Trong quá trình đồng bộ hóa thiết kế, hành vi mặc định trước tiên là cố gắng so khớp các thành viên, phù hợp với cài đặt **Thành viên** khớp tối thiểu và % khớp tối thiểu .
- Nếu việc đối sánh thành viên không thành công, phần mềm sẽ tìm cách đối sánh theo tên (nếu tùy chọn **Sử dụng Đối sánh Tên** được bật).
- Nếu một trong hai quy trình kết hợp này thành công, bạn sẽ chuyển đến hộp thoại *Thứ tự Thay đổi Kỹ thuật*.
- Nếu cả hai kỹ thuật đối sánh không thành công (hoặc tùy chọn **Sử dụng Đối sánh Tên** được đặt thành Never), hộp thoại *Đối sánh Thủ công* sẽ mở ra.



Bấm Có để khớp mạng hoặc lớp theo cách thủ công.

- Nhấp vào **Không** trong hộp thoại *Khớp theo cách thủ công* sẽ bỏ qua quá trình đối sánh người dùng và chuyển thẳng đến hộp thoại *Thứ tự Thay đổi Kỹ thuật*. Vì bạn chưa cố gắng so khớp bất kỳ đối tượng chưa khớp nào, phần mềm sẽ giả định rằng đối tượng tham chiếu và đối tượng đích là không liên quan, do đó sẽ tạo ECO để loại bỏ **Đối tượng tham chiếu chưa khớp** khỏi bảng và thêm **Đối tượng mục tiêu chưa khớp** làm đối tượng mới.
- Nếu bạn nhấp vào **Có** trong hộp thoại để đối sánh theo cách thủ công, hộp thoại *Đối sánh < Loại đối tượng >* sẽ mở ra, như được hiển thị bên dưới (chú thích hộp thoại sẽ thay đổi để phù hợp với loại đối tượng chưa khớp).



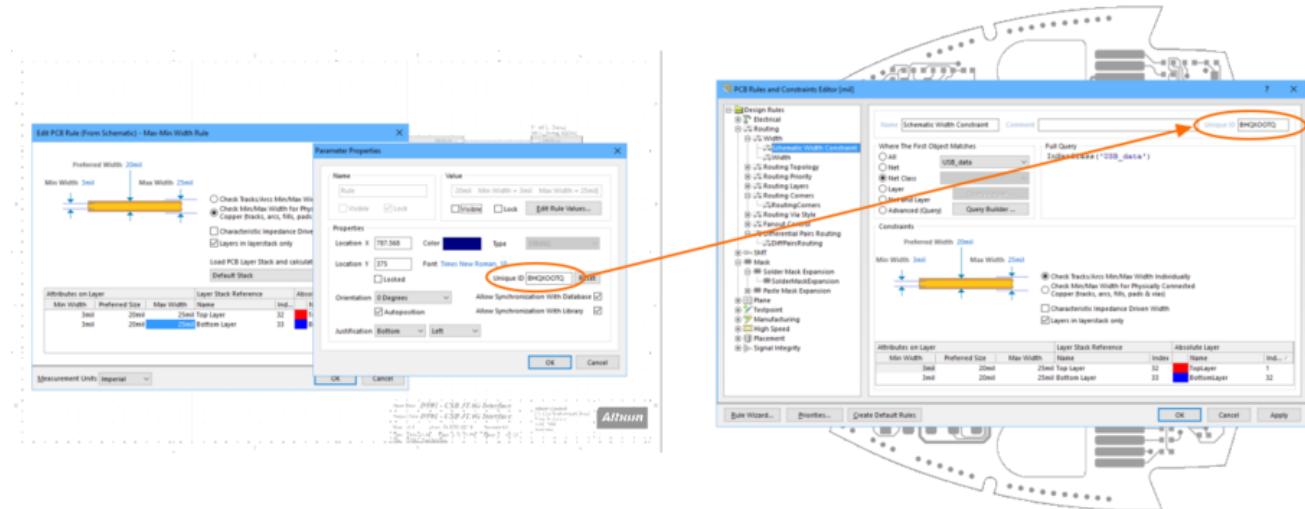
Các *trận đấu <ObjectType>* hộp thoại được sử dụng để tay phù hợp với đối tượng mà bạn biết để được xuất hiện. Để trống phía bên phải và nhấp vào **Tiếp tục** nếu bạn không chắc chắn.

- Trong hộp thoại này, bạn chọn các đối tượng mà bạn muốn đối sánh trong **Đối tượng tham chiếu chưa khớp** và **Đối tượng mục tiêu chưa khớp**, sau đó chuyển chúng sang phần **Các cặp đã khớp** của hộp thoại. Đối với những đối tượng này, phần mềm sẽ tạo ECO để cập nhật tên để chúng khớp với nhau và ECO để xóa / thêm thành viên, vì vậy chúng cũng khớp.
- Bạn không cần phải khớp các đối tượng theo cách thủ công, ví dụ như nếu bạn không chắc chắn. Đối với bất kỳ đối tượng chưa khớp nào, phần mềm sẽ giả định rằng đối tượng tham chiếu và đối tượng đích là không liên quan, do đó sẽ tạo ECO để xóa **Đối tượng tham chiếu chưa khớp** khỏi bảng và thêm **Đối tượng mục tiêu chưa khớp** làm đối tượng mới.
- Khi bạn đã khớp các đối tượng mà bạn biết là khớp, hãy nhấp vào **Tiếp tục** để mở hộp thoại *Thứ tự Thay đổi Kỹ thuật*.
- Nếu bạn nhấp vào **Hủy**, quá trình cập nhật sẽ kết thúc.

Phù hợp với các quy tắc thiết kế

Các quy tắc thiết kế được xác định trên sơ đồ cũng phải được liên kết với quy tắc phù hợp trên PCB. Nếu không có cơ chế liên kết, bạn sẽ không thể cập nhật quy tắc trên giản đồ và chuyển những thay đổi đó đến PCB. Đối sánh quy tắc Schematic-to-PCB giống như đối sánh thành phần, nó là một đối một. Do đó, UID cũng có thể được sử dụng để liên kết quy tắc thiết kế sơ đồ với quy tắc thiết kế PCB.

UID được gán cho tham số giữ định nghĩa quy tắc trên giản đồ và được chuyển đến PCB trong quá trình đồng bộ hóa thiết kế.



Các quy tắc thiết kế cũng sử dụng một UID để khớp định nghĩa quy tắc thiết kế sơ đồ với quy tắc thiết kế PCB.

Thông thường, bạn sẽ không cần quản lý việc khớp các quy tắc theo cách thủ công, trừ khi bạn đã chỉnh sửa UID trong sơ đồ hoặc PCB. Nếu các UID không khớp, phần mềm sẽ thêm quy tắc mới vào PCB cho bất kỳ quy tắc sơ đồ nào không có quy tắc PCB phù hợp và xóa bất kỳ quy tắc thiết kế PCB nào không có quy tắc thiết kế sơ đồ phù hợp.

Thăm dò chéo và lựa chọn

Altium Designer cung cấp nhiều khả năng thăm dò chéo và chọn chéo mạnh mẽ cho phép điều hướng nhanh chóng, hiệu quả giữa các miền thiết kế sơ đồ và PCB. Các *Cross-Probing* và *Hội Chữ thập Lựa chọn* tính năng này là công cụ tìm kiếm tuyệt vời để giúp xác định vị trí các đối tượng trong biên tập viên khác bằng cách chọn đối tượng trong trình soạn thảo hiện hành.

Thăm dò chéo được sử dụng để trỏ đến một đối tượng đã chọn trên tài liệu hiện tại, sau đó "nhảy tới" đối tượng tương ứng của nó trong tài liệu đích. Giữa PCB và trình chỉnh sửa giản đồ, hỗ trợ thăm dò chéo đầy đủ được cung cấp cho các tài liệu, thành phần, bus, lưỡi và (các) chân / miếng đệm. Theo nghĩa đen, với một cú nhấp chuột, bạn có thể chọn một đối tượng được hỗ trợ trong một trong hai miền và thấy nó được đánh dấu trong cả hai.

Chọn chéo cho phép bạn chọn (các) đối tượng trên tài liệu nguồn và bằng cách bật lệnh chọn chéo, (các) đối tượng tương tự sẽ được chọn trên tài liệu đích.

Biên dịch và Mô hình Dữ liệu Hợp nhất

Khi một dự án Altium Designer được biên dịch, Mô hình Dữ liệu Hợp nhất (UDM) sẽ được tạo trong bộ nhớ của máy tính. UDM mô hình hóa mọi khía cạnh của thiết kế, bao

gồm các thành phần, kết nối, dấu chân thành phần, mối quan hệ giữa dự án PCB và dự án FPGA được kết nối, v.v. Chính Mô hình Dữ liệu Hợp nhất này cho phép chức năng thăm dò chéo giữa các miền thiết kế khác nhau . Nhiều tính năng thăm dò chéo sử dụng tính năng tự động biên dịch, đảm bảo sử dụng mô hình mới nhất của dữ liệu. Việc biên dịch cũng có thể được thực hiện theo cách thủ công bất kỳ lúc nào bằng cách nhấp vào **Dự án »Biên dịch Dự án PCB** .

Thiết lập tài liệu

Nhiều tính năng của Cross-Probing và Cross Selection hoặc yêu cầu hoặc dễ sử dụng hơn, xem cả tài liệu sơ đồ và PCB cùng một lúc. Bạn có thể xem cả hai tài liệu cùng một lúc bằng cách thực hiện một trong các thao tác sau:

- Nhấp chuột phải vào tab tài liệu sau đó chọn **Split Vertical** hoặc **Split Horizontal** tùy thuộc vào sở thích xem của bạn.
Để đóng chế độ xem chia đôi màn hình, hãy nhấp chuột phải vào tab tài liệu, sau đó chọn **Merge All** .
- Nếu bạn đang sử dụng nhiều màn hình, bạn có thể kéo tab tài liệu sang một màn hình khác.

Thăm dò chéo

Tính năng thăm dò chéo được truy cập từ trình chỉnh sửa sơ đồ hoặc PCB bằng lệnh **Tools »Cross Probe** hoặc bằng cách nhấp vào  từ thanh công cụ.

Các đối tượng được khảo sát chéo trên tài liệu đích sẽ được hiển thị theo các tùy chọn đánh dấu được xác định trên trang Hệ thống - Điều hướng của hộp thoại *Tùy chọn* . Đánh dấu sẽ không được áp dụng cho tài liệu gốc.

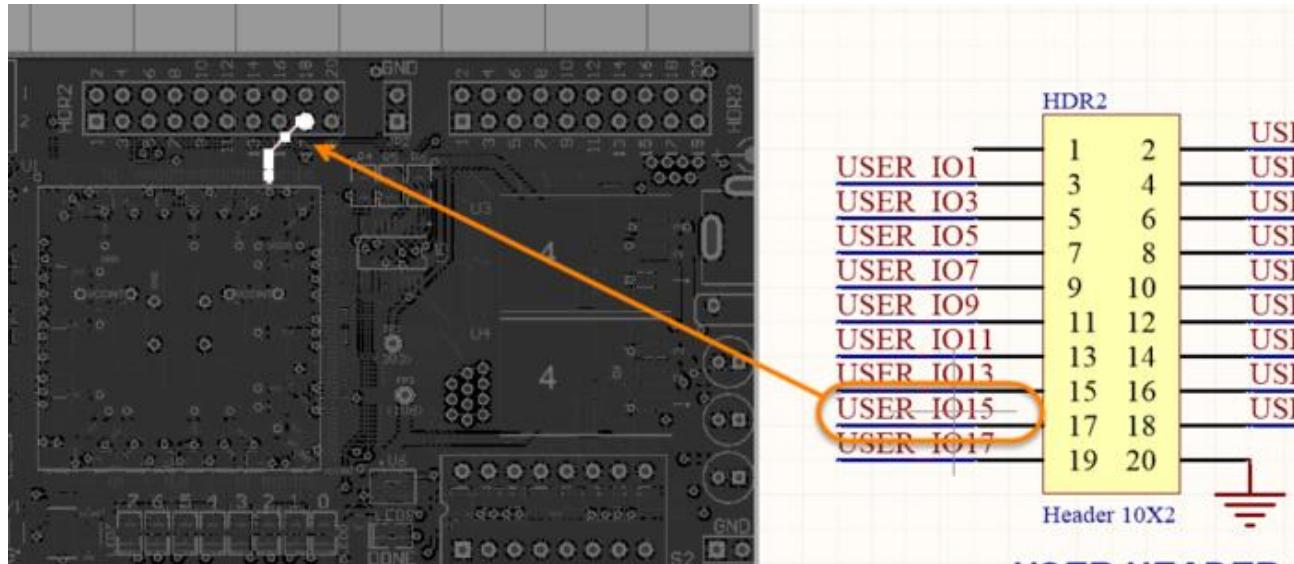
Để thực hiện khảo sát chéo, hãy đảm bảo rằng các tài liệu sơ đồ nguồn và PCB cho dự án được mở dưới dạng tài liệu theo thẻ trong cửa sổ thiết kế chính.

Có hai chế độ thăm dò chéo, Chế độ liên tục và Chế độ nhảy tới, cả hai đều được mô tả trong các phần sau.

Chế độ dò đường chéo liên tục

Chế độ Liên tục cho phép bạn ở trong tài liệu nguồn trong khi dò tìm các đối tượng khác nhau trên tài liệu đích. Đối với chế độ này, đảm bảo rằng các tài liệu sơ đồ và PCB được mở cạnh nhau trong cửa sổ thiết kế chính.

Sau khi khởi chạy lệnh thăm dò chữ thập bằng cách nhấp vào **Công cụ »Đầu dò chữ thập**, con trỏ sẽ thay đổi thành dấu vết chéo và bạn sẽ được nhắc chọn đối tượng mà bạn muốn điều hướng. Định vị con trỏ trên đối tượng cần thiết trong không gian làm việc và nhấp hoặc nhấn **Enter**. Đối tượng tương ứng sẽ được đánh dấu trên tài liệu đích.



Thăm dò chéo từ nguồn (ví dụ: sơ đồ) với đối tượng tương ứng được đánh dấu trên PCB.

Bạn có thể tiếp tục thăm dò chéo các đối tượng bổ sung hoặc nhấp chuột phải hoặc nhấn **Esc** để thoát.

Khi sử dụng Chế độ liên tục, nếu bạn chưa mở song song các tài liệu sơ đồ và PCB, bạn sẽ phải kích hoạt tài liệu PCB để xem kết quả của đầu dò chéo.

Khi sử dụng Chế độ liên tục nhiều lần, đối tượng cuối cùng bạn chọn là đối tượng được hiển thị / đánh dấu. Lọc thăm dò chéo không được tích lũy.

Chuyển sang chế độ dò đường chéo

Chế độ Jump To cho phép bạn thăm dò chéo tới một đối tượng duy nhất và biến tài liệu đích thành tài liệu hoạt động.

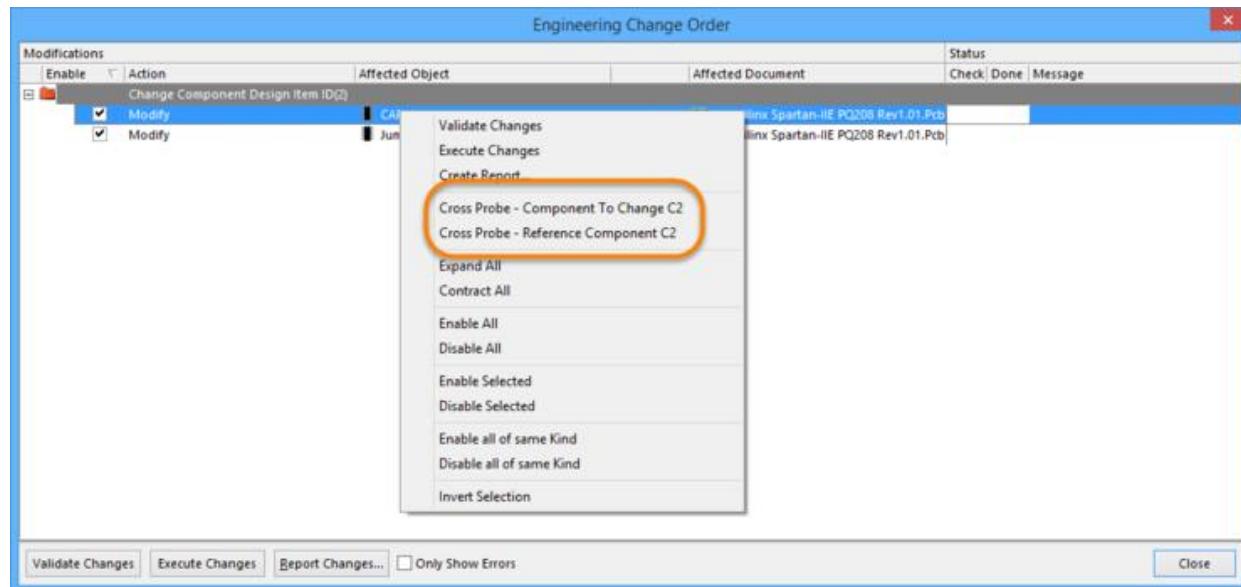
Sau khi khởi chạy lệnh thăm dò chữ thập bằng cách nhấp vào **Công cụ »Đầu dò chữ thập**, con trỏ sẽ thay đổi thành dấu vết chéo và bạn sẽ được nhắc chọn đối tượng mà bạn muốn điều hướng. Định vị con trỏ trên đối tượng cần thiết trong không gian làm việc và **Ctrl + nhấp** hoặc nhấn **Ctrl + Enter**. Đối tượng tương ứng sẽ được đánh dấu trên tài liệu đích, đối tượng này sẽ được làm tài liệu hoạt động.

Thăm dò chéo từ các vị trí bổ sung trong phần mềm

Cross-Probing cũng có thể được thực hiện ở nhiều vị trí bổ sung khác nhau trong phần mềm. Các vị trí bổ sung này cho phép bạn sử dụng chức năng thăm dò chéo ngay cả khi bạn đang xây dựng thiết kế của mình mà không cần sử dụng lệnh **Tools >Cross Probe**.

Thăm dò trong hộp thoại đơn đặt hàng thay đổi kỹ thuật

Bạn có thể thăm dò chéo từ hộp thoại **Thứ tự Thay đổi Kỹ thuật** bằng cách nhấp chuột phải để truy cập các lệnh thăm dò chéo để định vị thành phần Tham chiếu trong sơ đồ hoặc thành phần đích trong PCB như thể hiện trong hình ảnh bên dưới:



Thăm dò sự khác biệt giữa các hộp thoại

Các **Sự khác nhau giữa** hộp thoại có thể được sử dụng để xuyên thăm dò để một thành phần được lựa chọn trên sơ đồ hoặc PCB. Sử dụng lệnh **Project >Show Differences** để mở hộp thoại *Differences between*, sau đó nhấp đúp vào một mục nhập để thăm dò chéo tới thành phần đó trên giản đồ hoặc PCB.

Thăm dò chéo từ hộp thoại quản lý biến thể

Bạn có thể sử dụng hộp thoại **Quản lý biến thể** để thăm dò chéo đến thành phần đã chọn trên sơ đồ hoặc PCB. Nhấp đúp vào thành phần trong hộp thoại *Quản lý biến thể* hoặc nhấp chuột phải, sau đó chọn **Cross Probe** từ menu.

Thăm dò trong bảng sự khác biệt

Để thăm dò qua sơ đồ hoặc PCB từ **bảng điều khiển Sự khác biệt** (nhấp vào nút **Khám phá sự khác biệt** trong hộp thoại *Sự khác biệt giữa* để truy cập bảng điều khiển này), hãy nhấp đúp vào một mục trong bảng điều khiển.

Thăm dò trong BomDoc

Cross-Probing cũng có thể được thực hiện trong BomDoc. Trên tab **Thành phần BOM** của BomDoc, nhấp chuột phải, sau đó chọn **Điều hướng đến** và chọn mục bạn muốn điều hướng: thành phần sơ đồ, mục nhập Danh mục BOM hoặc thành phần Vault.

Bill of Materials for Project [SL1 Xilinx Spartan...]							Currency	Actual price per board	Target price per board	Production Quantity	Refresh
		USD	0.00 USD	0.00 USD	1						
BOM Components		BOM Catalog						Search...			
View Options		Add from Catalog	Navigate to								
Grouped Columns		Show	Comment	Description	Designator	Footprint	LibRef	Quantity			
All Columns		Show	AEML Code	0.1uF	Polar Capacitor	C1	CAPPR2-SX6.8	CAP_POLAR_1	1		
			Capacitor Type	0.1uF	Polar Capacitor	C2	CAPPR2-SX6.8	CAP_POLAR_1	1		
			Code - JEDEC	0.1uF	Polar Capacitor	C3	CAPPR2-SX6.8	CAP_POLAR_1	1		
			Code_JEDEC	0.1uF	Capacitor	C4	CC1608-0603	CAP	1		
			Comment	0.1uF	Capacitor	C5	CC1608-0603	CAP	1		
			Component Kind	0.1uF	Capacitor	C6	CC1608-0603	CAP	1		
			Datasheet	0.1uF	Capacitor	C7	CC2012-0805	CAP	1		
			DatasheetDocument	0.1uF	Capacitor	C8	CC2012-0805	CAP	1		
			Description	0.1uF	Capacitor	C9	CC1608-0603	CAP	1		
			Designator	0.1uF	Capacitor	C10	CC2012-0805	CAP	1		
			DesignItemID	0.1uF	Capacitor	C11	CC2012-0805	CAP	1		
			Footprint	0.1uF	Capacitor	C12	CC2012-0805	CAP	1		
			Ibis Model	0.1uF	Capacitor	C13	CC2012-0805	CAP	1		
			Index	0.1uF	Polar Capacitor	C14	MCCT-B	CAP_POLAR	1		
			ItemGUID	0.1uF	Capacitor	C15	CC2012-0805	CAP	1		
			ItemType	0.1uF	Capacitor	C16	CC2012-0805	CAP	1		
			Library Name	0.1uF	Capacitor	C17	CC2012-0805	CAP	1		
			Library Reference	0.1uF	Capacitor	C18	CC2012-0805	CAP	1		
			LibRef	0.1uF	Capacitor	C19	CC1608-0603	CAP	1		
			LogicalDesignator	0.1uF	Capacitor	C20	CC2012-0805	CAP	1		
			Manufacturer	0.1uF	Capacitor	C21	CC2012-0805	CAP	1		
			PackageDocument	0.1uF	Capacitor	C22	CC2012-0805	CAP	1		
			Package Information	0.1uF	Polar Capacitor	C23	MCCT-B	CAP_POLAR	1		
			PackageReference	0.1uF	Capacitor	C24	CC2012-0805	CAP	1		
			PackageReference	0.1uF	Capacitor	C25	CC2012-0805	CAP	1		
				0.1uF	Capacitor	C26	CC2012-0805	CAP	1		
				0.1uF	Polar Capacitor	C27	MCCT-B	CAP_POLAR	1		
				0.1uF	Polar Capacitor	C28	MCCT-B	CAP_POLAR	1		
				0.1uF	Polar Capacitor	C29	MCCT-B	CAP_POLAR	1		
				0.1uF	Polar Capacitor	C30	MCCT-B	CAP_POLAR	1		
				0.1uF	Capacitor	C31	CC2012-0805	CAP	1		
				0.1uF	Capacitor	C32	CC2012-0805	CAP	1		
				0.1uF	Polar Capacitor	C33	MCCT-B	CAP_POLAR	1		
				0.1uF	Capacitor	C34	CC2012-0805	CAP	1		

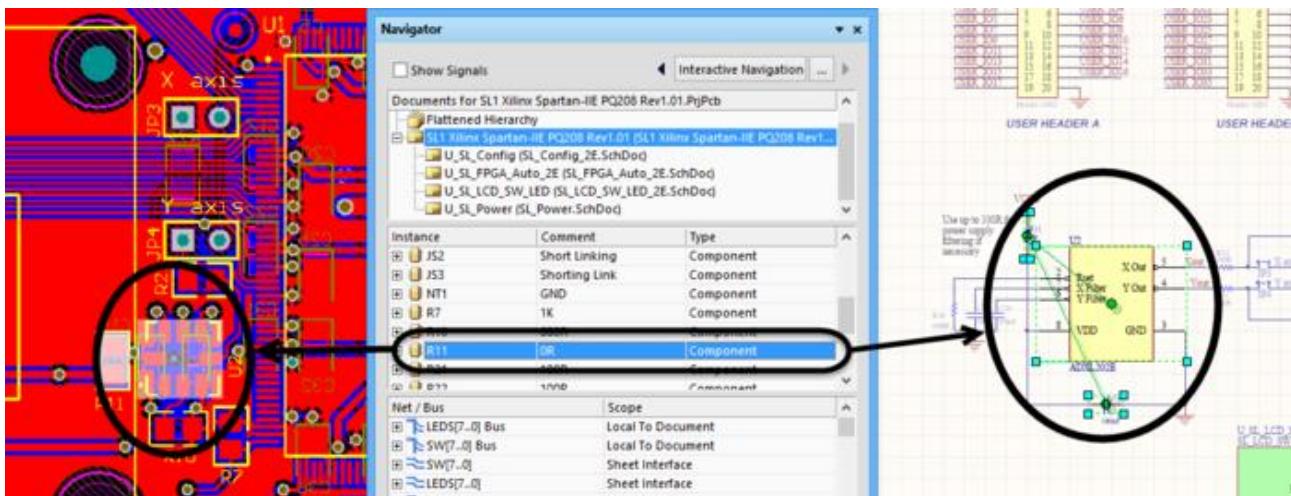
Kiểm tra PCB từ Bảng điều hướng

Các bảng Navigator là dân cư và làm mới mỗi lần thiết kế được biên soạn. Nó cung cấp một cái nhìn có cấu trúc của tất cả các tài liệu, trang tính, thành phần, mạng lưới, tham số và chân thành phần trong dự án hiện đang được chú trọng. Trong bối cảnh chỉnh sửa, bảng điều khiển này cung cấp một phương tiện hữu ích để điều hướng trong toàn bộ thiết kế và định vị các đối tượng quan tâm.

Bạn có thể sử dụng bảng Điều hướng để thăm dò giữa các tài liệu sơ đồ và PCB. Khi mở cả tài liệu PCB và sơ đồ, hãy nhấp vào một thành phần trong bảng *Điều hướng* để đánh dấu thành phần đó trên cả sơ đồ và PCB.

Việc dò bảng *Điều hướng* chỉ chọn trong cả sơ đồ và PCB nếu bạn đã nhấp vào một **thành phần** trong bảng Điều hướng. Tất cả các loại mục nhập khác được chọn trong bảng sẽ làm nổi bật mục nhập đó chỉ trên giản đồ.

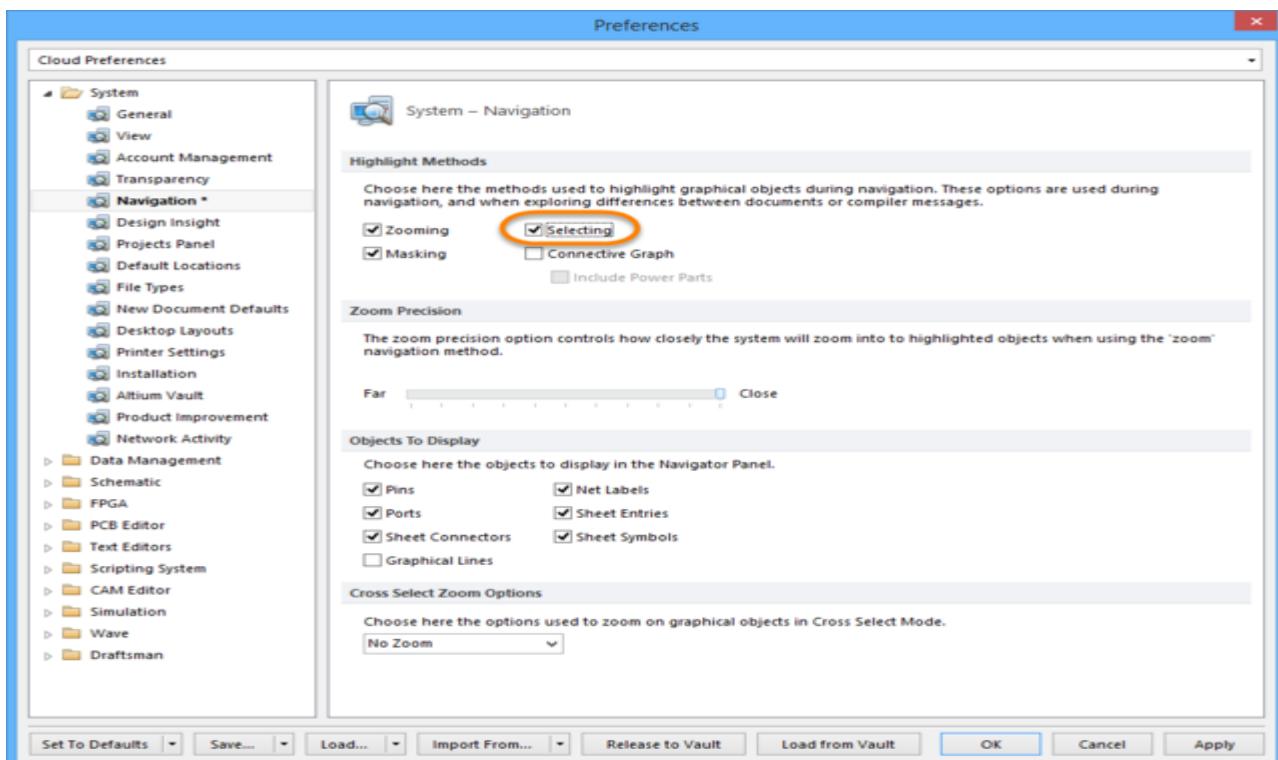
Cài đặt làm nổi bật được áp dụng cho cả sơ đồ nguồn và tài liệu PCB đích theo các cài đặt được chỉ định trên trang Hệ thống - Điều hướng của hộp thoại *Tùy chọn*.



Các đối tượng được đánh dấu trên PCB và sơ đồ sử dụng tính năng thăm dò chéo trong bảng *Điều hướng*.

Để tính năng thăm dò chéo của bảng *Điều hướng* nổi bật chính xác trong cả giản đồ và PCB, hãy đảm bảo rằng **Chế độ chọn chéo** trong menu **Công cụ** được bật và tùy chọn **Chọn** được bật trên trang Hệ thống - Điều hướng của hộp thoại *Tùy chọn* như thể hiện trong các hình ảnh sau đây.

Đã bật Chế độ Chọn chéo .



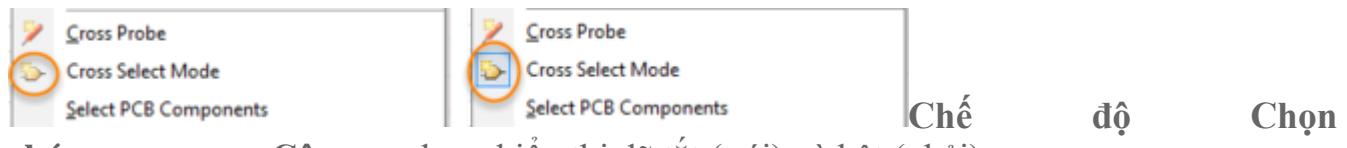
Chọn tùy chọn được bật trên trang Hệ thống - Điều hướng của hộp thoại *Tùy chọn* .

Tài liệu hiện tại vẫn là tài liệu đang hoạt động, vì vậy để xem lựa chọn trên PCB, bạn nên mở cả hai sơ đồ và PCB cạnh nhau - sử dụng chế độ xem phân tách hoặc mở nhiều cửa sổ Altium Designer.

Lựa chọn chéo

Tính năng này tạo điều kiện cho việc lựa chọn chéo thành phần năng động, hai hướng. Nó được sử dụng để chọn các đối tượng tương ứng giữa PCB và các tài liệu giản đồ. Nói cách khác, khi bạn chọn một đối tượng trên tài liệu PCB, thì đối tượng tương tự trên tài liệu sơ đồ nguồn cũng được chọn và ngược lại.

Tính năng này được truy cập bằng cách nhấp vào **Công cụ »Chế độ Chọn chéo** từ các menu chính. Lệnh này bật và tắt tính năng và trạng thái của lệnh được hiển thị trong menu **Công cụ**. Chế độ Chọn chéo được bật khi một hộp màu xanh lam xuất hiện xung quanh biểu tượng **Chế độ chọn chéo** trong menu **Công cụ** như thể hiện trong hình dưới đây.



Để sử dụng Chế độ chọn chéo, lệnh phải được bật trong mỗi trình chỉnh sửa.

Với **Chế độ chọn chéo** được bật, hãy nhấp để chọn một hoặc nhiều thành phần trong không gian làm việc. Các thành phần tương tự đó sẽ được chọn trên tài liệu tương ứng.

Tài liệu đích sẽ không được coi là tài liệu hoạt động và do đó, chúng tôi rất khuyến khích để cả tài liệu nguồn và tài liệu đích mở song song với nhau.

Hành vi của Chế độ chọn chéo được kiểm soát bằng cách sử dụng các điều khiển **Độ chính xác thu phóng** và **Tùy chọn thu phóng chọn chéo** trên trang [Hệ thống - Điều hướng](#) của hộp thoại *Tùy chọn*.

Nếu tài liệu bị đóng và sau đó được mở lại, dự án phải được biên dịch lại trước khi tính năng Chế độ chọn chéo hoạt động chính xác cho các đối tượng trên tài liệu đó.

Lựa chọn các thành phần PCB từ giản đồ

Có thể lựa chọn chéo giữa các phần đã chọn trên một hoặc nhiều tài liệu nguồn sơ đồ và các dấu chân thành phần tương ứng trên tài liệu PCB cho dự án đang hoạt động. Ví dụ, điều này có thể hữu ích khi chọn một tập hợp các bộ phận trên tài liệu nguồn để tạo nhanh một lớp thành phần mới trên tài liệu PCB.

Để sử dụng tính năng này:

- Đảm bảo rằng tài liệu PCB mục tiêu đang mở.
- Chọn (các) phần bắt buộc trên (các) sơ đồ nguồn.
- Chọn lệnh **Tools »Chọn PCB Components** .

Tính năng này cũng có thể được truy cập bằng cách nhấp vào **Tác vụ Phần »Chọn Thành phần PCB** từ menu chuột phải khi con trỏ ở trên phần đã chọn (hoặc một phần trong lựa chọn các bộ phận). Nếu chọn chéo một bộ phận bằng cách sử dụng phương pháp này, bộ phận đó không cần được chọn.

Sau khi khởi chạy lệnh, tất cả các tài liệu nguồn sơ đồ sẽ được tự động biên dịch và tài liệu PCB cho dự án sau đó sẽ trở thành tài liệu hoạt động. Tất cả các dấu chân thành phần tương ứng cho vùng chọn sẽ được chọn và phóng to (nhưng không bị che) trong không gian làm việc.

Vì PCB đích sẽ trở thành tài liệu hoạt động, nên để (các) sơ đồ nguồn và tài liệu PCB mở song song với nhau.

Để tạo lớp thành phần mới sau khi bộ phận hoặc tập hợp các bộ phận đã được chọn trên PCB bằng lệnh **Chọn Thành phần PCB** :

1. Bấm **Thiết kế »Lớp** để mở hộp thoại [Trình khám phá Lớp Đối tượng](#) .
2. Bấm chuột phải vào **Lớp thành phần** rồi chọn **Thêm lớp** . Nhập tên mong muốn của lớp mới.
3. Nhấp vào nút giữa vùng **Không phải thành viên** và **Thành viên** của hộp thoại để thêm (các) phần vào cột bên phải.
4. Bấm **Đóng** để đóng hộp thoại *Object Class Explorer* và quay lại không gian làm việc.

Bạn có thể thấy lớp thành phần mới kết quả trong [bảng PCB - Thành phần](#) . Video sau đây minh họa quá trình này.

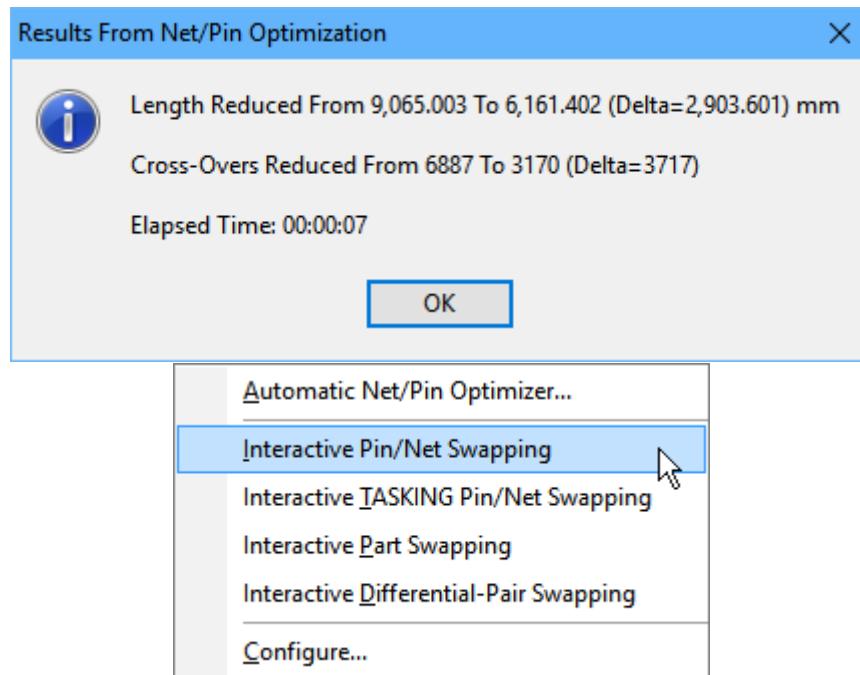
Tạo một lớp thành phần mới

Chốt cắp và hoán đổi bộ phận

Sử dụng Tài liệu Altium

Hoạt động hài hòa với khả năng định tuyến tương tác và định tuyến thoát BGA của Altium Designer là chân cắm, cắp vi sai và hệ thống hoán đổi bộ phận. Tính năng này cung cấp tất cả các lợi ích của các hệ thống hoán đổi pin truyền thống, nhưng tận dụng sự hiểu biết sâu sắc của Nhà thiết kế Altium về các nhiệm vụ ròng trong thiết kế. Trong quá trình hoán đổi chân pin, Altium Designer sẽ phân tích mạng được gán cho chân đã chọn và tự động chỉ định lại mạng trên chân và bất kỳ đồng nào được kết nối.

Mức độ chúc năng này có nghĩa là các lưỡi được định tuyến một phần và nhiều lớp được định tuyến trước thoát khỏi các thiết bị BGA phức tạp có thể được hoán đổi. Các cặp vi sai cũng có thể được hoán đổi, tận dụng kiến thức về các cặp chân vi sai trên FPGA.



Ở cấp độ PCB, hệ thống bao gồm một trình tối ưu hóa tự động mạnh mẽ sử dụng thông tin này để tự động chỉ định lại các lưỡi nhằm cải thiện khả năng định tuyến. Ví dụ: hệ thống có thể thực hiện kết nối lại trên nhiều thiết bị đã được định tuyến thoát trên nhiều lớp. Nó sẽ chỉ định những thứ này dựa trên các lớp đường thoát phù hợp, khoảng cách định tuyến Manhattan ngắn nhất và số lượng giao cắt tối thiểu trên mỗi lớp.

Việc bổ sung hoán đổi mạng được định tuyến từng phần, cùng với trình tối ưu hóa tự động cung cấp cho bạn khả năng áp dụng chiến lược định tuyến lặp lại và phân cấp, trước tiên thoát khỏi các thiết bị định tuyến, sau đó định tuyến đến rìa của một khu vực nhất định, rồi cuối cùng kết nối các phần này với nhau. Bất kỳ lúc nào, bộ trao đổi tự động có thể được chạy lại để tối ưu hóa lại, dựa trên thông tin cập nhật được cung cấp bởi các lưỡi được định tuyến một phần.

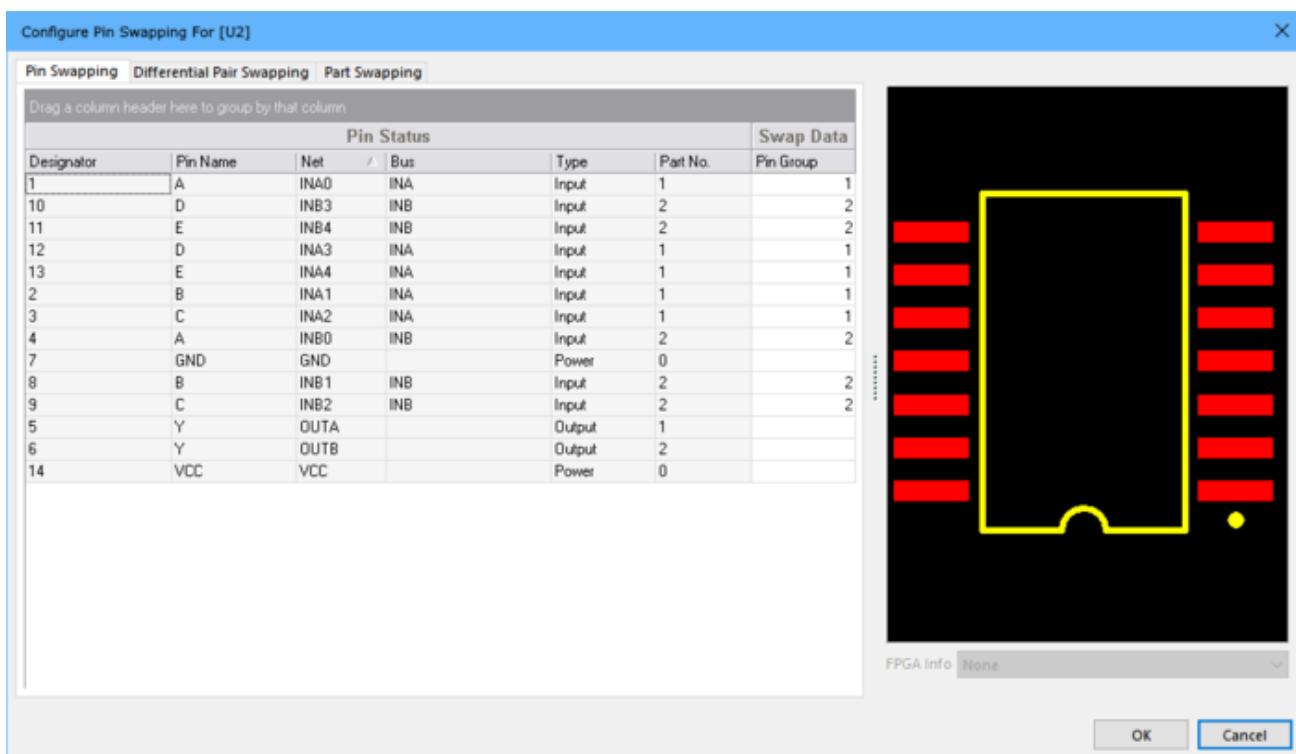
Có ba loại hoán đổi:

- Hoán đổi mã pin
- Trao đổi cặp vi sai
- Hoán đổi phần phụ.

Định cấu hình nhóm hoán đổi

Đối với mỗi danh mục hoán đổi *hoán đổi các nhóm hoán đổi quy định* những gì có thể được và những gì không thể được hoán đổi trong một thành phần. Trong trường hợp hoán đổi pin, các chân trong một thành phần chia sẻ *nhóm chân chung* có thể được hoán đổi với nhau. Tương tự như vậy đối với hoán đổi cặp và hoán đổi bộ phận, giá trị *nhóm cặp* và *nhóm bộ phận* xác định rằng một cặp vi phân hoặc bộ phận con có thể được hoán đổi tương ứng.

Các nhóm hoán đổi cho một thành phần được định cấu hình trong hộp thoại **Định cấu hình hoán đổi pin**, được hiển thị trong hình dưới đây. Nó có thể truy cập được bằng cách nhấp chuột phải vào thành phần trong trình chỉnh sửa Sơ đồ hoặc PCB và chọn **Hành động phần »Định cấu hình Hành động hoán đổi pin hoặc Hành động thành phần» Định cấu hình** các mục menu **Ghim / Hoán đổi phần** tương ứng. Hộp thoại **Định cấu hình Hoán đổi Pin** cũng có thể được truy cập thông qua hộp thoại **Định cấu hình Thông tin Hoán đổi Pin trong Thành phần**.

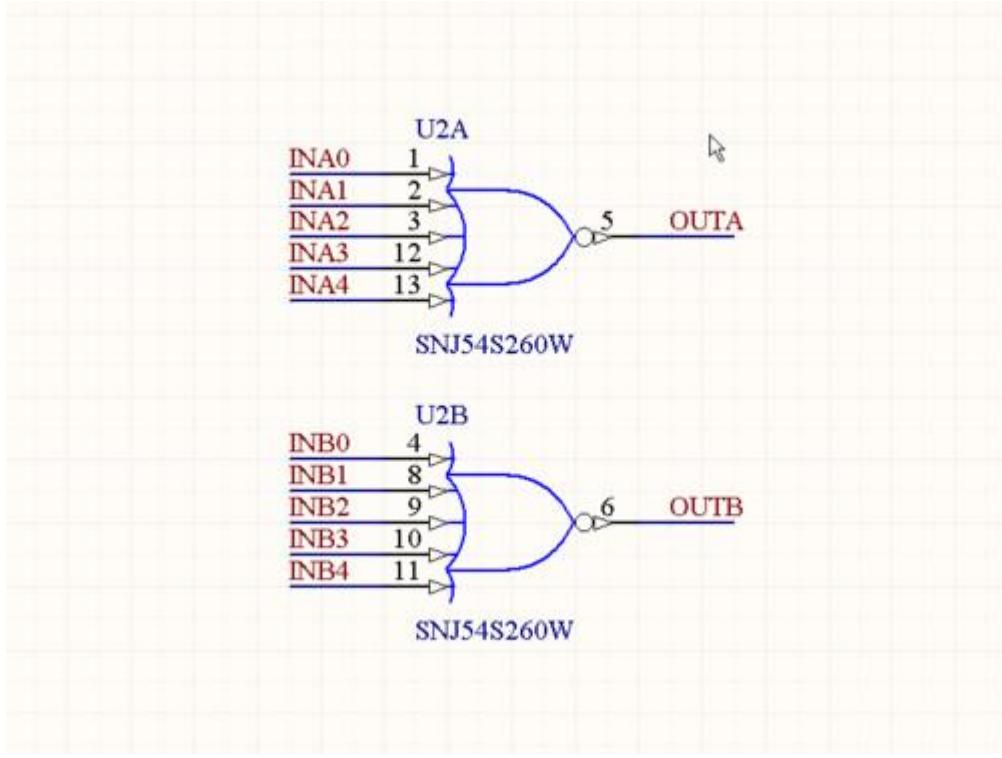


Thiết lập nhóm hoán đổi chân pin trong hộp thoại **Định cấu hình hoán đổi pin** cho thành phần Công NOR 5 đầu vào kép.

Ghim nhóm

Một chân linh kiện có thể hoán đổi với một chân khác trong thành phần đó khi nó thuộc cùng một *nhóm chân* (có cùng giá trị *nhóm chân*). Nhóm pin là một thuộc tính của mỗi pin trong thành phần và giá trị của nó có thể là bất kỳ chuỗi chữ và số nào. Các *nhóm*

ghim cho toàn bộ thành phần được thiết lập trong hộp thoại Định *cấu hình Hoán đổi Ghim*, như thể hiện trong hình trên.



Giản đồ có chứa thành phần Cổng NOR 5 đầu vào tích cực. Mỗi chân đầu vào cho một trong hai phần phụ là tương đương về mặt logic và thể hiện một tình huống lý tưởng cho việc hoán đổi chân.

Xem xét giản đồ được hiển thị trong hình trên, có chứa hai Cổng NOR 5 đầu vào cho thành phần SNJ54S260, mỗi lối INA0 đến INA4 có thể được hoán đổi cho nhau do bản chất của Cổng NOR. Tương tự, mỗi lối INB0 sang INB4 có thể được hoán đổi, tuy nhiên không thể hoán đổi lối INAx với lối INBx.

Các ràng buộc hoán đổi cho cổng NOR được định nghĩa trong hộp thoại Định *cấu hình hoán đổi chân* được hiển thị trong Hình 2. Đưa lối INAx vào nhóm hoán đổi 1 và lối INBx nhóm hoán đổi 2 đảm bảo rằng hoán đổi sẽ chỉ được hệ thống định dạng sao cho nó phù hợp với logic thành phần.

Để trống giá trị Nhóm ghim cho một ghim có nghĩa là nó không có sẵn để hoán đổi. Trong trường hợp của Hình 2, không có ý nghĩa gì khi hoán đổi các chân đầu ra và chân nguồn (Thiết kế 5,6,7 và 14) với nhau và do đó *nhóm chân* được để trống.

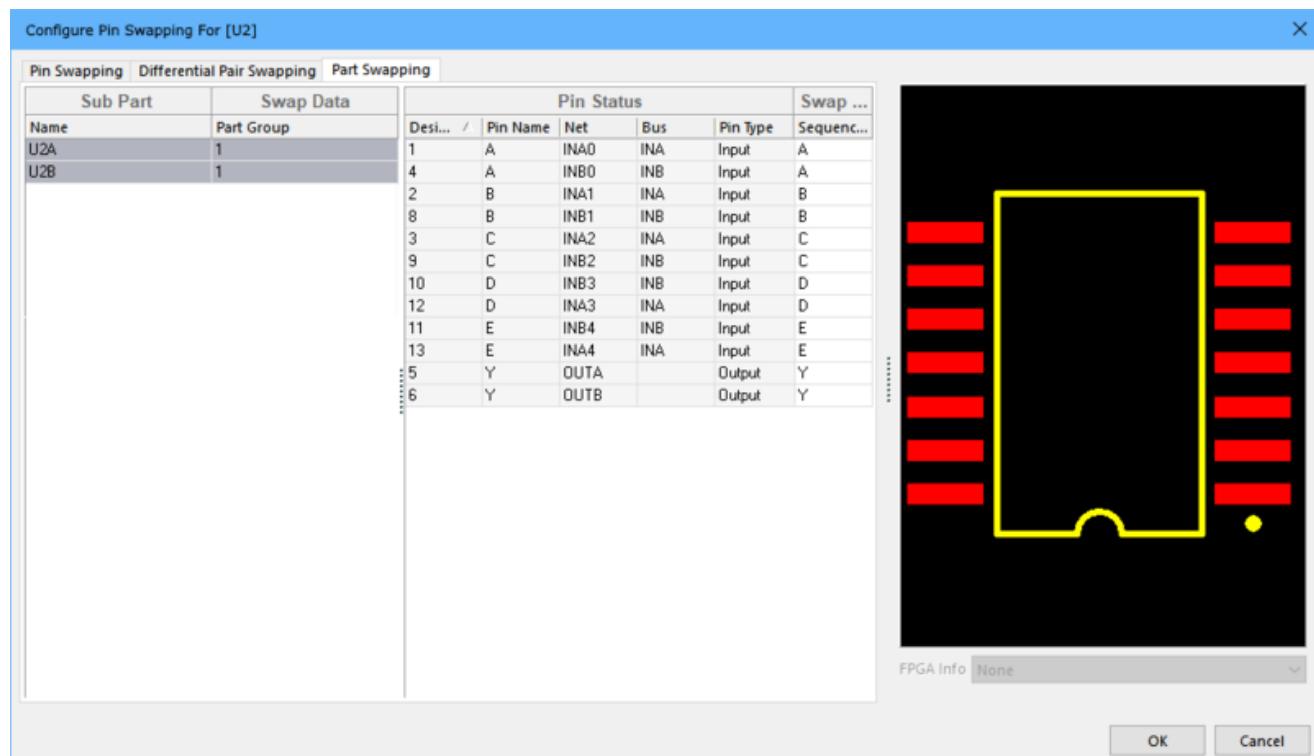
Nhóm phần và ID trình tự

Thông thường một thành phần bao gồm nhiều phần con tương đương về chức năng. Trao đổi bộ phận cho phép hoán đổi lối của các bộ phận phụ tương đương như vậy. Hãy xem

xét lại thành phần của được hiển thị trong hình trên. Cả hai cổng NOR đều cung cấp chức năng giống nhau và các lưỡi (INA0, INA1, INA2, INA3, INA4, OUTA) có thể được hoán đổi với các lưỡi (INB0, INB1, INB2, INB3, INB4, OUTB).

Trao đổi bộ phận cho một thành phần được định cấu hình với *nhóm bộ phận* và thuộc tính *ID trình tự*. Đây là cả hai thuộc tính văn bản và có thể truy cập được trong tab Phân của hộp thoại Định cấu hình hoán đổi mã pin, như được hiển thị bên dưới. hiển thị *nhóm bộ phận* và cài đặt *ID trình tự* tương ứng với thành phần được hiển thị trong hình trên. Nhóm bộ phận cho biết những bộ phận phụ nào có thể được hoán đổi cho nhau. Hai phần phụ có thể được hoán đổi và do đó, trong hình dưới đây, các *nhóm bộ phận* của chúng có cùng giá trị là 1.

Các chuỗi *ID* thuộc tính xác định tương đương của các chân giữa swappable tiêu phần. Trong ví dụ cổng NOR, điều quan trọng là các chân đầu vào không được hoán đổi cho nhau với các chân đầu ra khi xảy ra hoán đổi bộ phận. Hình ảnh bên dưới cho thấy *ID trình tự* được đặt để OUTA hoán đổi với OUTB, INA0 hoán đổi với INB0, INA1 hoán đổi với INB1, v.v.



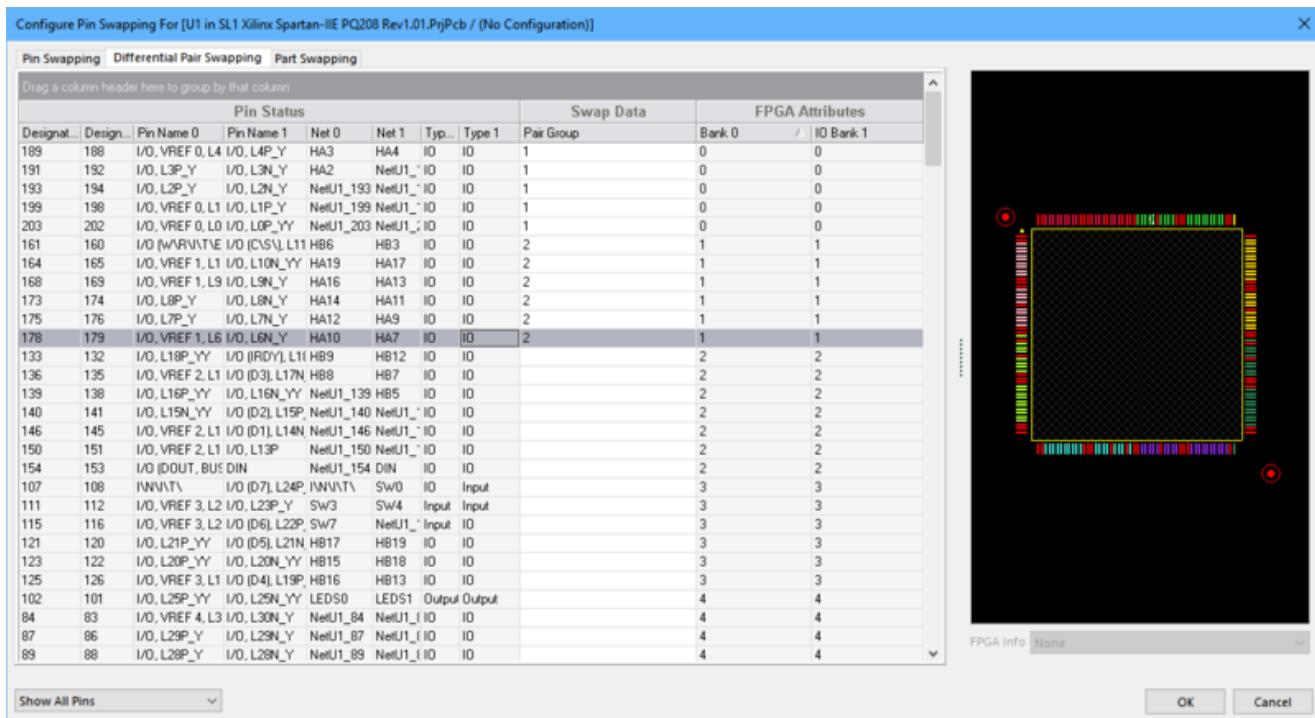
Thiết lập các nhóm hoán đổi bộ phận trong hộp thoại Định cấu hình Hoán đổi Pin cho thành phần Cổng NOR 5 đầu vào kép.

Lưu ý rằng hoán đổi bộ phận chỉ có sẵn cho các thành phần được thiết kế như các bộ phận phụ vì nó dựa trên việc hoán đổi tất cả các lưỡi giữa hai bộ phận con.

Ghép nhóm

Việc hoán đổi các cặp vi sai được điều chỉnh bởi giá trị của *nhóm cặp* đối với một cặp vi sai. Các *nhóm cặp* thuộc tính được truy cập trong **Differential Pair Swapping** tab của *Configure Pin Swapping* thoại. Có ba chế độ trong tab Chuyển đổi cặp vi sai có thể được đặt bằng hộp thả xuống ở góc dưới bên trái.

- *Show Pairs From Directives* - Hệ thống sẽ sử dụng các chỉ thị cặp vi phân được đặt trên giản đồ để điền các cặp vi phân trong bảng.
- *Hiển thị các cặp từ FPGA* - Hệ thống sẽ sử dụng dữ liệu cặp vi phân thu được từ thông tin FPGA có sẵn cho thành phần để ghép nối các chân. Lưu ý rằng chế độ này khả dụng khi thành phần là FPGA.
- *Show All Pins* - Hệ thống sẽ hiển thị tất cả các chân linh kiện.



Thiết lập nhóm Hoán đổi Cặp trong hộp thoại Định cấu hình Hoán đổi Pin.

Kiểm soát cách Hoán đổi được thực hiện trên sơ đồ

Trong chân biên tập PCB, hoán đổi cặp và hoán đổi bộ phận được thực hiện bằng cách trao đổi lối trên các miếng đệm linh kiện và đồng tương ứng. Khi các thay đổi được hợp nhất vào sơ đồ, có hai cách mà hoán đổi chân có thể được xử lý, hoặc bằng cách hoán đổi các chân trên biểu tượng thành phần hoặc bằng cách hoán đổi nhãn lối trên các dây được gắn vào các chân. Mỗi phương pháp đều có ưu điểm và nhược điểm của nó.

Việc hoán đổi các chân sẽ luôn hoạt động trên giản đồ, nhưng có thể có nghĩa là trường hợp này của biểu tượng thành phần không còn giống như nó đã được định nghĩa trong thư viện. Trong tình huống này, điều đó có nghĩa là không thể cập nhật ký hiệu từ thư viện và điều đó cũng có nghĩa là các trường hợp khác của cùng một thành phần trong thiết kế này sẽ có cách sắp xếp chân khác, một nguồn có thể gây nhầm lẫn cho người đọc giản đồ. Cách tiếp cận này là lý tưởng cho các thành phần đơn giản, chẳng hạn như mảng điện trở.

Thực hiện hoán đổi trên giản đồ bằng cách hoán đổi các nhãn mạng chỉ có thể được thực hiện nếu kết nối được thiết lập thông qua các nhãn mạng, nghĩa là nếu các chân không được kết nối cứng với nhau. Ưu điểm của phương pháp này là ký hiệu thành phần không thay đổi, và có thể được cập nhật từ thư viện sau này. Cách tiếp cận này là lựa chọn tốt nhất cho một thành phần phức tạp, chẳng hạn như FPGA, trong đó việc di chuyển vật lý hai chân trên biểu tượng có thể dẫn đến biểu tượng dựa trên ngân hàng I / O hiển thị không chính xác.

Việc lựa chọn phương pháp nào trong số hai phương pháp này được xác định bằng tùy chọn Cho phép hoán đổi pin bằng cách sử dụng các phương pháp này trong hộp thoại **Tùy chọn cho dự án**, như được hiển thị bên dưới.



Các tùy chọn dự án này chỉ áp dụng cho cách cập nhật hoán đổi pin trong các tài liệu sơ đồ.

Bật Pin, Ghép nối và Hoán đổi Bộ phận trên PCB

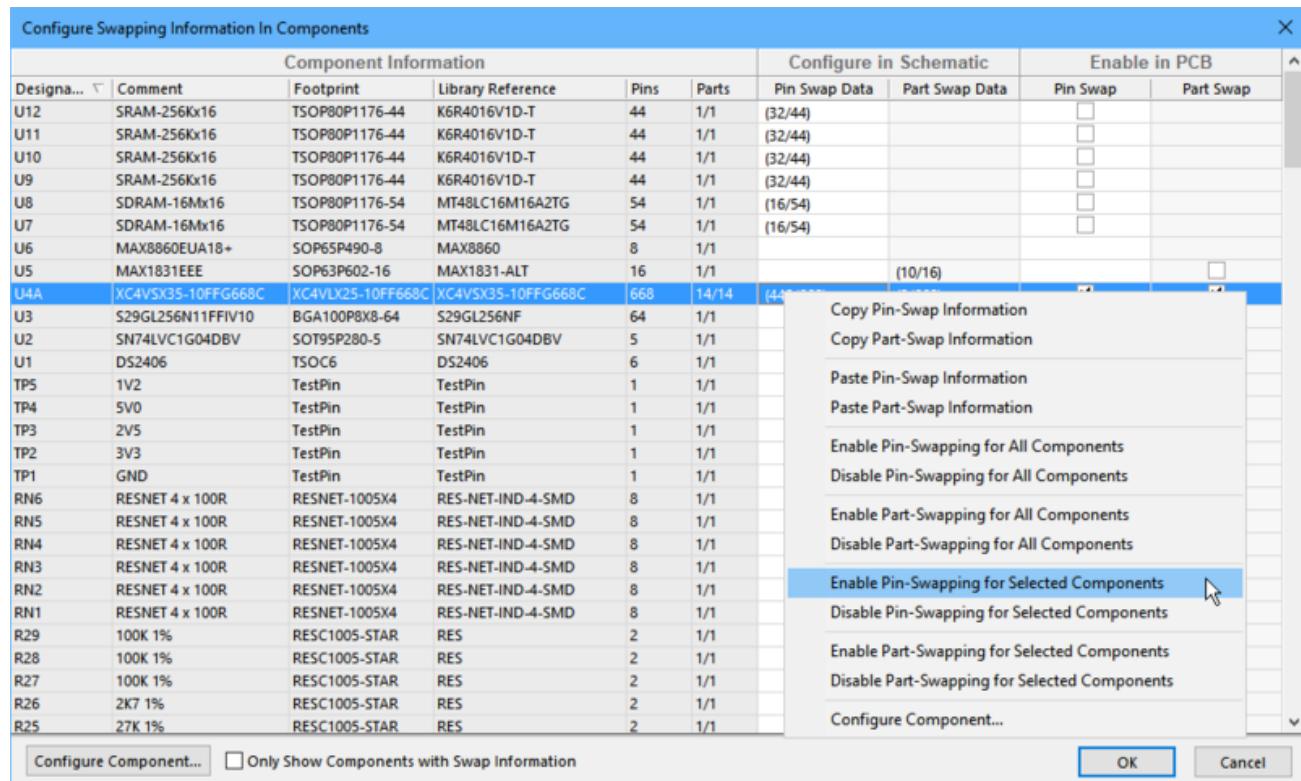
Các thuộc tính *nhóm hoán đổi* cần thiết để thiết lập pin, ghép nối và hoán đổi một phần trong một thành phần được lưu trữ trong các thành phần Sơ đồ. Tuy nhiên, đó là trình soạn thảo PCB nơi thông tin này được sử dụng và mỗi thành phần PCB có một tùy chọn để cho phép hoán đổi chân của các chân của nó.

Các tùy chọn hoán đổi cho mỗi thành phần PCB có thể được cấu hình trong hộp thoại *Thuộc tính Thành phần* (có thể truy cập bằng cách nhấp đúp vào thành phần hoặc nhấp chuột phải và chọn thuộc tính) trong phần **Tùy chọn hoán đổi**. Các tùy chọn này cũng có thể được tìm thấy trong *bảng Kiểm tra PCB*.

Hộp thoại Trình quản lý Hoán đổi

Trình quản lý hoán đổi liệt kê tất cả các thành phần được sử dụng trong thiết kế (hoặc thư viện), với cài đặt hoán đổi hiện tại của chúng. Hộp thoại *Trình quản lý hoán đổi của* trình soạn thảo PCB bao gồm các cột bổ sung để bật / tắt tính năng hoán đổi trên từng thành

phần trên bảng. Các *Swap* Giám đốc thoại được tìm thấy trong các công cụ đơn của Schematic, Thư viện Schematic và biên tập viên PCB dưới **Configure Pin Swapping** lệnh.



Hộp thoại Trình quản lý hoán đổi.

Trình quản lý Hoán đổi bao gồm một menu chuột phải mạnh mẽ, giúp bạn dễ dàng sao chép nhanh các cài đặt từ thành phần này sang thành phần khác hoặc bật / tắt nhiều thành phần chỉ bằng một cú nhấp chuột.

Nhấp đúp vào một thành phần trong Trình quản lý Hoán đổi sẽ mở hộp thoại Định *cấu hình Hoán đổi Ghim* cho thành phần đó, nơi bạn có thể xác định cài đặt nhóm hoán đổi cho các chân, cặp vi phân và phân con.

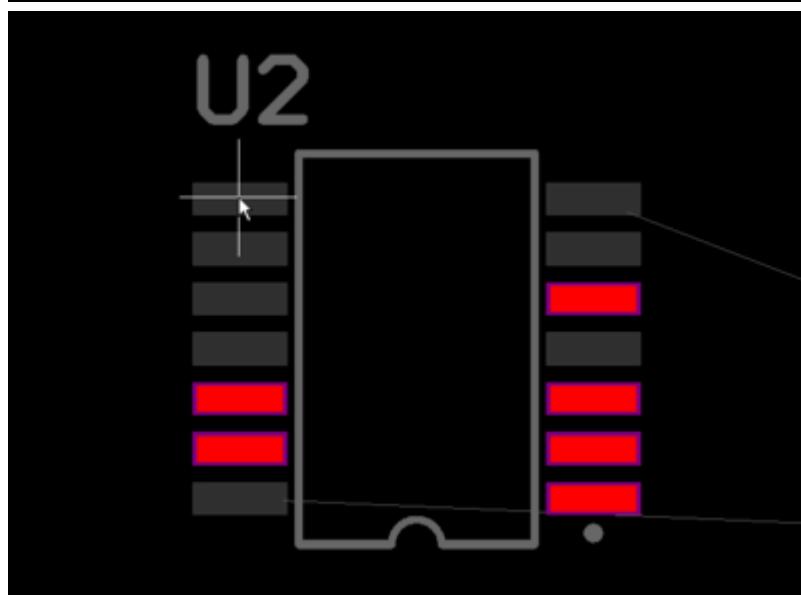
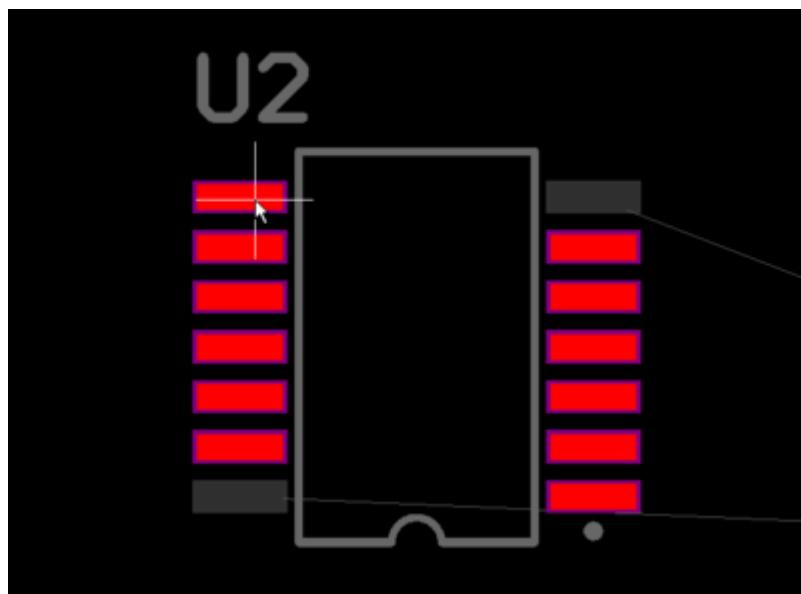
Thực hiện hoán đổi mã pin, cặp và hoán đổi bộ phận

Pin tương tác, ghép nối và hoán đổi một phần

Hoán đổi tương tác cho phép hoán đổi các chân, cặp vi sai hoặc các phân con trong trình chỉnh sửa PCB. Các lệnh hoán đổi tương tác được tìm thấy trong menu phụ Tools »Pin / Part Swapping. Khi lệnh được chọn từ menu, các chân có sẵn để hoán đổi sẽ được tô sáng. Các bước cần thiết để tạo trước một hoán đổi được hiển thị trên dòng Trạng thái;

1. Bước đầu tiên là chọn một trong các chân được đánh dấu sẽ trở thành nguồn của hoán đổi pin. Trong trường hợp hoán đổi cặp hoặc bộ phận, cặp vi sai hoặc bộ phận phụ mà chân đó thuộc về sẽ được hoán đổi sau đó.
2. Bước thứ hai là chọn chân mục tiêu để hoán đổi. Đối với hoán đổi cặp hoặc một phần, chốt này sẽ đại diện cho một cặp vi sai hoặc một phần phụ.

Tiếp tục với ví dụ của Hình 4, các giai đoạn hoán đổi một phần tương tác của thành phần công NOR 5 đầu vào Kép được thể hiện trong hai hình ảnh bên dưới. Có hai phần con có thể được hoán đổi và do đó, mỗi phần trong số năm chân của chúng có thể được chọn, như thể hiện trong hình trên. Chân 8 được chọn tương ứng với phần phụ U2B. Sau đó, hệ thống đánh dấu các chân của tiêu phần U2A có thể được hoán đổi.

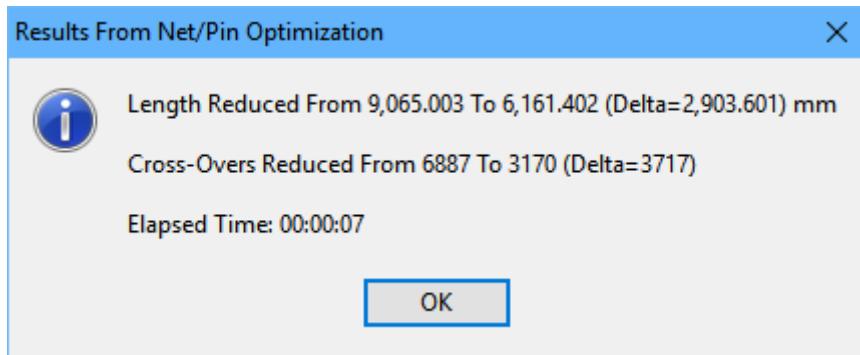


Hình ảnh bên trái, bước 1 - chọn một ghim cần hoán đổi, các ghim có sẵn sẽ tô sáng. Hình ảnh bên phải, bước 2 - chọn một ghim mục tiêu.

Trình tối ưu hóa mạng / ghim tự động

Trình tối ưu hóa mạng / ghim tự động là một công cụ hai giai đoạn. Chọn Tools »Pin / Part Swapping» Automatic Pin / Net Optimizer từ menu trình chỉnh sửa PCB để thực hiện tối ưu hóa tự động.

Đầu tiên, Trình tối ưu hóa mạng / ghim tự động chạy một trình tối ưu hóa một đường truyền nhanh, cố gắng giảm thiểu số lần vượt qua và độ dài kết nối, nhưng thực tế có thể tăng chúng. Khi quá trình này hoàn tất, bạn sẽ được hỏi có muốn chạy trình tối ưu hóa lặp đi lặp lại hay không. Trình tối ưu hóa lặp đi lặp lại sẽ thực hiện nhiều lần vượt qua để cố gắng giảm số lần vượt qua và độ dài kết nối.



Chuyển các thay đổi trở lại sơ đồ

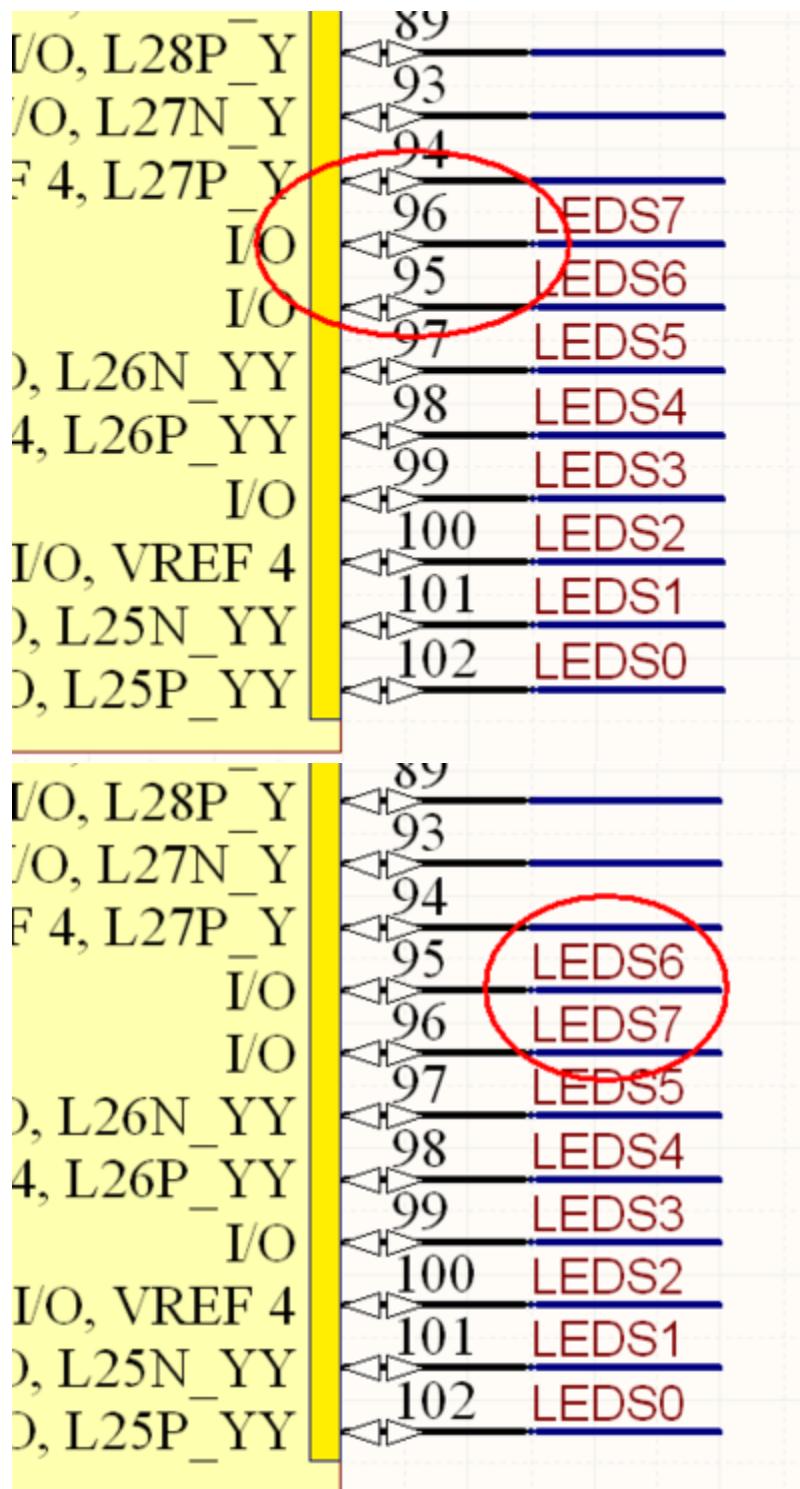
Khi bạn định cấu hình các *nhóm hoán đổi* trong hộp thoại *Định cấu hình Hoán đổi Ghim*, các chỉnh sửa bạn thực hiện ngay lập tức được áp dụng cho các thành phần sơ đồ, bất kể trình soạn thảo nào đang hoạt động khi lệnh được khởi chạy. Tuy nhiên, các thay đổi thiết kế là kết quả của việc bạn thực hiện hoán đổi pin, cắp vi phân hoặc hoán đổi phần phụ trong trình chỉnh sửa PCB được truyền trở lại sơ đồ bằng quy trình Cập nhật thiết kế tiêu chuẩn.

Đây các Thay đổi từ PCB sang Sơ đồ

Các hoán đổi ghim, cắp và các bộ phận được chuyển đổi như cách mà các thay đổi thiết kế khác được chuyển - bằng cách chọn Thiết kế »Cập nhật từ menu. Tùy thuộc vào cách cấu hình tùy chọn Cho phép hoán đổi mã pin, hoán đổi mã pin sẽ được thực hiện như sau:

- Thay đổi Tên Ghim - thay đổi này sẽ di chuyển các chân trên biểu tượng. Các chân không thực sự được di chuyển trên biểu tượng, bên trong định nghĩa của hai chân được hoán đổi qua nhau, tuy nhiên, bằng mắt thường có vẻ như hai chân đã di chuyển, hoán đổi vị trí.
- Di chuyển các Ghim sang các Nets khác nhau - thay đổi này sẽ hoán đổi các nhãn mạng trên các dây đính kèm

- Thay đổi ID bộ phận phụ - thay đổi này sẽ chỉ thay đổi chỉ mục bộ phận phụ khi hoán đổi bộ phận được thực hiện.



Hình ảnh bên trái cho thấy hoán đổi pin được giải quyết trong giản đồ bằng cách hoán đổi chân. Hình ảnh bên phải cho thấy hoán đổi được giải quyết bằng cách di chuyển các nhãn mạng.

Nếu giản đồ không cập nhật để hiển thị các chân hoặc bộ phận đã hoán đổi, hãy nhấn phím **Kết thúc** để làm mới màn hình.

Tận dụng lợi thế của hệ thống hoán đổi pin / bộ phận mới với thiết kế FPGA

Ngoài những ưu điểm rõ ràng mà hoán đổi pin, cắp và hoán đổi một phần thông minh mang lại, khả năng hoán đổi các mạng phụ được định tuyến một phần mang lại một khía cạnh mới cho việc hoán đổi, lý tưởng để làm việc với FPGA dung lượng lớn. Việc phân công lại mạng động cho phép bạn sử dụng quy trình thiết kế nhiều giai đoạn, với việc phân công pin / net được tinh chỉnh dần dần.

Chỉ định I / O ban đầu

Trong giai đoạn này, các chân của FPGA và các thiết bị khác được thiết lập các nhiệm vụ ròng của chúng theo bất kỳ cách nào dễ dàng nhất ở cấp sơ đồ. Thông thường, điều này có nghĩa là chỉ cần thêm các nhãn ròng theo thứ tự bus số vào các chân trên FPGA. Tính năng Dán thông minh trong Trình chỉnh sửa sơ đồ lý tưởng để thực hiện việc này.

Tối ưu hóa kết nối ban đầu

Thiết kế có thể được chuyển sang bố trí PCB, nơi sẽ có rất nhiều giao nhau kết nối vì sự phân công ngẫu nhiên ở cấp sơ đồ. Chạy lệnh Automatic Net / Pin Optimizer sẽ nhanh chóng giảm số lượng giao nhau. Kết quả không cần phải lý tưởng, nó chỉ là làm cho mọi thứ dễ quản lý hơn ở cấp độ PCB.

Định tuyến thoát

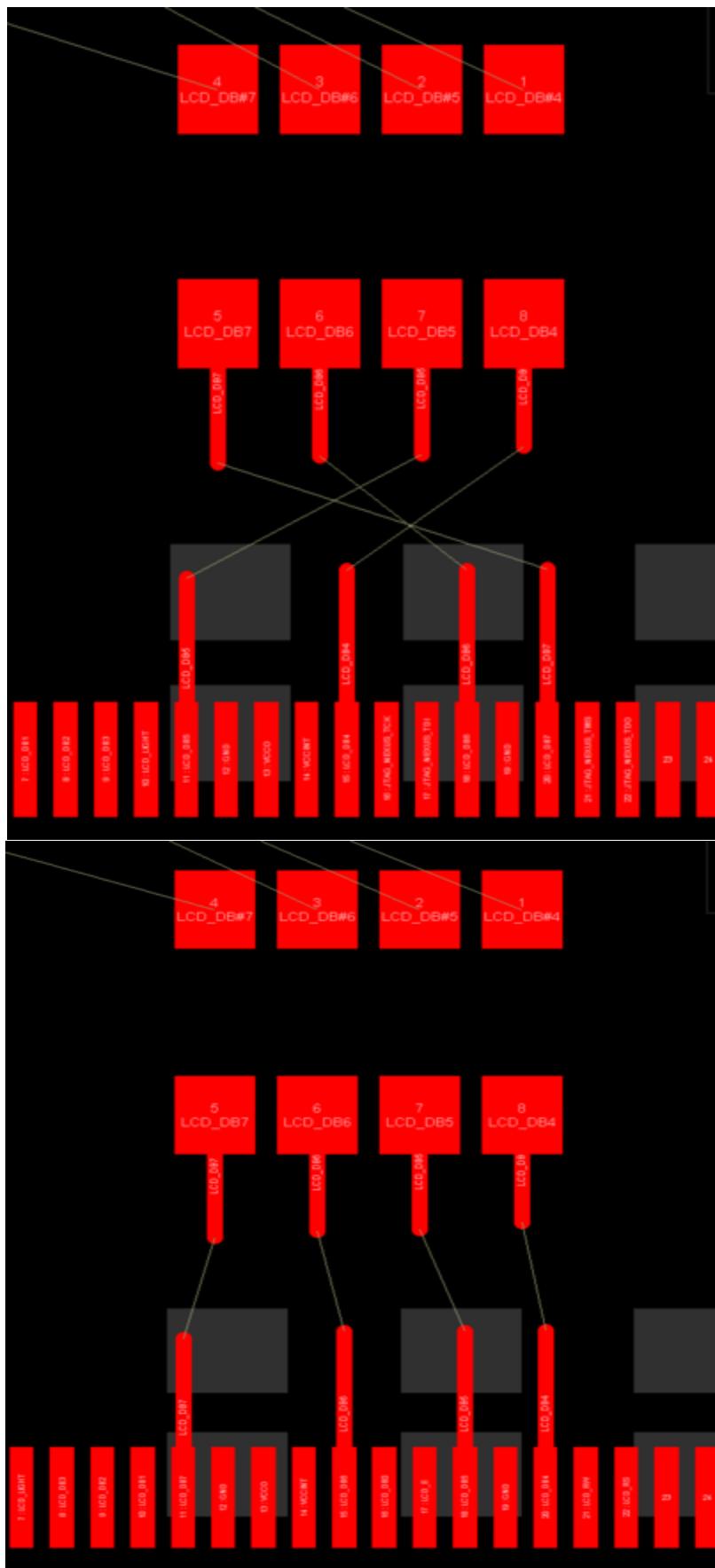
Định tuyến Fanout và Escape hiện có thể được thực hiện trên các thiết bị lớn trên PCB (nhập chuột phải vào thành phần để thực hiện định tuyến fanout / Escape có chọn lọc). Điều này có thể làm xấu đi các bài tập đã được tối ưu hóa trước đó, nhưng điều đó không thành vấn đề tại thời điểm này.

Tối ưu hóa kết nối đã thoát

Chạy lại trình tối ưu hóa tự động, lần này nó sẽ tận dụng các phần được định tuyến trước của định tuyến fanout / Escape.

Định tuyến thủ công

Bây giờ bạn có thể coi phần cuối của các lối thoát là 'mục tiêu' để hướng tới. Bỏ qua các đường kết nối thực tế, bạn có thể định tuyến từ các đầu khác của lối tới tuyến I / O thoát gần nhất (theo không gian và theo lớp) trên PCB, thay vì tuyến trên cùng một mạng. Các kết nối sẽ không xếp hàng, thay vào đó bạn sẽ gặp phải một loạt các khoảng trống nhỏ giữa định tuyến thoát từ các chân I / O FPGA và định tuyến của bạn đến từ các phần khác của PCB. Hình ảnh dưới đây cho thấy một ví dụ đơn giản về điều này.



Tối ưu hóa cuối cùng

Chạy lại trình tối ưu hóa tự động và nó sẽ gán các mạng con được định tuyến cho chân I / O thoát gần nhất có thể. Điều này sẽ để lại cho bạn một tập hợp các kết nối rất ngắn để hoàn thành. Trình tối ưu hóa tự động có các quy trình đặc biệt để tạo ra kết quả tốt trong trường hợp này. Giờ đây, chúng có thể được định tuyến tương tác hoặc tự động.

Hoán đổi mã pin thủ công

Sử dụng bộ trao đổi tương tác để thực hiện bất kỳ thay đổi hoán đổi pin cụ thể nào mà bạn cần.

Tuyên truyền các thay đổi trở lại sơ đồ

Khi bạn đã sẵn sàng phô biến các nhiệm vụ ghim này trở lại giản đồ, bạn nên tắt các thay đổi về ghim trên các biểu tượng giản đồ. Điều này là do FPGA thường được trình bày dưới dạng các thành phần gồm nhiều phần, với mỗi dãy chân là một phần sơ đồ riêng biệt. Việc di chuyển các chốt từ bộ phận này sang bộ phận khác sẽ dẫn đến các biểu tượng này trở nên không chính xác về mặt logic, vì biểu tượng ngân hàng sẽ bao gồm các chốt không thuộc về ngân hàng đó. Trong tình huống này, thực hiện hoán đổi pin bằng cách thay đổi nhãn mạng là cách tiếp cận chính xác.