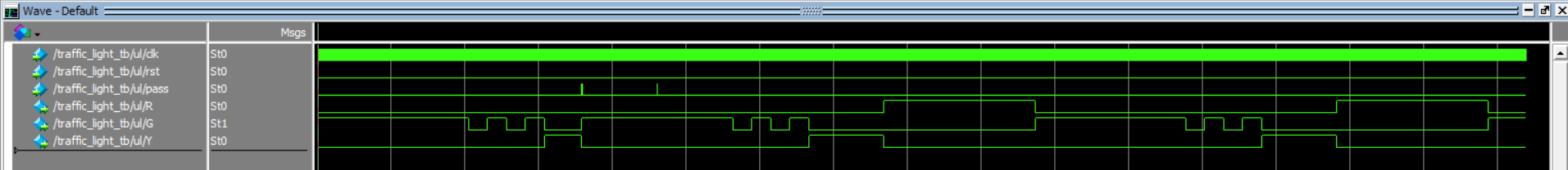
**Computer Organization 2019**

**HOMEWORK 1**

系級: 資訊112甲 學號: F74081129 姓名: 吳信葆

**實驗結果圖:**

波形圖:



模擬完成截圖:



**程式運作流程:**

一開始 rst 異步初始化，第一個 pass (同步)重置狀態和cycle，第二個 pass 由於發生在初始狀態，無效果。

第二個 pass 後每一段時間重複波型，因為是有限狀態機。

Clk 隨 system cycle 頻繁變化，故呈現以下波型。

**心得**

第一次學習 modelsim 。不熟悉兩個 module 傳遞訊號，從中學到wire 不能放進 always，要 assign，若執意要放 always 也可直接把 output R,G,Y 改 reg ，但我覺得不直覺。