

МИНОБРНАУКИ РОССИИ  
САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ  
ЭЛЕКТРОТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ  
«ЛЭТИ» ИМ. В.И. УЛЬЯНОВА (ЛЕНИНА)  
Кафедра ВТ

КУРСОВОЙ ПРОЕКТ  
по дисциплине «Узлы и устройства средств вычислительной техники»  
Тема: Проектирование цифровых узлов на микросхемах программируемой логики

Студент группы 5305  
Преподаватель

Билькис П.П.  
Буренева О.И.

Санкт-Петербург  
2018

## Задание на курсовой проект

Студент Билькис П.П.

Группа 5305

Тема работы: Проектирование цифровых узлов на микросхемах программируемой логики(многорежимный формирователь импульсных последовательностей)

Исходные данные:

Разработать принципиальную электрическую схему устройства, формирующего заданные последовательности импульсов. Входные сигналы поступают от ГТИ (генератор следует разработать). Выходные последовательности цикличны. Длина цикла N периодов тактирующих импульсов, на выходе должны формироваться импульсы с указанными в задании номерами и заданной скважинностью. Содержание пояснительной записки:

«Аннотация», «Содержание», «Введение», «Задание на проектирование узла», «Сравнительный анализ предлагаемых вариантов», «Описание основных элементов библиотеки сапр Quartus II и стандартных микросхем, необходимых для реализации узла», «Процесс синтеза второго варианта схемы средствами САПР Quartus II», «Разработка интерфейса сопряжения схемы узла с процессорной системой», «Описание функционирования узла с использованием временных диаграмм», «Заключение», «Приложения».

Предполагаемый объем пояснительной записки: не менее 18

Дата выдачи задания: 01.02.2018

Дата сдачи реферата: 04.06.2018

Дата защиты реферата: 04.06.2018

Студент группы 5305

Преподаватель

Билькис П.П.

Буренева О.И.

### **Аннотация**

В данном курсовом проекте описывается процесс разработки многорежимного формирователя импульсных последовательностей. Рассматривается структурный и функциональный синтез, описывается устройство управления, демонстрируется реализация узла в САПР Quartus II. Приводятся результаты моделирования.

### **Abstract**

In this course paper the development of multi-mode impulse sequence generator. Structural and functional synthesis of element itself and its control device is described. The multi-mode impulse sequence generator is then implemented and tested (both functionality and timing) in CAD Quartus II.

# Содержание

|  |           |
|--|-----------|
| <b>Введение</b>  | <b>5</b>  |
| <b>1 Задание на проектирование узла</b>  | <b>6</b>  |
| 1.1 Общее задание . . . . .  | 6         |
| 1.2 Вариант 1.4 . . . . .  | 6         |
| <b>2 Сравнительный анализ предлагаемых вариантов</b>   | <b>6</b>  |
| 2.1 Общая структура . . . . .  | 6         |
| 2.2 Варианты реализации узла на основе счётчика и дешифратора . . . . .  | 8         |
| 2.3 Реализация узла на основе счётчика, дешифратора и мультиплексора . . . . .   | 8         |
| 2.4 Выбор оптимальной схемы . . . . .  | 9         |
| <b>3 Описание основных элементов библиотеки сапр Quartus II и стандартных микросхем, необходимых для реализации узла</b> | <b>10</b> |
| 3.1 Список использованных элементов . . . . .  | 10        |
| 3.2 Характеристики используемой интегральной схемы . . . . .   | 12        |
| <b>4 Процесс синтеза второго варианта схемы средствами САПР Quartus II</b>   | <b>12</b> |
| <b>5 Разработка интерфейса сопряжения схемы узла с процессорной системой</b>   | <b>14</b> |
| <b>6 Описание функционирования узла с использованием временных диаграмм</b>  | <b>16</b> |
| 6.1 Описание функционирования узла . . . . .   | 16        |
| 6.2 Функциональное моделирование . . . . .   | 16        |
| 6.3 Временное моделирование . . . . .  | 17        |
| <b>7 Полная принципиальная электрическая схема разработанного узла</b>   | <b>17</b> |
| <b>Заключение</b>  | <b>17</b> |

## Введение

Цель работы:

- научиться ориентироваться в разнообразии возможностей цифровой техники при проектировании специализированных устройств и эффективно применять современную элементную базу;
- научиться пользоваться возможностями современных САПР при проектировании устройств на базе микросхем программируемой логики;
- научиться технически грамотно описывать функционирование разрабатываемых узлов и устройств и правильно оформлять техническую документацию.

Для достижения поставленных целей будет произведён поиск решения исходного задания с его последующей реализацией в САПР и разработкой технического описания разработанного устройства.

# 1 Задание на проектирование узла

## 1.1 Общее задание

Разработать принципиальную электрическую схему устройства, формирующего заданные последовательности импульсов. Входные сигналы поступают от ГТИ (генератор следует разработать). Выходные последовательности цикличны. Длина цикла N периодов тактирующих импульсов, на выходе должны формироваться импульсы с указанными в задании номерами и заданной скважинностью. Распределитель рассматривается как ВУ процессорной системы, его адреса начинаются с адреса 0x30 и заканчиваются адресом 0x35.

## 1.2 Вариант 1.4

В таблице 1 приведены параметры, уточняющие задание.

| Вариант | N  | Номера импульсов |           |            |           |           |               | Начальный адрес | Скважность |
|---------|----|------------------|-----------|------------|-----------|-----------|---------------|-----------------|------------|
|         |    | Режимы           |           |            |           |           |               |                 |            |
|         |    | 1                | 2         | 3          | 4         | 5         | 6             |                 |            |
| 1.4     | 22 | 3,8,11,20        | 2,4,12,21 | 5,10,15,16 | 8,9,13,17 | 1,6,11,19 | 1,2,7,9,18,22 | 0x30            | 8          |

Таблица 1: Параметры задания

# 2 Сравнительный анализ предлагаемых вариантов

## 2.1 Общая структура

Разрабатываемый в данном курсовом проекте узел состоит из нескольких логических частей: устройства управления (УУ), трехразрядного регистра режима и непосредственно формирователя импульсной последовательности. Структурная схема приведена на рис. 1.

Структурная схема многорежимного формирователя импульсной последовательности приведена на рис. 2

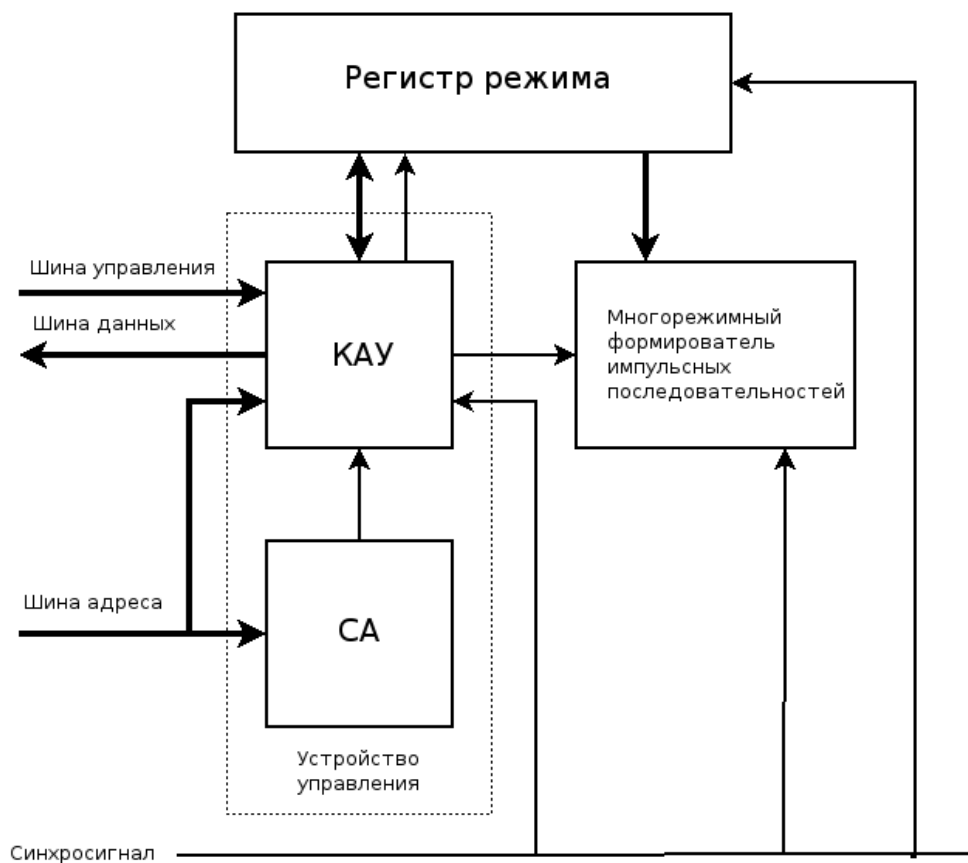


Рис. 1: Структура узла. СА - селектор адреса, КАУ - конечный автомат управления.

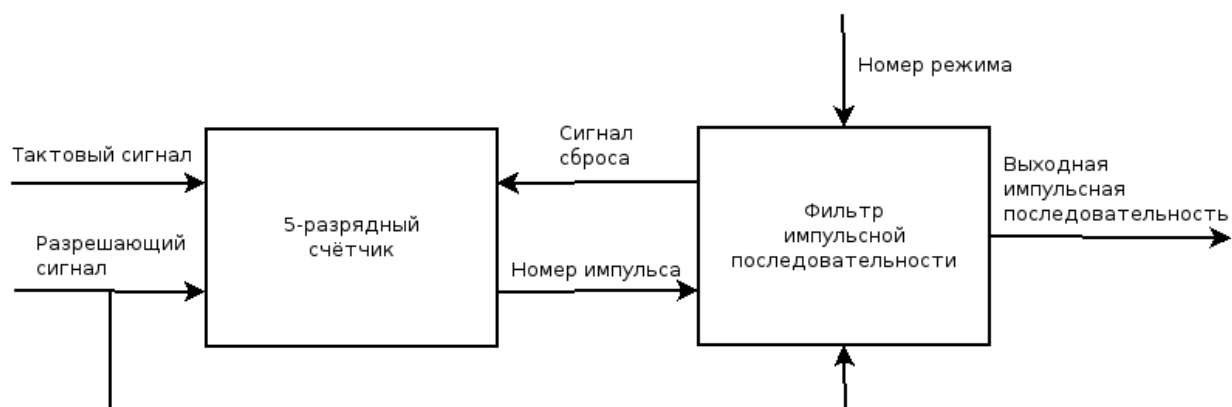


Рис. 2: Структура многофункционального формирователя импульсной последовательности

Для корректной работы устройства должны присутствовать:

- Шина данных (ШД), ширина 3 разряда
- Шина управления (ШУ), ширина 2 разрядв
- Шина адреса (ША), ширина 8 разрядов

- Тактирующий сигнал

Подробное описание интерфейса разрабатываемого устройства и протокол его работы представлены соответственно в разделах «Описание функционирования узла с использованием временных диаграмм» и «Разработка интерфейса сопряжения схемы узла с процессорной системой».

## 2.2 Варианты реализации узла на основе счётчика и дешифратора

Задача узла заключается в формировании выходной импульсной последовательности из входной, выбирая только некоторые, в зависимости от режима, импульсы, с периодом в 22 импульса. Например, в первом режиме (3, 8, 11, 20) на выход подадутся (считая от единицы): 3-й, 8-й, 11-й, 20-й, (3+22)-й, (8+22)-й, (11+22)-й, (20+22)-й и т.д. импульсы.

Идея первого варианта узла заключается в следующем. По входному тактовому сигналу работает счётчик, который считает от 0 до 21, циклично. Счётчик формирует 5-разрядное число на выходе. Данные пять разрядов используются, чтобы выбрать один из 22-х выходов дешифратора. Выходы дешифратора объединены в шесть частично пересекающихся групп через элементы ИЛИ, в соответствии со вариантами режимов. Т.е., когда счётчик досчитывает до некоторого числа  $n$  (т.е. когда на вход приходит  $(n+1)$ -й импульс), элементы ИЛИ, в которые входит данное число, выдают логическую единицу, все остальные - логический ноль. Таким образом осуществляется фильтрация входного тактового сигнала в соответствии со всеми режимами, формируется шесть импульсных последовательностей. При помощи мультиплексора, по номеру режима, осуществляется коммутация одной из этих последовательностей на выход. Функциональная схема данного узла представлена на рис. 3.

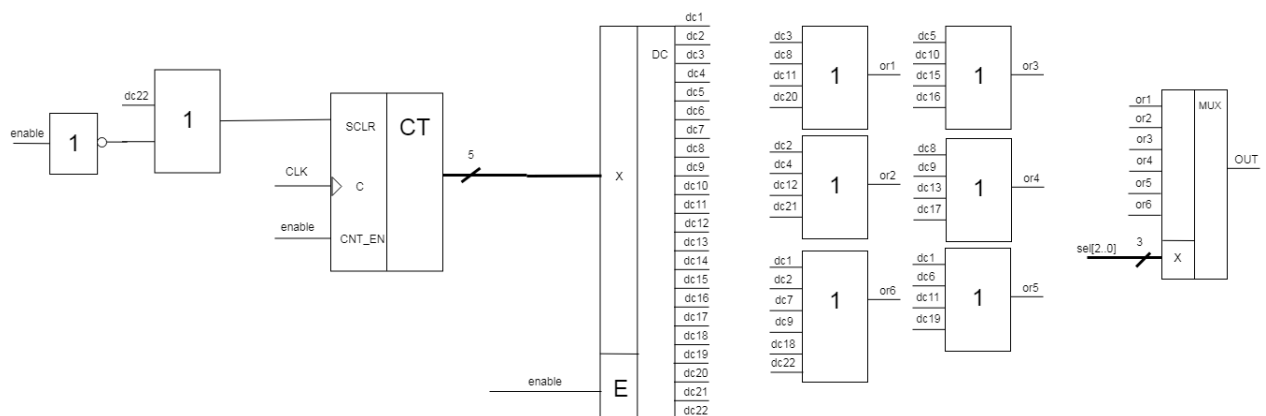


Рис. 3: Функциональная схема многорежимного формирователя импульсной последовательности. Вариант 1.

## 2.3 Реализация узла на основе счётчика, дешифратора и мультиплексора

Первая составляющая формирователя - счётчик - во втором варианте ничем не отличается от первого. 5-разрядный выход счётчика подаётся на мультиплексор, который коммутирует один из своих 22 входов на выход. На дешифратор подаётся номер режима, данный узел выставляет единицу на один из своих шести выходов в соответствии с режимом работы формирователя. Идея заключается в следующем: каждый из коммутируемых входов мультиплексора представляет собой один из 22-х импульсов в периодической импульсной последовательности. Требуется установить в единицу только те импульсы,



который должны присутствовать в данном режиме, остальные следует держать на нуле. Для достижения данной цели, выход из дешифратора, который соответствует определённому режиму, подаётся на те входы мультиплексора, которые соответствуют единичным импульсам в текущем режиме. Остальные импульсы, по природе работы дешифратора, будут нулями. Функциональная схема второго варианта представлена на рис. 4.

Рис. 4: Функциональная схема многорежимного формирователя импульсной последовательности. Вариант 2.

Для выбора оптимального варианта реализации многорежимного формирователя импульсной последовательности необходимо задаться критерием, по которому можно было бы сравнить два описанных вариант, и выбрать один. В качестве данного критерия был выбран: минимум аппаратных затрат.

|   | Compilation Hierarchy Node        | LC Combinationals | LC Registers | Memory Bits | DSP Element |
|---|-----------------------------------|-------------------|--------------|-------------|-------------|
| 1 | basic-element                     | 77 (1)            | 16 (0)       | 0           | 0           |
| 1 | control-device:inst3              | 12 (8)            | 3 (3)        | 0           | 0           |
| 1 | lpm_mux2:inst15                   | 4 (0)             | 0 (0)        | 0           | 0           |
| 1 | lpm_mux:LPM_MUX_component         | 4 (0)             | 0 (0)        | 0           | 0           |
| 1 | mux_73e:auto_generated            | 4 (4)             | 0 (0)        | 0           | 0           |
| 2 | node-itself2:inst2                | 30 (3)            | 5 (0)        | 0           | 0           |
| 1 | lpm_counter1:inst3                | 5 (0)             | 5 (0)        | 0           | 0           |
| 1 | lpm_counter:LPM_COUNTER_component | 5 (0)             | 5 (0)        | 0           | 0           |
| 1 | cntr_4oi:auto_generated           | 5 (5)             | 5 (5)        | 0           | 0           |
| 2 | lpm_decode5:inst6                 | 1 (0)             | 0 (0)        | 0           | 0           |
| 1 | lpm_decode:LPM_DECODE_component   | 1 (0)             | 0 (0)        | 0           | 0           |
| 1 | decode_s6f:auto_generated         | 1 (1)             | 0 (0)        | 0           | 0           |
| 3 | lpm_mux5:inst2                    | 21 (0)            | 0 (0)        | 0           | 0           |
| 1 | lpm_mux:LPM_MUX_component         | 21 (0)            | 0 (0)        | 0           | 0           |
| 1 | mux_m4e:auto_generated            | 21 (21)           | 0 (0)        | 0           | 0           |
| 3 | node-itself:inst1                 | 34 (1)            | 5 (0)        | 0           | 0           |
| 1 | lpm_counter0:inst4                | 5 (0)             | 5 (0)        | 0           | 0           |
| 1 | lpm_counter:LPM_COUNTER_component | 5 (0)             | 5 (0)        | 0           | 0           |
| 1 | cntr_4oi:auto_generated           | 5 (5)             | 5 (5)        | 0           | 0           |
| 2 | lpm_decode1:inst2                 | 1 (0)             | 0 (0)        | 0           | 0           |
| 1 | lpm_decode:LPM_DECODE_component   | 1 (0)             | 0 (0)        | 0           | 0           |
| 1 | decode_isf:auto_generated         | 1 (1)             | 0 (0)        | 0           | 0           |
| 3 | lpm_mux0:inst                     | 27 (0)            | 0 (0)        | 0           | 0           |
| 1 | lpm_mux:LPM_MUX_component         | 27 (0)            | 0 (0)        | 0           | 0           |
| 1 | mux_63e:auto_generated            | 27 (27)           | 0 (0)        | 0           | 0           |
| 4 | register3bit:inst                 | 0 (0)             | 3 (3)        | 0           | 0           |

Рис. 5: Количество логических элементов, затраченных на реализацию обоих вариантов схемы на ПЛИС Cyclone II EP2C5Q208C8

Из рисунка 5 видно, что первый вариант схемы занимает на ПЛИС 34 логических элемента, второй вариант - 30. По выработанному нами критерию, выбираем второй вариант схемы.

### 3 Описание основных элементов библиотеки сапр Quartus II и стандартных микросхем, необходимых для реализации узла

#### 3.1 Список использованных элементов

Для реализации узла были использованы следующие примитивы из библиотеки САПР Quartus II:

- элемент «НЕ»
- элемент «6-И»
- элемент «2-И»
- элемент «2-ИЛИ»

Из настраиваемых компонентов библиотеки САПР Quartus II использовались следующие:

**5-разрядный счётчик** с выходом для синхронного сброса (sclr) и выходом для остановки/начала счёта (cnt\_en). Представлен на рисунке 6

**8-разрядный дешифратор (используются только первые шесть разрядов)** см. рис. 7

**32-разрядный мультиплексер (используются только первые 22 разряда)** см. рис. 8

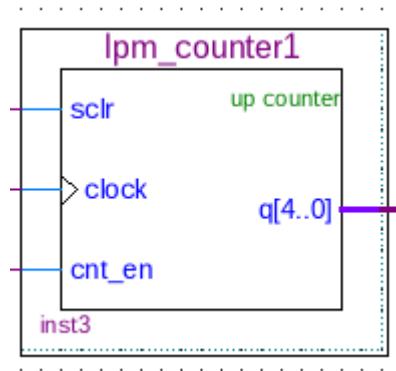


Рис. 6: 5-разрядный счётчик в САПР Quartus II.

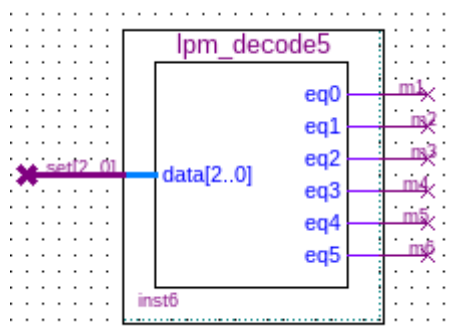


Рис. 7: 8-разрядный дешифратор (используются только первые шесть разрядов) в САПР Quartus II.

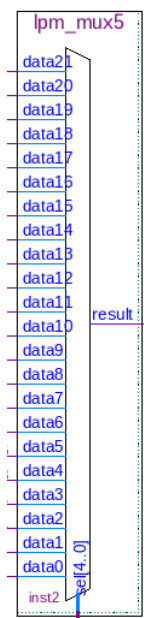


Рис. 8: 32-разрядный мультиплексер (используются только первые 22 разряда) в САПР Quartus II.

### 3.2 Характеристики используемой интегральной схемы

Данный узел разрабатывается с упором на его реализацию с использованием ПЛИС Cyclone II EP2C5Q208C8. Основные параметры данной ПЛИС приведены в таблице 2. Выбор данной ПЛИС обусловлен в первую очередь её доступностью, а так же близким знакомством автора с ПЛИС данной серии, полученным в ходе освоения курса «Узлы и устройства ЭВМ».

|                              |                      |
|------------------------------|----------------------|
| Семейство ПЛИС               | Cyclone II           |
| Количество логических блоков | 4608                 |
| Корпус                       | 208-Pin PQFP         |
| Полное количество RAM        | 1.1 Mbytes           |
| Количество I/O               | 142                  |
| Напряжение питания I/O       | 1.5, 1.8, 2.5, 3.3 V |
| Максимальная рабочая частота | 260 MHz              |

Таблица 2: Параметры ПЛИС Cyclone II EP2C5Q208C8

## 4 Процесс синтеза второго варианта схемы средствами САПР Quartus II

Согласно структурной схеме многорежимного формирователя импульсной последовательности, данный элемент состоит из двух основных блоков:

- 5-разрядный счётчик
- Фильтр импульсной последовательности

5-разрядный счётчик представляет собой готовый настраиваемый компонент САПР Quartus II - `lpm_counter`. Фильтр импульсной последовательности реализуется в соответствии с функциональной схемой (см. рис. 4). Для реализации фильтра используются следующие элементы САПР Quartus II:

- элемент «НЕ»
- элемент «6-И»
- элемент «2-И»
- элемент «2-ИЛИ»
- 8-разрядный дешифратор (используются только первые шесть разрядов, см. рис. 7)
- 32-разрядный мультиплексер (используются только первые 22 разряда, см. рис. 8)

Соединение элементов производится по функциональной схеме, представленной на рис. 4. Описание работы данной схемы представлено в разделе «Реализация узла на основе счётчика, дешифратора и мультиплексора».

Итоговая схема в САПР Quartus II представлена на рис. 9. На рис. 10 представлены результаты компиляции, на рис. 11 оценка максимальной частоты работы устройства.

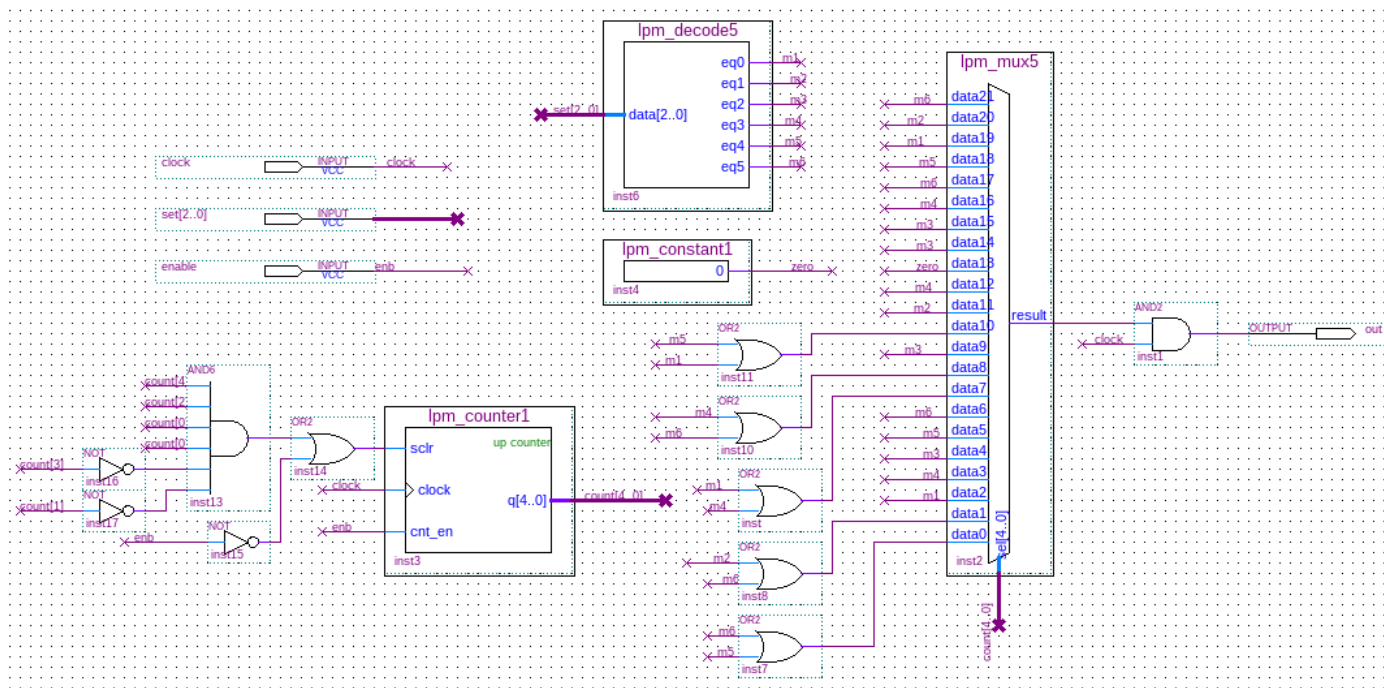


Рис. 9: Итоговая схема в САПР Quartus II.

| Flow Summary                       |   |
|------------------------------------|---|
| Flow Status                        | Successful - Mon Jun 4 12:39:24 2018            |
| Quartus II 64-Bit Version          | 13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition |
| Revision Name                      | basic-element                                   |
| Top-level Entity Name              | basic-element                                   |
| Family                             | Cyclone II                                      |
| Device                             | EP2C5Q208C8                                     |
| Timing Models                      | Final   |
| Total logic elements               | 38 / 4,608 ( < 1 % )                            |
| Total combinational functions      | 38 / 4,608 ( < 1 % )                            |
| Dedicated logic registers          | 11 / 4,608 ( < 1 % )                            |
| Total registers                    | 11  |
| Total pins                         | 20 / 142 ( 14 % )                               |
| Total virtual pins                 | 0   |
| Total memory bits                  | 0 / 119,808 ( 0 % )                             |
| Embedded Multiplier 9-bit elements | 0 / 26 ( 0 % )                                  |
| Total PLLs                         | 0 / 2 ( 0 % )                                   |

Рис. 10: Результаты компилирования в САПР Quartus II.

| Slow Model Fmax Summary |            |                 |            |      |
|-------------------------|------------|-----------------|------------|------|
|                         | Fmax       | Restricted Fmax | Clock Name | Note |
| 1                       | 335.35 MHz | 335.35 MHz      | gen        |      |

Рис. 11: Оценка максимальной частоты работы устройства в САПР Quartus II.

## 5 Разработка интерфейса сопряжения схемы узла с процессорной системой

Устройство управления представляет собой интерфейс узла, через который осуществляется всё взаимодействие с внешним миром. УУ состоит из селектора адреса (СА) и конечного автомата управления (КАУ). Селектор адреса (СА) читает шину адреса (ША) и при поступлении адреса из нужного диапазона (0x30-0x35) формирует сигнал разрешения. При разрешении от СА, КАУ может работать. КАУ читает шину управления (ШУ) - 2 разряда - и реагирует на следующие сигналы от неё:

- 01** Сигнал START. УУ запускается, считывает режим работы из адреса в регистр режима и подаёт разрешающий сигнал на формирователь импульсной последовательности.
- 10** Сигнал READ. Реакция на этот сигнал будет только при условии, что ранее подавался сигнал START, т.е. УУ запущено. При поступлении данного сигнала, УУ считывает три разряда из регистра режима и подаёт их на шину данных.
- 11** Сигнал STOP. Реакция на этот сигнал будет только при условии, что ранее подавался сигнал START, т.е. УУ запущено. При поступлении данного сигнала, УУ перестаёт подавать разрешающий сигнал на формирователь импульсной последовательности и подаёт сигнал синхронного сброса на регистр режима. После этого УУ считается выключенным.

Режим работы формирователя импульсной последовательности передаётся в младших трёх битах 8-битного адреса, по ША, как часть адреса. В таблице 3 приведено соответствие между адресами и выходными импульсными последовательностями.

| Адрес | Номер режима | Выходная последовательность импульсов |
|-------|--------------|---------------------------------------|
| 0x30  | 1            | 3, 8, 11, 20                          |
| 0x31  | 2            | 2, 4, 12, 21                          |
| 0x32  | 3            | 5, 10, 15, 16                         |
| 0x33  | 4            | 8, 9, 13, 17                          |
| 0x34  | 5            | 1, 6, 11, 19                          |
| 0x35  | 6            | 1, 2, 7, 9, 18, 22                    |

Таблица 3: Соответствие адресов различным режимам

Селектор адреса представляет собой простой элемент И, входами которого являются разряды адреса. Функциональная схема селектора адреса приведена на рис. 12.

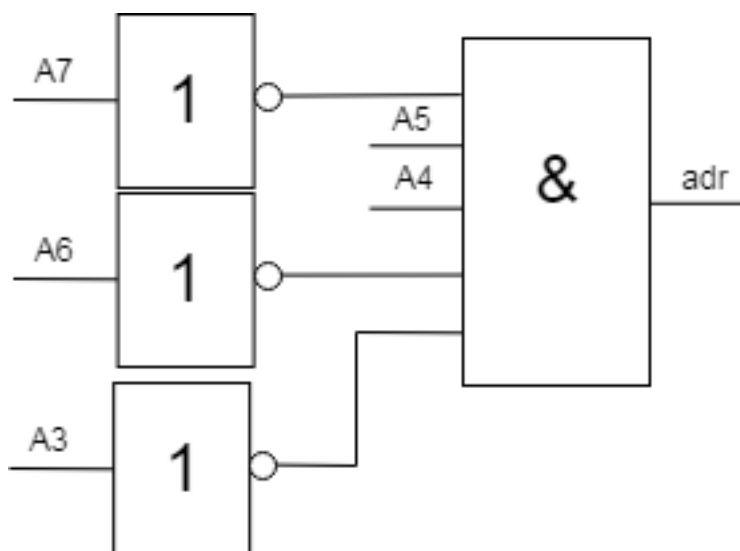


Рис. 12: Функциональная схема селектора адреса

Конечный автомат управления представляет из себя конечный автомат Мура, генерирующий управляющие сигналы и коммутирующий потоки данных. Автомат описан таблицей 4. Функциональная схема конечного автомата управления приведена на рис. 13.

| Состояние |    |    | Условие перехода                        | Переход в |    |    |
|-----------|----|----|---|-----------|----|----|
| Q3        | Q1 | Q0 |   | Q3        | Q1 | Q0 |
| 0         | 0  | 0  | $\text{adr} \& \text{start}$            | 0         | 0  | 1  |
|           |    |    | $\overline{\text{adr}} \& \text{start}$ | 0         | 0  | 0  |
| 0         | 0  | 1  | 1                                       | 0         | 1  | 0  |
| 0         | 1  | 0  | $\text{adr} \& \text{stop}$             | 1         | 0  | 0  |
|           |    |    | $\text{adr} \& \text{rd}$               | 0         | 1  | 1  |
|           |    |    | $\overline{\text{adr}} \& \text{stop}$  | 0         | 1  | 0  |
|           |    |    | $\overline{\text{adr}} \& \text{rd}$    | 0         | 1  | 0  |
| 1         | 0  | 0  | 1                                       | 0         | 0  | 0  |
| 0         | 1  | 1  | 1                                       | 0         | 1  | 0  |

Таблица 4: Структурная таблица конечного автомата

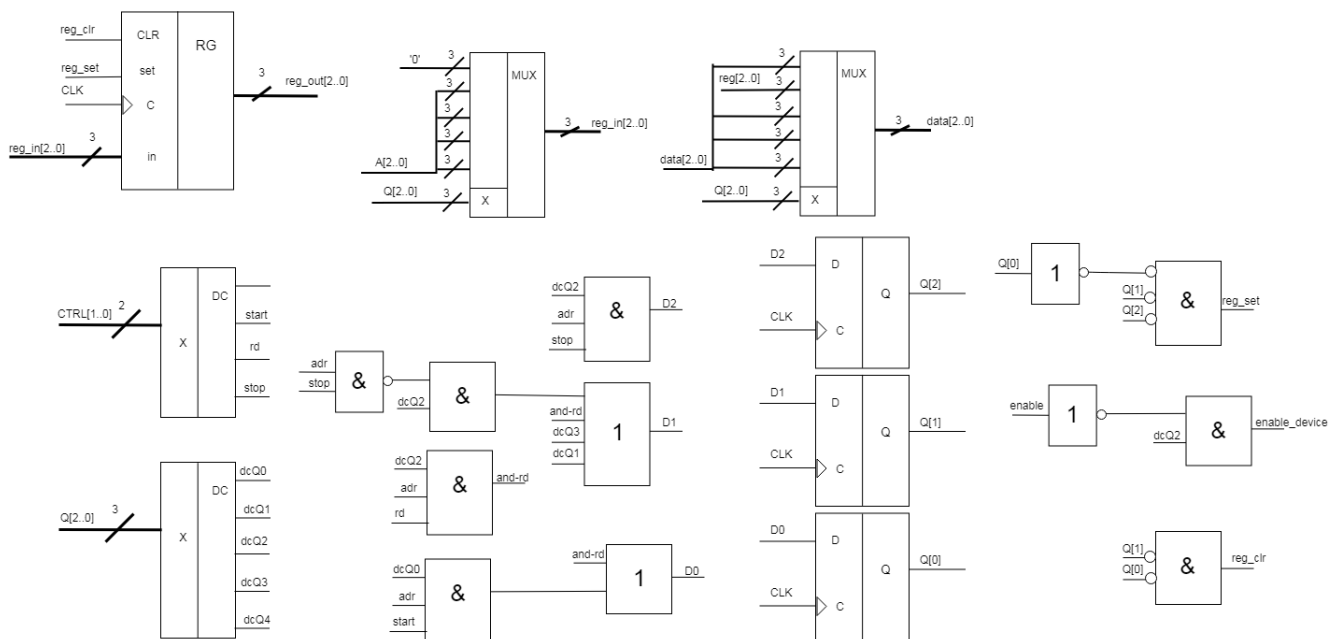


Рис. 13: Функциональная схема

## 6 Описание функционирования узла с использованием временных диаграмм

### 6.1 Описание функционирования узла

Подробное описание интерфейса представлено в разделе «Разработка интерфейса сопряжения схемы узла с процессорной системой».

Протокол работы данного устройства следующий:

1. Подать на ША адрес в диапазоне 0x30-0x35
2. Подать на ШУ сигнал START
3. На выходе устройства будет формироваться требуемая импульсная последовательность.
4. Если нужно получить номер режима, следует подать сигнал READ, в следующий такт на ШД будет подан номер режима (три разряда).
5. Для переключения устройства в другой режим, следует подать сигнал STOP, затем перейти к 1.
6. Для остановки устройства следует подать сигнал STOP

### 6.2 Функциональное моделирование

На рисунке 14 представлены результаты функционального моделирования. На временной диаграмме продемонстрирована нормальная работа устройства: включение, работа, чтение режима, выключение, включение с другим адресом и т.д. Продемонстрированы разные режимы работы и переключения между ними.



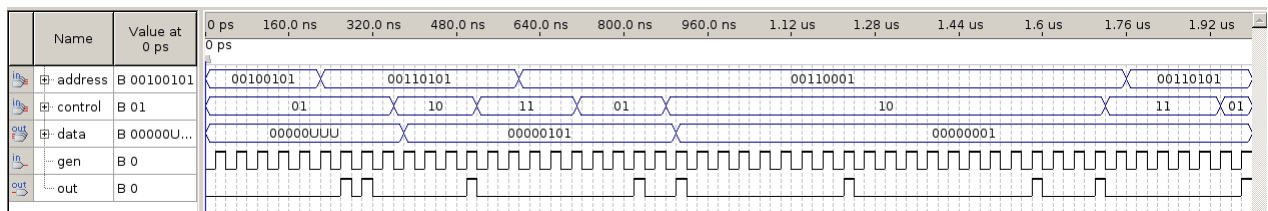


Рис. 14: Функциональное моделирование узла.

### 6.3 Временное моделирование

На рисунке 15 представлены результаты временного моделирования. На временной диаграмме продемонстрирована нормальная работа устройства: включение, работа, чтение режима, выключение, включение с другим адресом и т.д. Продемонстрированы разные режимы работы и переключения между ними.

Стоит отметить, что на временной диаграмме присутствуют риски: это вызвано некоторым запаздыванием в срабатывании элементов и на правильную работу устройства не влияет.

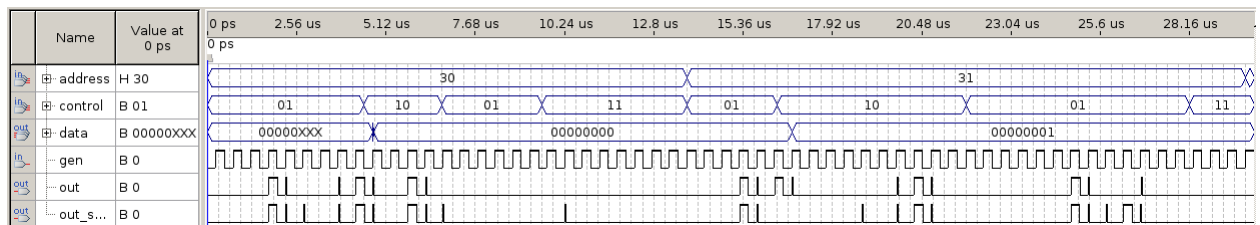


Рис. 15: Временное моделирование узла.

## 7 Полная принципиальная электрическая схема разработанного узла

Полная принципиальная электрическая схема разработанного узла и генератора приведена в приложении А.

## Заключение

В процессе курсового проекта мною был с нуля синтезирован многорежимный формирователь импульсных последовательностей. Первоначальная задача была разделена на логические блоки, определена структура. Было продумано взаимодействие различных блоков, сигнализация между ними. Затем было синтезировано два варианта узла, по критерию аппаратной минимальности был выбран второй вариант. Для управления схемой была разработана и синтезирована УУ, тщательно продуман его протокол и интерфейс. Как завершающий этап, устройство было реализовано в САПР Quartus II, для последующего его программирования на ПЛИС семейства Cyclone II. В САПР были проведены функциональные и временные моделирования, показавшие корректность работы устройства.

## **Список использованной литературы**

- [1] Угрюмов Е.П., Грушвицкий Р.И. Проектирование цифровых узлов на микросхемах программируемой логики: Методические указания к курсовому проектированию. СПб: Изд-во СПбГЭТУ «ЛЭТИ», 2011. 32 с.