

Convertitore Analogico Digitale 4 Bit

Paul Butuc, Stefano Giannini

Universita' degli studi di Torino, 2018-2019

Abstract

Si costruisce un convertitore analogico-digitale (ADC) a 4 bit, utilizzando componenti integrati

1 Introduzione

Si costruisce un ADC 4 bit utilizzando circuiti integrati che implementano funzioni più semplici e se ne verifica il funzionamento. Si divide l'implementazione in blocchi funzionali discreti e si testa singolarmente ogni parte per studiare il comportamento e accettare il corretto funzionamento. Questo tipo di ADC sfrutta il metodo delle **approssimazioni successive**, più veloce rispetto ad un ADC staircase. I singoli blocchi includono: [1] test uscite shift-register abbinato ad un circuito di controllo, [2] aggiunta di Flip-Flop JK e test rispettive uscite, [3] implementazione di un DAC R-2R per convertire il valore campionato in un valore di tensione, [4] circuito composto di amplificatore operazionale e transistor che permette di leggere il segnale da campionare e confrontarlo con quello in uscita dal DAC.

Come verifica finale, si campioneranno dei segnali sia in continua che in alternata.

2 Strumentazione

Oltre alla strumentazione base descritta in VTC si adoperano:

Circuiti integrati:

- Porte AND SN74S08
- Porte NAND SN74LS00N
- Shift register SN74LS164
- Flip-Flop JK SN74LS76A
- Amplificatore operazionale μ A741

Altri componenti, il numero e valore sarà indicato quando utilizzati:

- Resistenze tolleranza 5%
- Transistor 2N2222A

3 Circuiti e valori attesi

Lo schema completo del circuito ADC è presentato in figura 1.

Il funzionamento atteso per ogni componente del circuito si può rappresentare in un unico 'time-diagram' in figura 2. Di seguito si tratterà più in dettaglio solo le parti che comportano calcoli ulteriori.

3.1 Shift Register e Flip-Flop

Una nota importante va fatta per lo stato iniziale dello shift register insieme al circuito di controllo. Siccome lo stato delle uscite appena si accende la corrente, è casuale, non si ha la garanzia che il componente sia in una configurazione funzionante, se ad esempio $Q_6 = Q_1 = 0 \rightarrow S = R = 1$ il flip-flop R-S è in configurazione memoria, cioè il segnale su A, B è mantenuto e se per caso fosse 0 l'integrato non potrebbe mai avere $A, B = 1$. La situazione si risolve aggiungendo uno switch che premuto porta $CL = 0$ (quindi anche R) per un tempo sufficiente, indipendentemente dal valore di Q_6 . Questo è evidenziato nel time-diagramma nella fase iniziale quando CL non coincide con Q_6 .

La parte tratteggiata indica proprio una fase di indeterminazione.

Infine, anche per i jk si potrebbe dire che lo stato iniziale di JK_1, JK_2, \dots è indeterminato, ma questo non può impedire il funzionamento del circuito e dopo il primo campionamento (dopo $Q_6 = 1$) le uscite avranno valore noto.

3.2 DAC

Schema specifico del DAC:

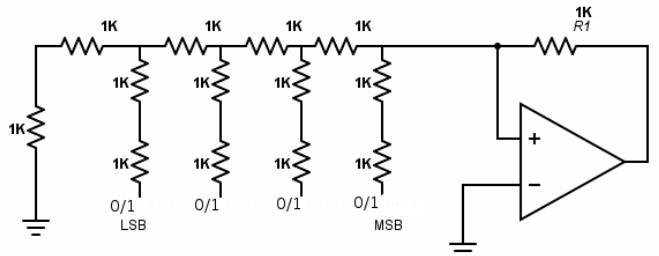


Figure 3: DAC R-2R, blocco [3]

I valori riportati in figura sono quelli utilizzati in laboratorio. D'ora in avanti gli stati logici LOW e HIGH saranno indicati con 0 e 1 per comodità.

Il valore di tensione in uscita dal DAC R-2R è dato da:

$$V_{out} = \frac{R_1}{R} \frac{V_{jk}}{2^n} \sum_{k=1}^n B_k 2^{k-1} \quad (1)$$

Dove n è il numero di bit, cioè di flip-flop jk, $R = 1k$, $B_k = 0$ o $B_k = 1$ rispettivamente se il bit k -esimo è spento oppure acceso. I valori 1 e 0 saranno forniti dalle uscite dei flip-flop e andranno misurati in laboratorio.

3.3 Comparatore segnale

Il blocco [4] implementa il circuito che permette di leggere il segnale di riferimento in ingresso e confrontarlo con V_{out}

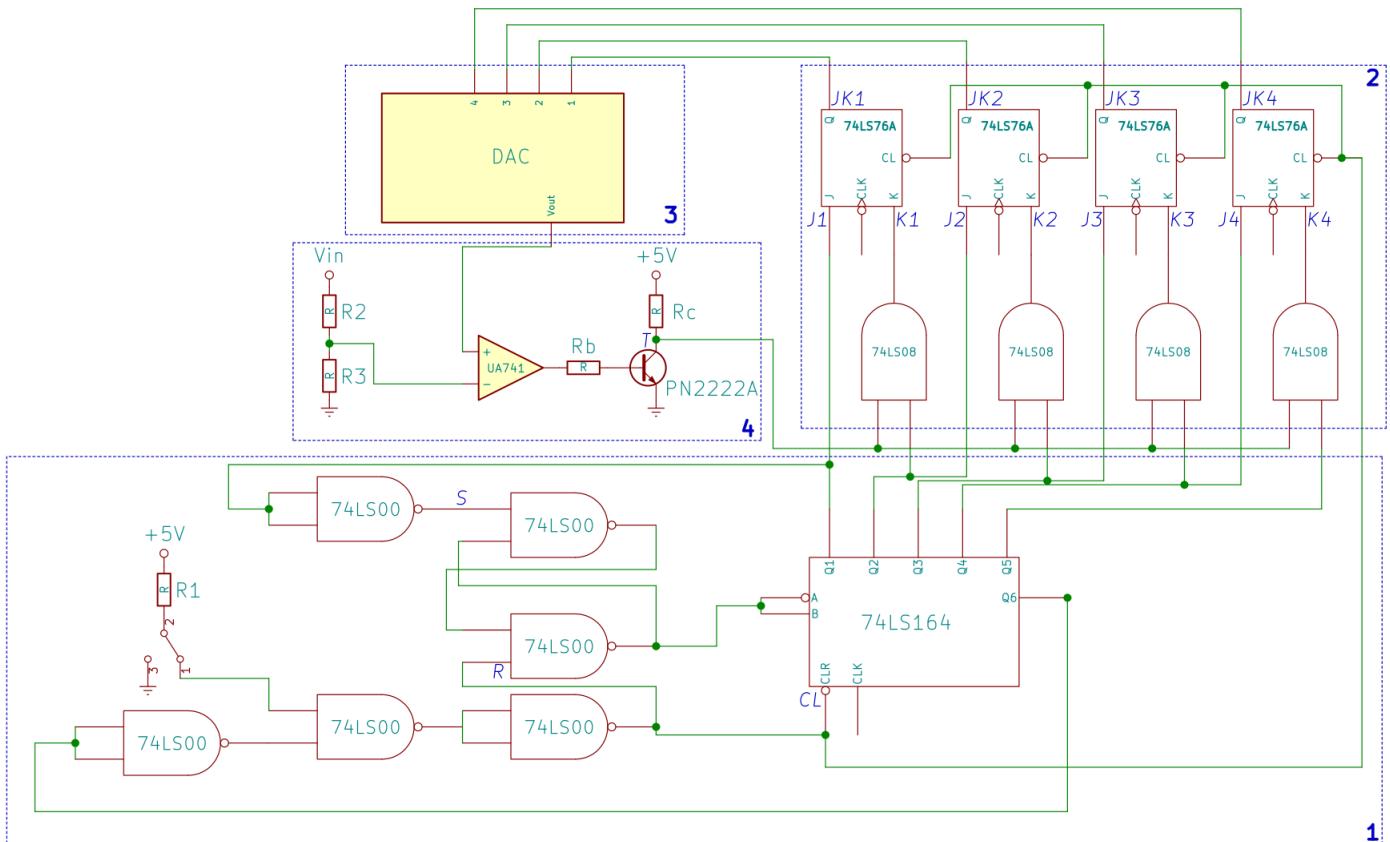


Figure 1: ADC 4-Bit

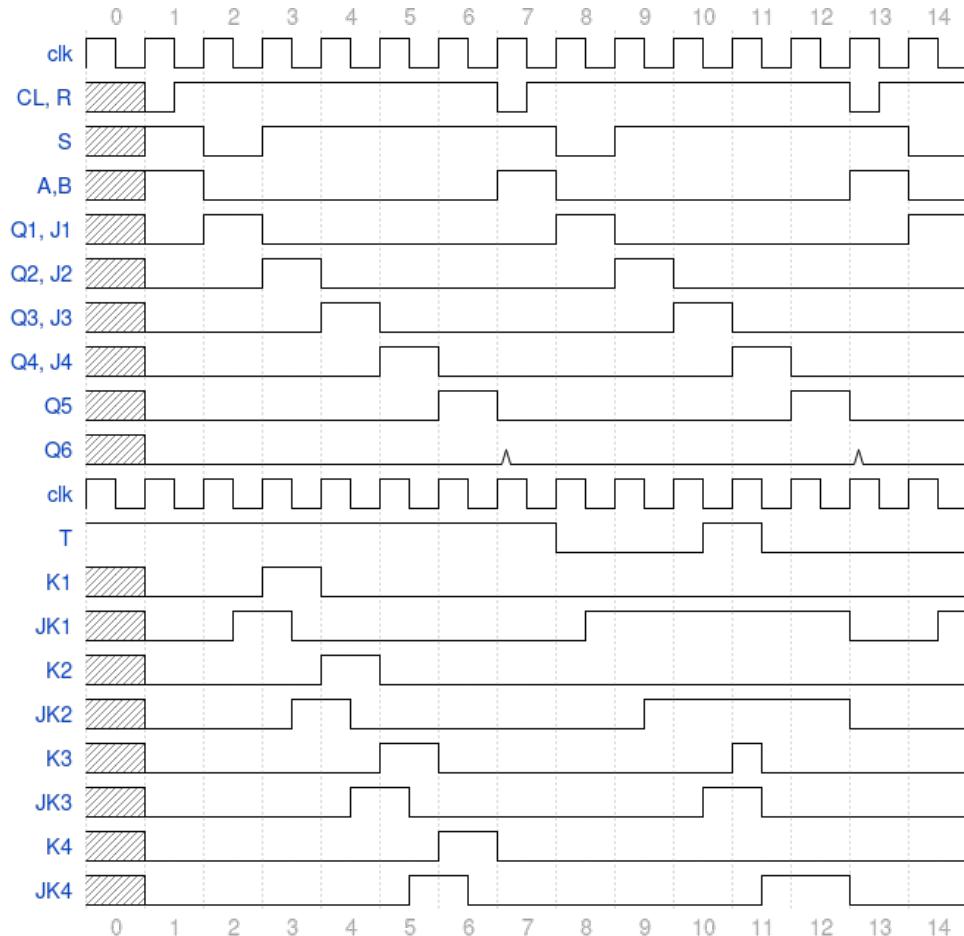


Figure 2: Aspettativa teorica, diagramma ideale

in uscita dal DAC. Considerato che $\mu A741$ in configurazione openloop, vale:

$$V_{ol} = -A_{ol}(V^- - V^+) \quad (2)$$

ricordando che le tensioni sono negative, se $V_{out} > V_{ol} \rightarrow T = 0$ l'ultimo bit acceso viene tenuto acceso, viceversa, $T = 1$ indica che il bit verrà spento.

Per avere $T = 0$ si porterà il transistor in saturazione, si deve soddisfare:

$$R_c \geq \frac{V_{cc}}{\beta V_{sat}} R_b = \frac{R_b}{300} \quad (3)$$

Considerando $\beta \simeq 100$, si utilizza: $R_b = 100k\Omega$ e $R_c = 1k\Omega$

Si useranno 2 tipi di segnali da campionare: una tensione continua dove R_1 ed R_2 sono date da un potenziometro con resistenza totale di $10K\Omega$ ed una tensione variabile nel tempo di tipo sinusoidale e quadra.

4 Risultati Sperimentali

4.1 Shift Register

Primo blocco, shift-register assieme al circuito di controllo: si verifica che i led si accendano correttamente.

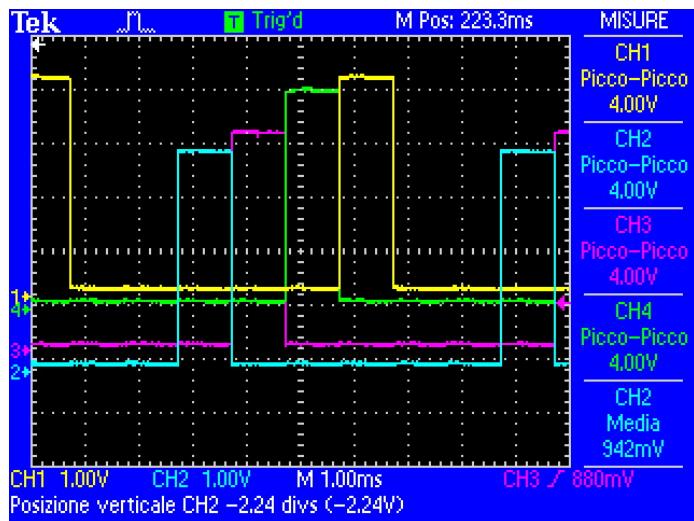


Figure 4: Risposta Shift-Register

Il comportamento previsto è verificato sperimentalmente: le uscite si accendono consecutivamente alternandosi (non sono mai alte contemporaneamente).

4.1.1 Tempo di ritardo funzione clear (CL)

Essendo il segnale di clear trasmesso in un mezzo fisico, ci si aspetta che abbia un tempo di propagazione e quindi che le uscite si porteranno allo zero logico con un certo ritardo t_w rispetto all'istante in cui $CL = 0$. Infatti il datasheet riporta $t_w \geq 20ns$ come tempo di delay.

Si vuole quindi verificare il tempo richiesto affinché le uscite si riportino ad un livello basso dopo che $CL = 0$

- CH1: Uscita Q_6 che attiva CL
- CH2: Uscita Q_5 , ultimo bit acceso
- CH3: Pin CL sul shift-register

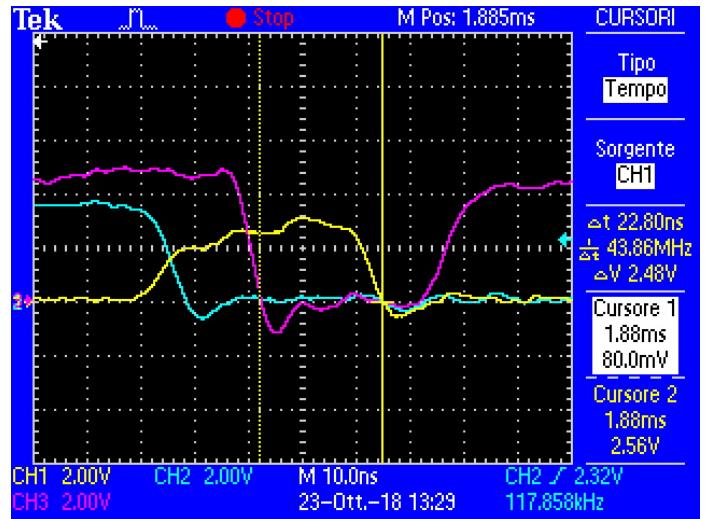


Figure 5: Clear Input Delay + Clear

Il valore sperimentale è in accordo con il valore fornito dal datasheet. Lo scostamento si potrebbe attribuire a: diverse condizioni di test in laboratorio rispetto a quelle indicate nel datasheet, e a differenze costruttive fra i singoli integrati che entro certe tolleranze possono presentare parametri diversi.

4.2 Flip-Flop JK

Si monta separatamente uno dei flip-flop per testarne il corretto funzionamento. Si pone $J = K = 5V = 1$

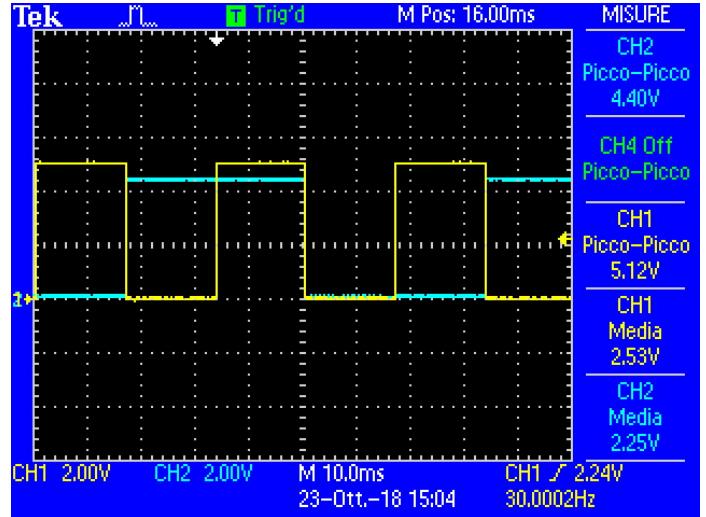


Figure 6: Risposta singolo J-K, CH1: clock

Quello che si osserva è la funzione di Toggle a ogni discesa del clock, secondo l'aspettativa teorica. Infatti l'uscita Q dei flip-flop si alterna per ogni variazione di clock da 1 a 0 (down-edge triggered).

Si montano ora insieme i blocchi [1] e [2] e si testano le uscite dei flip-flop jk. Per questa verifica si prova sia $T = 1$ che $T = 0$ costante. Questa prova è stata fatta con una configurazione a 3 flip-flop (3 bit): l'ultimo è stato escluso per mostrare il clock

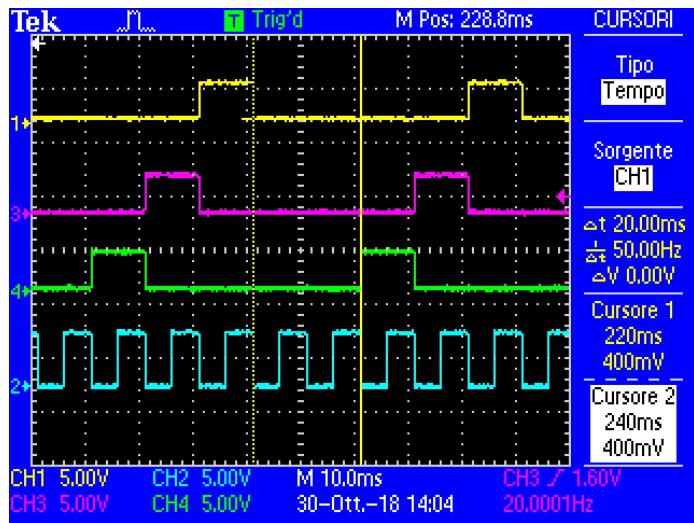


Figure 7: J-K collegati al blocco [1], CH2: CLK

Anche in questo caso il funzionamento e' corretto: i bit si accendono in sequenza alternandosi. Si accedono a metà periodo (considerando il fronte di salita) e rimangono accesi per un periodo. Fra lo spegnimento dell'ultimo e la successiva accensione del primo c'e' un'intervalllo di 2 periodi: uno e' dovuto al bit non visualizzato, il restante, in cui le uscite sono zero, si ha quando si attiva l'ultimo canale dello shift-register che poi poi attiva il clear.

Si puo' visualizzare anche il singolo flip-flop insieme agli ingressi:

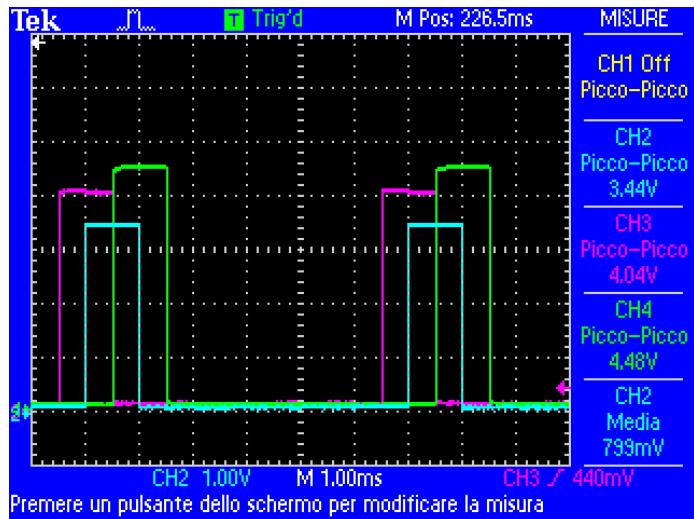


Figure 8: CH2: JK1, CH4: K1, T = 1

E' interessante notare come $K_1 > J_1$: questo e' dovuto al fatto che la AND avendo alimentazione separata, e' in grado di rigenerare il segnale.

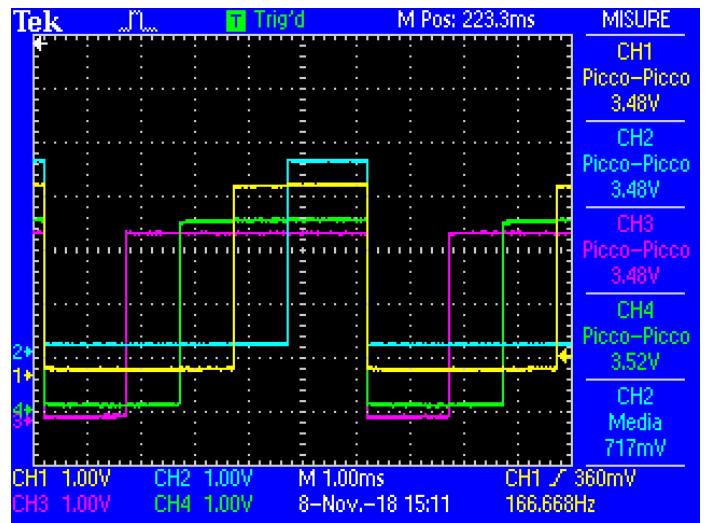


Figure 9: JK1, JK2, JK3, T = 0

Anche per $T = 0$ l'aspettativa teorica e' verificata: su ogni fronte di salita successivo a quello di accensione della prima uscita, si accendono una alla volta le altre uscite rimanendo poi alte fino a quanto scatta Q_6 che porta CL ad un livello basso.

Infine, visualizzando piu' in dettaglio $JK1$ (figura 10) si puo' notare che il segnale ha un'offset rispetto allo zero ed e' attenuato: $picco - picco = 3.40V$

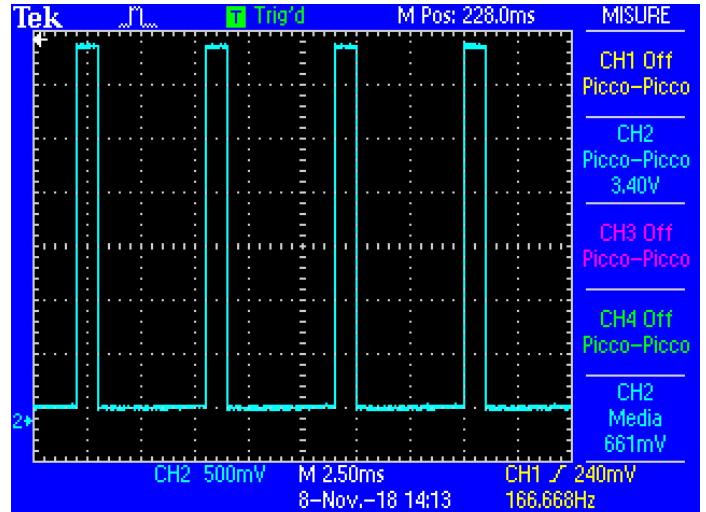


Figure 10: Offset ed attenuazione JK1

4.3 DAC R-2R

Blocco 3: viene montata la DAC su un circuito esterno e si procede alla sua calibrazione per verificarne il corretto funzionamento. Riportiamo le tabelle e i grafici a 4 bit. Questa procedura, indipendente dai JK, avviene collegando ai bit tensioni continue di 0V (0) o di 4.993 ± 0.010 V (1) e con $R_f = R = 1k\Omega$. Infatti, scelti i valori di R_f, R, V_{ref} i dati sperimentali dovrebbero seguire la seguente formula:

$$V_{dac} = -\frac{R_f}{R} \frac{V_{ref}}{2^n} \sum_{i=1}^n B_i 2^{i-1} \quad (4)$$

$$Sensibilita_{dac}^1 = \frac{R_f}{R} \frac{V_{ref}}{2^n} \quad (5)$$

NB¹: (Questa e' la sensibilita' definita dalla trattazione teorica, ma tenendo il numero di bit fissato $\frac{R_f}{R} V_{ref}$ (ad esem-

pio = 0.1 o 1) definisce un errore relativo di misura sempre uguale. Quindi si deduce che la *precisione* dell'ADC dipenda direttamente dal numero di bit, infatti il numero di scalini per raggiungere il valore massimo e' 2^n .)

n	$V_{dac}[mV]$	binario
0	2.1 ± 0.5	0
1	-310.8 ± 0.8	1
2	-629.8 ± 1.1	10
3	-942.7 ± 1.4	11
4	-1241 ± 6	100
5	-1563 ± 7	101
6	-1873 ± 7	110
7	-2186 ± 7	111
8	-2486 ± 7	1000
9	-2798 ± 8	1001
10	-3117 ± 8	1010
11	-3429 ± 8	1011
12	-3728 ± 9	1100
13	-4040 ± 9	1101
14	-4358 ± 9	1110
15	-4670 ± 10	1111

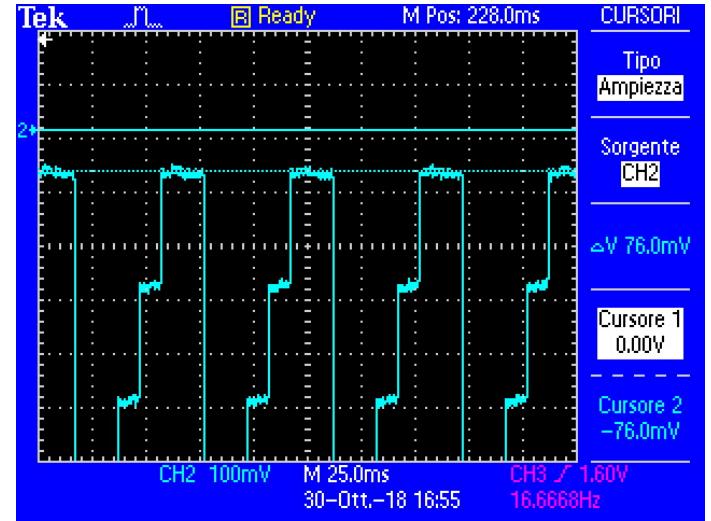


Figure 12: offset DAC a 4 bit

Da cosa e' dovuto questo offset? Si sono misurate piu' precisamente le tensioni in uscita da B_1, B_2, B_3, B_4 e si osserva che e' presente gia' un offeset che effettivamente si propaga quando tutti i bit sono spenti.(figura 10)

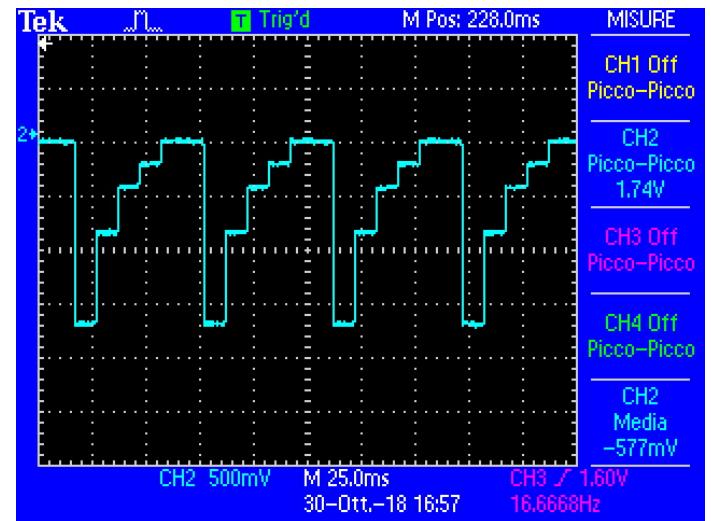


Figure 13: output DAC a 4 bit, T=1

Dalla figura 13 si puo' osservare che ogni scalino corrisponde all'accensione dei singoli bit (flip-flop JK).

4.4 Campionamento ADC

4.4.1 Calibrazione Tensione Continua

Ora che tutti i blocchi sono funzionanti e montati, si procede con la comparazione di una tensione continua regolata da un potenziometro: si parte da una tensione pari a zero e si alza fino ad una soglia paragonabile alla massima tensione erogabile dal DAC.

La calibrazione della comparazione e' necessaria poiche' a priori non si conosce la tensione di zero-crossing dell'operazionale o le approssimazioni dovute alla tolleranza delle R. Si riportano la tabella e la retta delle tensioni misurati con il voltmetro appena si notava l'accensione di un bit sull'oscilloscopio.

Figure 11: DAC Calibrazione, y: $V_{DAC}[mV]$

Il coefficiente angolare della nostra retta corrisponde esattamente al nostro valore teorico di 312 mV ($\frac{R_f}{R} \cdot \frac{V_{ref}}{16}$). L'offset invece e' compatibile per il test di Z: $|2.1 - 0.9| / \sqrt{\sigma_1^2 + \sigma_2^2} \simeq 1,88 < 1,96$

Si monta ora il blocco [3] insieme a [1] e [2] e si testa segnale in uscita. Si inizia ponendo $T = 1$ e si nota immediatamente la presenza di un offset che si misura con buona precisione con l'oscilloscopio. Il valore misurato e' riportato nelle seguente immagine:

n	$V_{dac}[mV]$	binario
0	-297.8 ± 0.8	1
1	-520.5 ± 1.0	10
2	-718.6 ± 1.2	11
3	-924.3 ± 1.4	100
4	-1139 ± 6	101
5	-1348 ± 6	110
6	-1556 ± 7	111
7	-1751 ± 7	1000
8	-1969 ± 7	1001
9	-2181 ± 7	1010
10	-2385 ± 7	1011
11	-2590 ± 8	1100
12	-2806 ± 8	1101
13	-3018 ± 8	1110
14	-3231 ± 8	1111

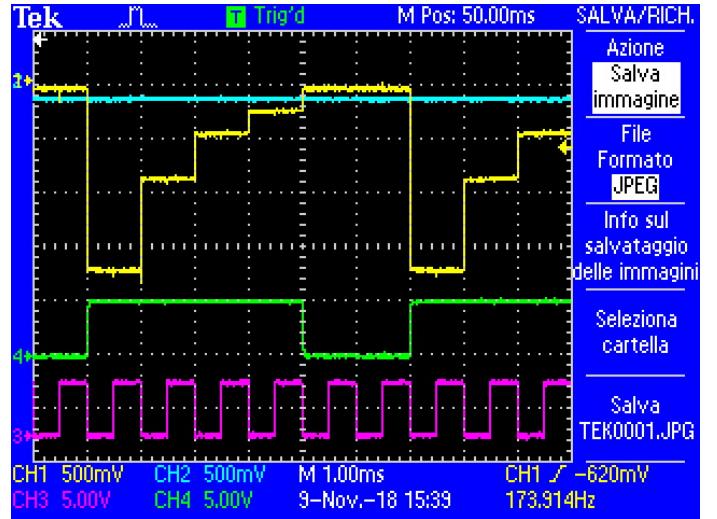


Figure 15: Comparazione DAC - 0000

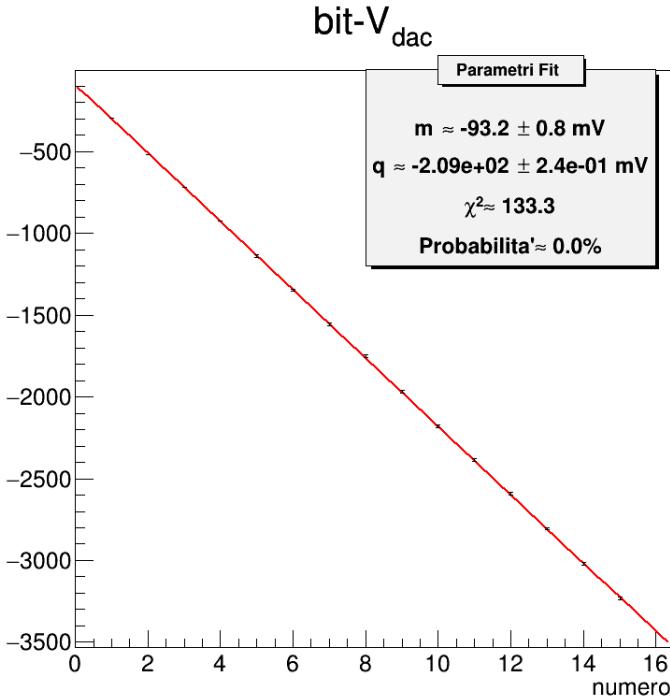


Figure 14: Calibrazione, asse y: $V_{dac}[mV]$

Dai parametri dei fit (calcolati dal framework Root attraverso il metodo dei minimi quadrati) si evince che l'offset a -93.2 ± 0.8 mV e' paragonabile, anche se non compatibile, ai -76 ± 1 mV misurati precedentemente all'uscita del DAC, quindi potrebbe essere probabile che lo zerocrossing del nostro operazionale presenti delle imperfezioni. Il coefficiente angolare corrisponde a -209.0 ± 0.2 mV mentre la sensibilita' teorica e' -212.5 mV. Nonostante la differenza sia minima, l'errore sul parametro sperimentale rende incompatibile il risultato per il test di Z. $|212.5 - 209.0|/\sigma_{sp} \simeq 15 > 1,96$. Trascuriamo questo risultato poiche' come discusso gia' in precedenza il valore teorico non tiene in considerazione qualche approssimazione (tolleranza resistenze, tensioni diverse alle uscite dei JK).

- CH1: Uscita DAC
- CH2: Tensione Continua
- CH3: Clock
- CH4: Tensione sull'emettitore del transistor

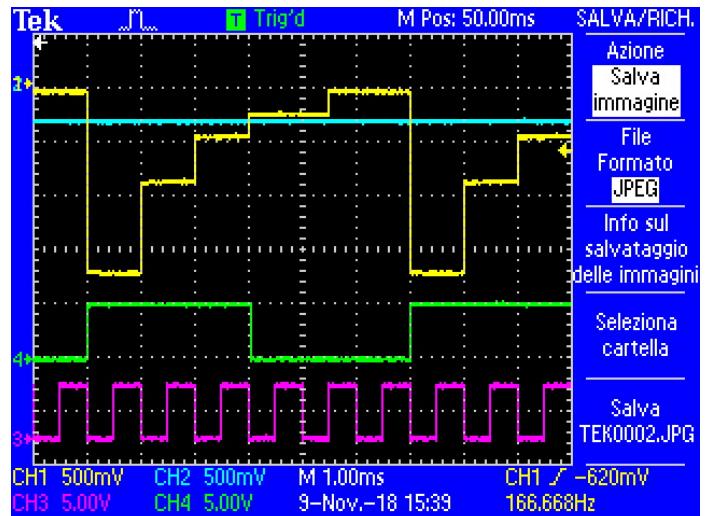


Figure 16: Comparazione DAC - 0001

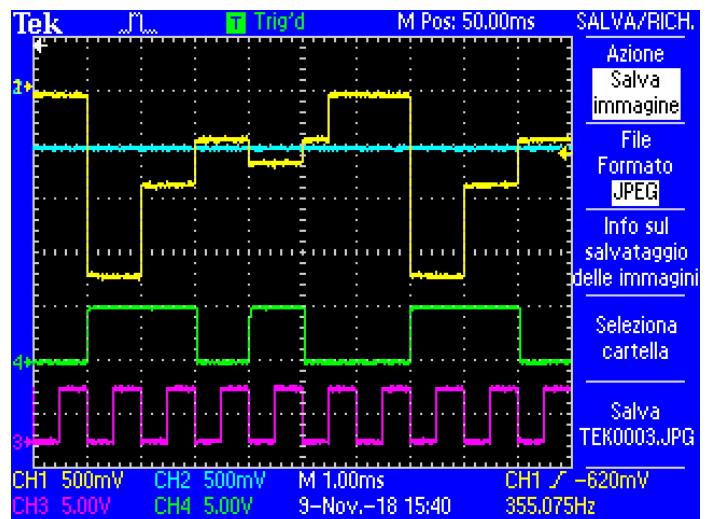
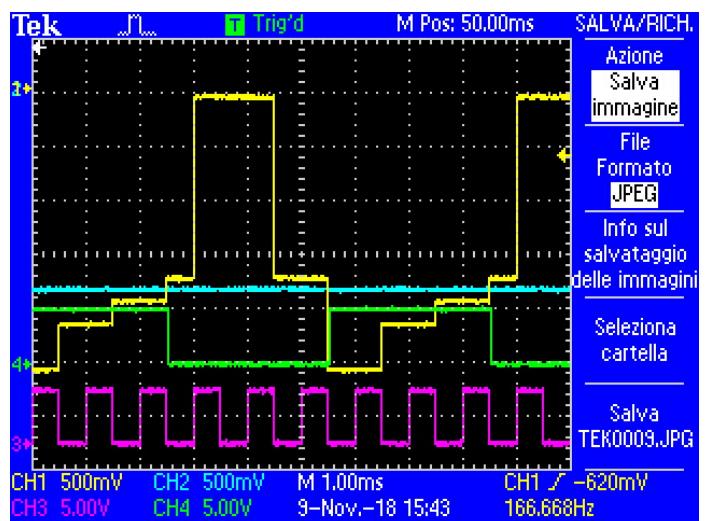
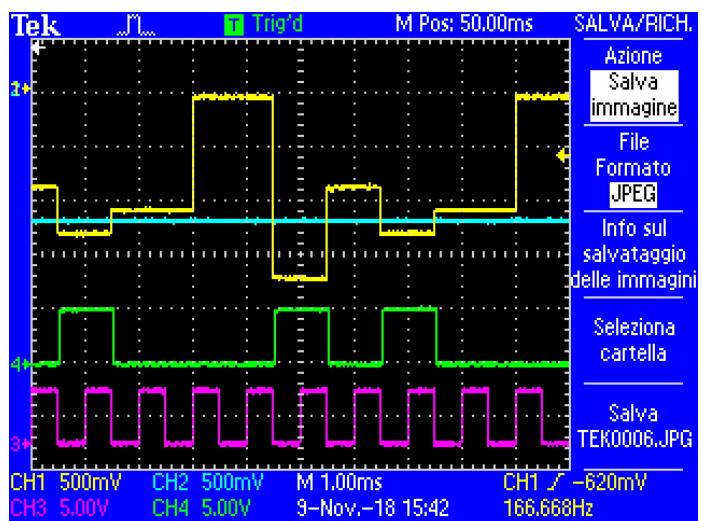
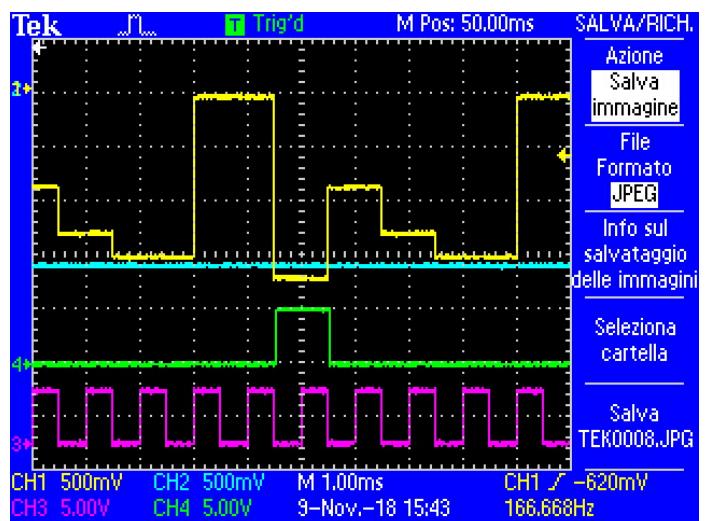
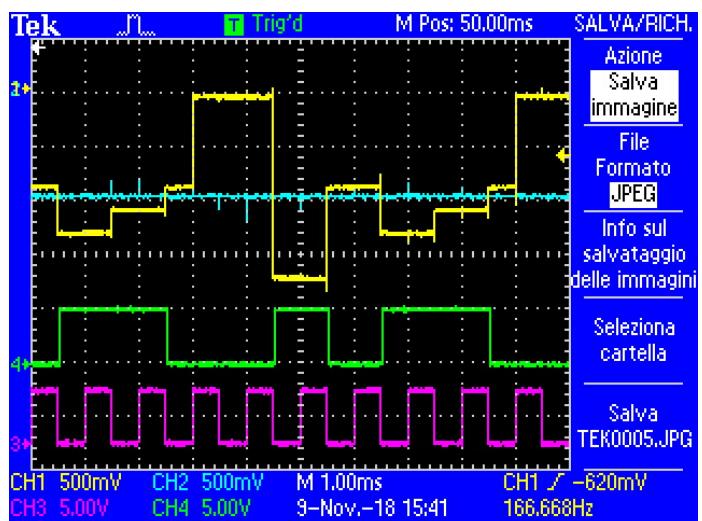
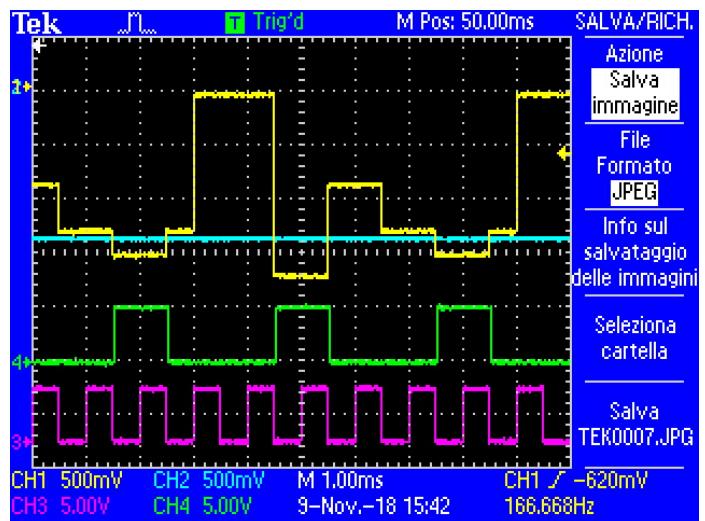
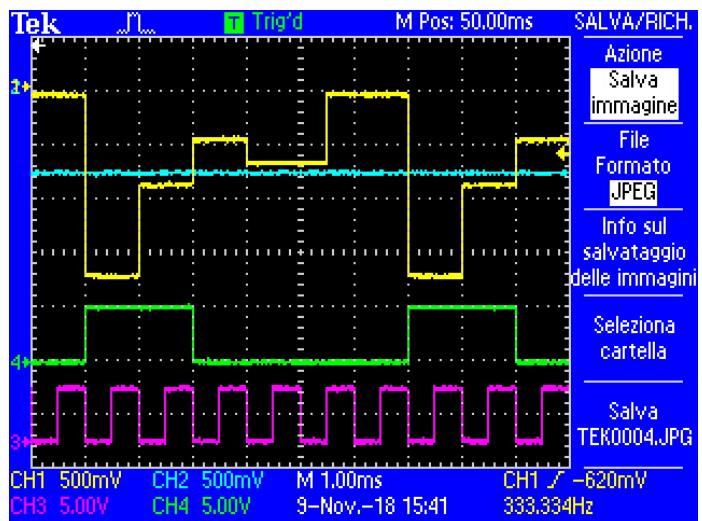


Figure 17: Comparazione DAC - 0010



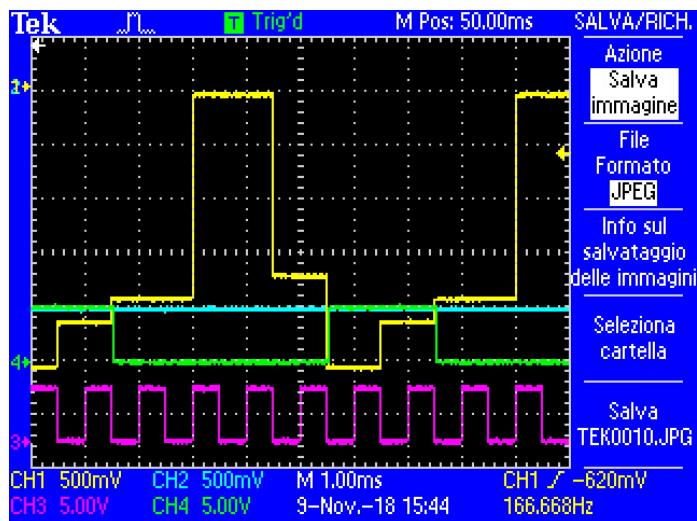


Figure 24: Comparazione DAC - 1001

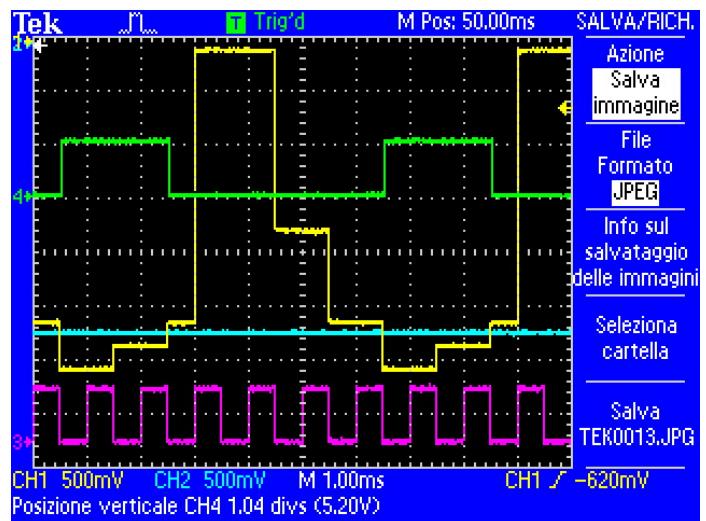


Figure 27: Comparazione DAC - 1100

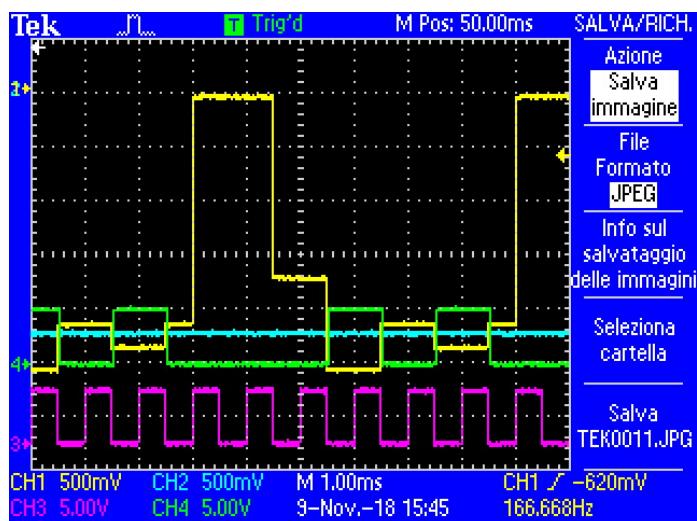


Figure 25: Comparazione DAC - 1010

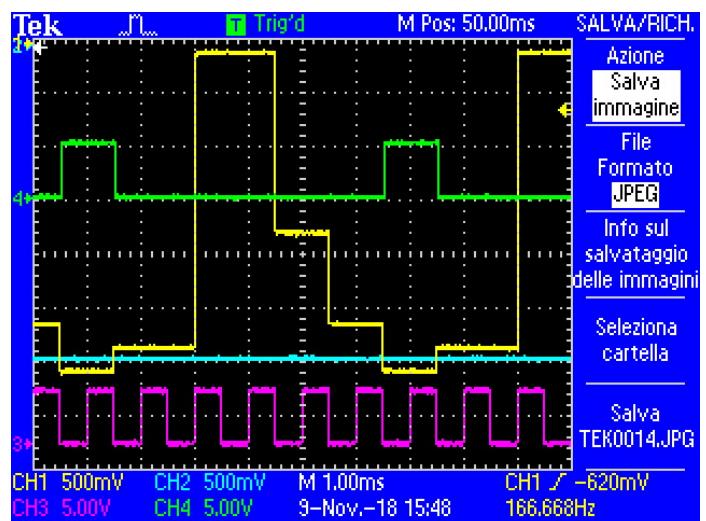


Figure 28: Comparazione DAC - 1101

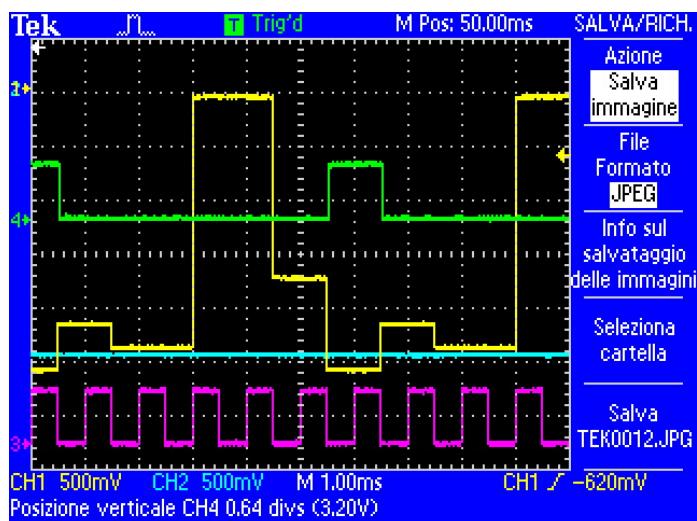


Figure 26: Comparazione DAC - 1011

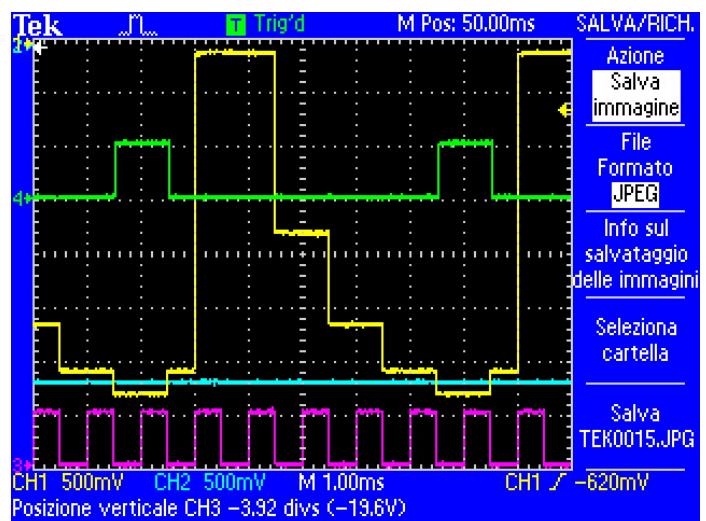


Figure 29: Comparazione DAC - 1110

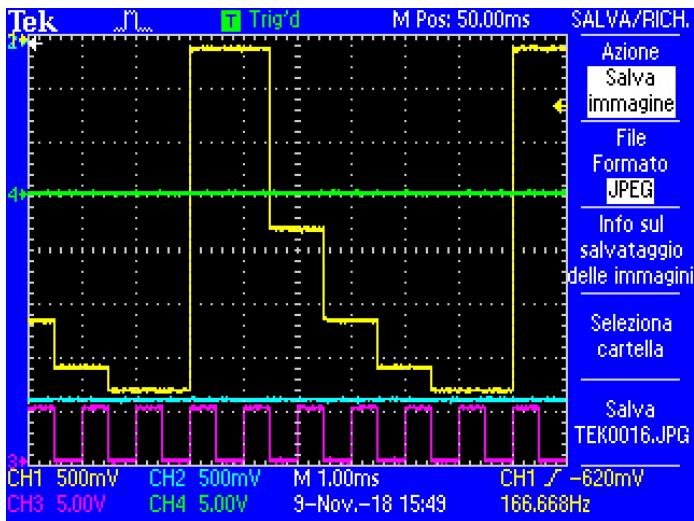


Figure 30: Comparazione DAC - 1111

Eccetto la presenza di un offset precedentemente discussa, funziona tutto secondo l'aspettativa teorica. Infatti sul CH4 si puo' vedere che quando la linea del CH2 supera un gradino del DAC va a 0 quando si vuole mantenere il bit acceso, si guardi ad esempio 0101 e 1010 (Figure 20, 25).

4.4.2 Onda sinusoidale

Si imposta ora come segnale di riferimento in ingresso (V_{in}), una tensione sinusoidale, con le seguenti caratteristiche:

Frequenza Sinusoide: 100 Hz, Ampiezza picco-picco: 2.8V, Offset: -1.6V.

Frequenza Clock: 7 kHz.

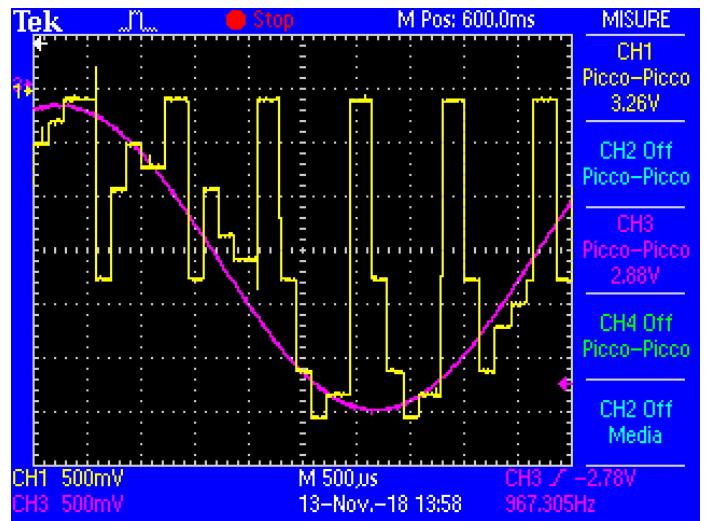


Figure 32: Campionamento sinusoide "zoom"

Si puo' visualizzare come il segnale sul DAC da mezzo periodo di clock alla fine dei bit indichi la tensione finale di comparazione. Quest'ultima misura abbastanza precisamente il segnale sinusoidale se si considera anche il fatto che quando la comparazione e' in atto la sinusoide continua a variare.

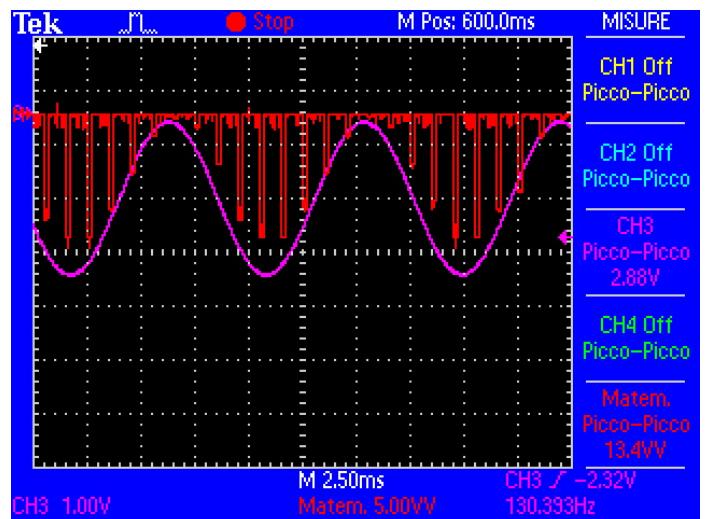


Figure 33: Campionamento funzione MATH

In figura 33 si puo' visualizzare il campionamento in modo piu' intuitivo. Per ottenere l'immagine si modifica leggermente il circuito: si collegano i clear sull'uscita Q7 dello shift register, in questo modo il risultato del campionamento viene mantenuto per un ulteriore periodo di clock, e usando math (X) fra il segnale su Q6 e l'uscita del DAC e' possibile mostrare soltanto il risultato. Con questo metodo si rallenta di un periodo di clock il campionamento. I risultati della comparazione sono leggermente piu' piccoli dato che Q6 e' a 4V ma la scala su Math e' 5VV.

4.4.3 Onda quadra

Si prova per curiosita' anche l'onda quadra con frequenza 170Hz, ampiezza picco-picco 3V, Offset: -2V

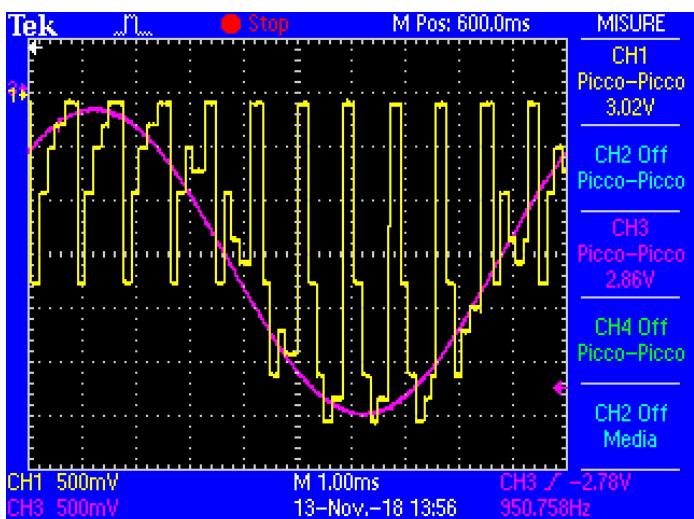


Figure 31: Campionamento sinusoide

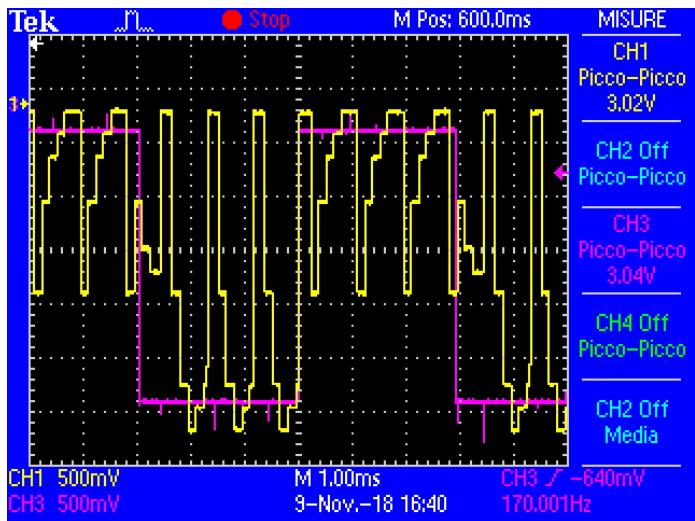


Figure 34: Campionamento onda quadra

Si noti come il campionamento sia completamente sbagliato quando l'onda passa da un valore all'altro. Questo e' dovuto al tempo di variazione dell'onda in ingresso nettamente inferiore rispetto al tempo di campionamento.

5 Conclusioni

Si e' visto che i risultati sperimentali rispettano le aspettative teoriche. L'ADC funziona come previsto dal metodo della approssimazioni successive ed in generale non si hanno risultati inconsistenti anche se bisogna notare che non si e' cercato di progettare un circuito con precisioni elevate e delay bassi. Anzi il progetto presenta molti limiti: per come e' stato concepito la conversione e' lenta e questo si puo' osservare nelle immagini di campionamento di una sinusoida dove il risultato finale della conversione arriva dopo che il segnale da campionare e' cambiato significativamente. Questo comporta che il circuito sia adatto a campionare segnali lenti relativamente alla frequenza di campionamento. Allo stesso tempo la frequenza di campionamento e' limitata a causa dell'amplificatore operazionale $\mu A741$ che essendo lento (slew-rate alto, cioe' tempo impiegato a variare il segnale in uscita) a frequenze alte attenuerebbe il segnale in uscita con il risultato di una conversione meno precisa.

Altro limite su cui si dovrebbe lavorare per migliorare il circuito e' l'eliminazione di offset sia sull'amplificatore operazionale che sulle uscite dei flip-flop: nel primo caso si potrebbe agire sul pin apposito. Per quanto riguarda gli integrati dei flip-flop questo rumore e' probabilmente causato dalle diverse marche dei due integrati e dall'usura specifica dei singoli flip-flop JK (ogni integrato ne possiede due).

Infine, le principali difficolta' incontrate riguardano: montaggio dei componenti su breadboard, visto l'elevato numero di connessioni e fili, problemi con breadboard bruciata e amplificatore operazionale bruciato che forniva +15V sul pin 3 non invertente.