



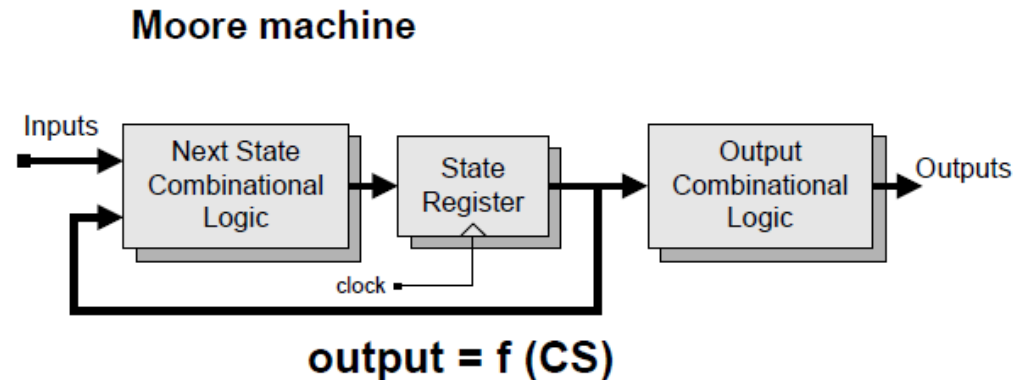
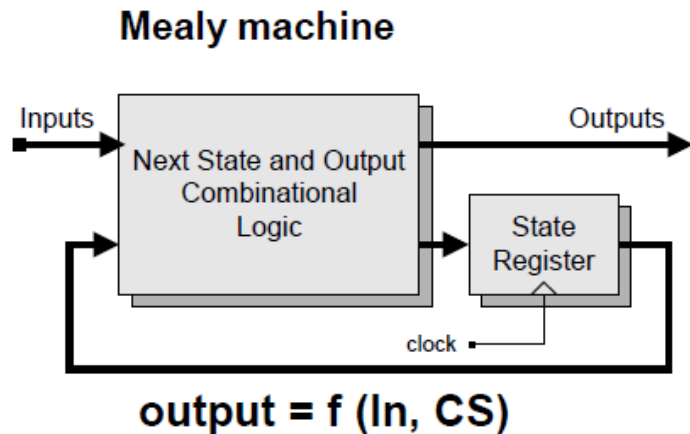
2021 DCS Lab05

Finite State Machine

隋建德、郭書宏、許仲緯

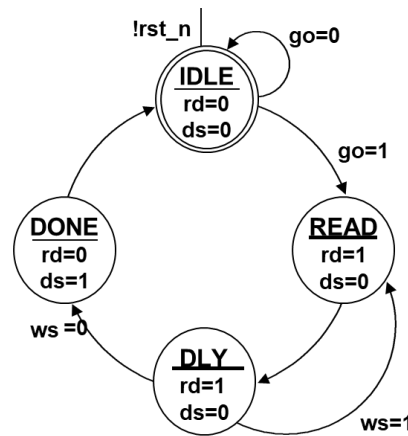
Mealy and Moore Machine

- Mealy machine
 - The outputs depend on the current state and inputs.
- Moore machine
 - The outputs depend on the current state only.



FSM coding style (example)

- 參考上課講義 Lec.4 p.15



```

module fsm_cc1_2
(output logic rd, ds,
input go, ws, clk, rst_n);
//state parameter declaration
Parameter IDLE = 2'b00,
          READ = 2'b01,
          DLY  = 2'b11,
          DONE = 2'b10;

logic [1:0] curr_state, next_state;

always_ff@(posedge clk or negedge rst_n) begin
    if (!rst_n) curr_state <= IDLE;
    else curr_state <= next_state;
end

```

```

//next state and output logic
always_comb begin
    next = 'bx;
    rd = 1'b0;
    ds = 1'b0;
    case (curr_state)
    IDLE: begin
        if (go) next_state = READ;
        else next_state = IDLE;
    end
    READ: begin
        rd = 1'b1;
        next_state = DLY;
    end
    DLY : begin
        rd = 1'b1;
        if (!ws) next_state = DONE;
        else next_state = READ;
    end
    DONE: begin
        ds = 1'b1;
        next_state = IDLE;
    end
    endcase
end
endmodule

```

GCD (最大公因數)

- 本次Lab要實作找出兩個整數的最大公因數。
- For example:
 - $\text{num_0} = 40$, $\text{num_1} = 15 \rightarrow \text{GCD} = 5$
 - $\text{num_0} = 12$, $\text{num_1} = 16 \rightarrow \text{GCD} = 4$
- 但是你們**不能使用除法(/)與餘數(%)**在設計中。
- 請使用FSM設計。

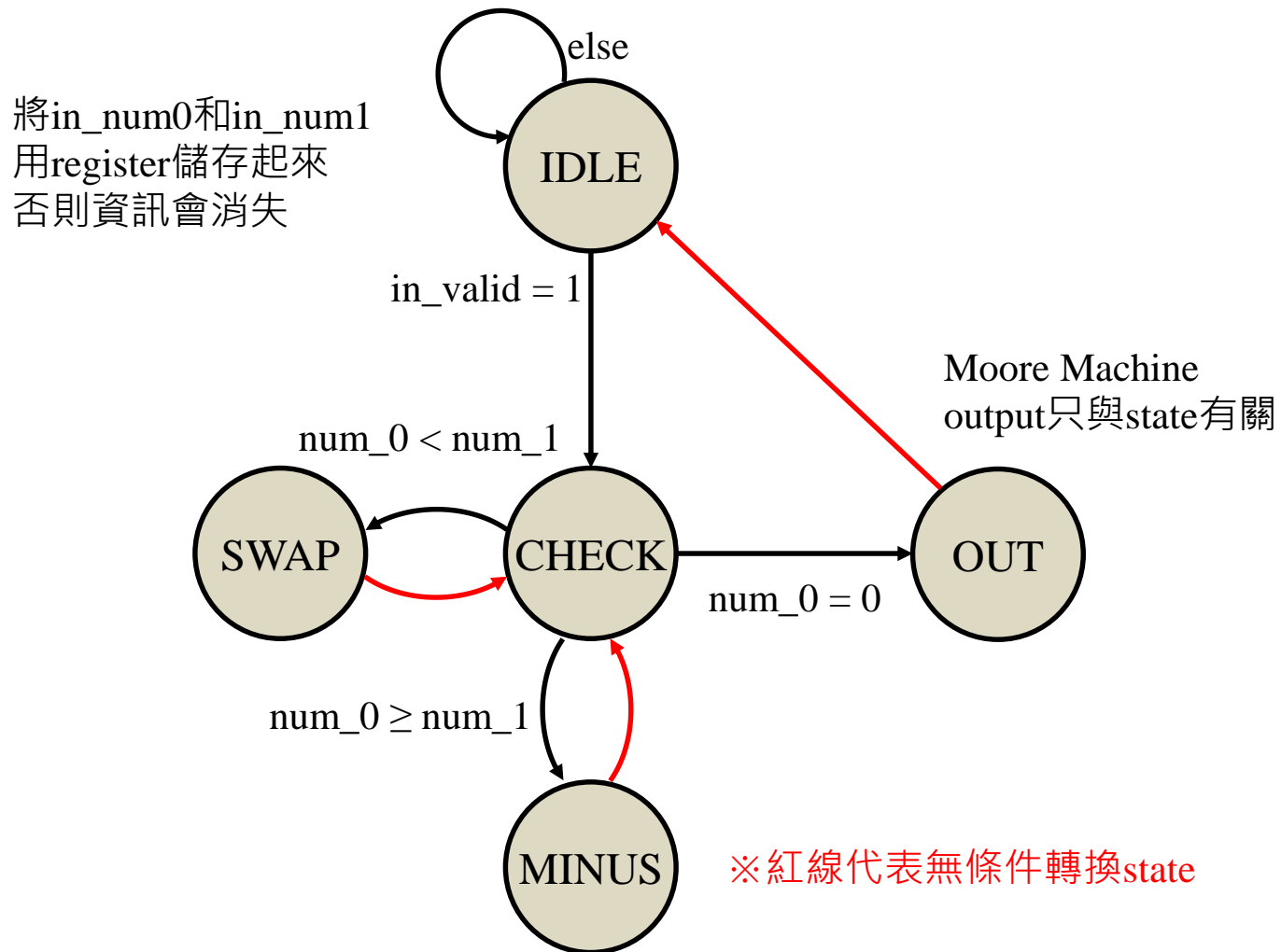
Euclidean algorithm (輾轉相除法)

Operation	num_0	num_1
Initial	40	15
minus	25	15
minus	10	15
swap	15	10
minus	5	10
swap	10	5
minus	5	5
minus	0	5

Operation	num_0	num_1
Initial	12	16
swap	16	12
minus	4	12
swap	12	4
minus	8	4
minus	4	4
minus	0	4

參考FSM diagram

- 在各個state可以做“什麼運算”使電路達到要求功能。



GCD.sv

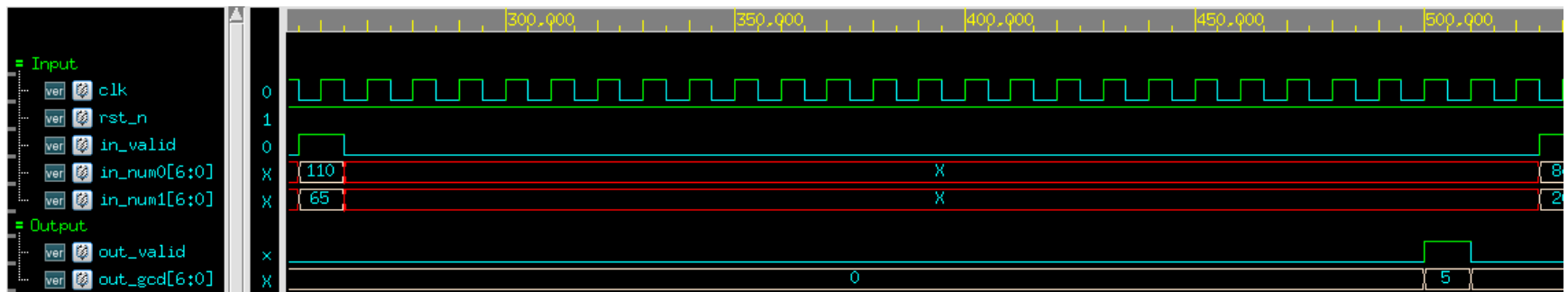
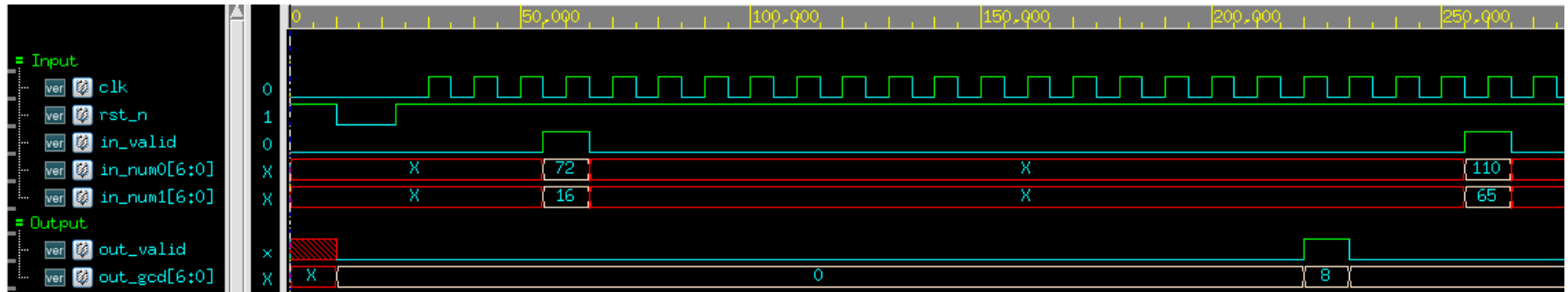
Input Signal	Bit width	Definition
clk	1	clock
rst_n	1	Asynchronous active-low reset
in_valid	1	當此訊號拉起時，代表in_num0、in_num1給值。
in_num0	7	在negative edge clock且in_valid= 1時， in_num0 與 in_num1 各給予一個 1 ~ 127 的值。
in_num1	7	

Output Signal	Bit width	Definition
out_valid	1	當此訊號拉起時，testbench開始檢查。 out_valid必須在in_valid降下之後的 300 cycles 之內拉起，只能維持 High 1 cycle 。
out_gcd	7	in_num0 與 in_num1 的最大公因數。

Spec

- 禁止使用/與% ，助教們會檢查。
- 請使用FSM完成此次Lab，可參考範例。
- 所有output必須非同步負準位reset。
- 01_RTL須PASS。
- 02_SYN不能有任何error跟latches。
- 02_SYN timing slack必須為MET。

Waveform



Command

- `tar -xvf ~dcsta01/Lab05.tar`
 - `cd Lab05/01_RTL/`
 - `./01_run` (電路模擬)
 - `cd ../02_SYN/`
 - `./01_run_dc` (合成電路)
 - `cd ../09_UPLOAD/`
 - `./01_upload` (上傳code)
- Demo1: 4/8, 16:25:00 , Demo2: 4/9, 23:59:59