

# NYCU-EE DCS-2021

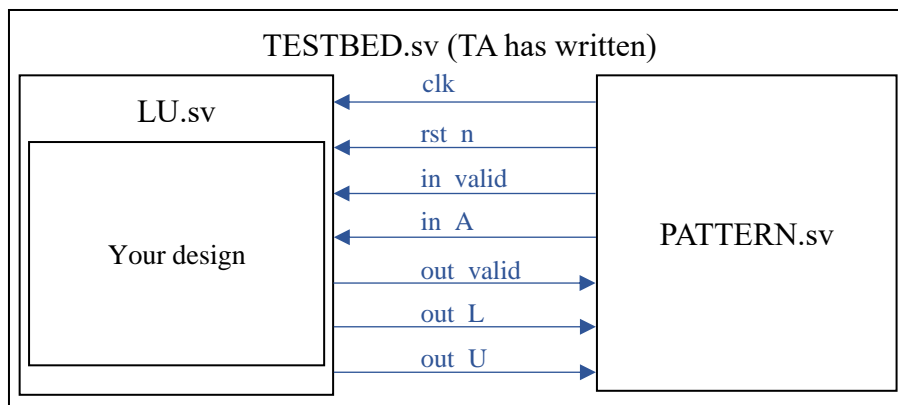
## HW04

### Design: LU Factorization

#### 資料準備

- 從 TA 目錄資料夾解壓縮:  
`% tar -xvf ~dcsta01/ HW04.tar`
- 解壓縮資料夾 HW04 包含以下:
  - 00\_TESTBED/
  - 01\_RTL/
  - 02\_SYN/
  - 09\_UPLOAD/

#### Block Diagram



#### 設計描述

本次作業目標是設計對一個3\*3矩陣作LU分解運算的硬體。

Input矩陣A會以raster scan order的順序給一個3\*3矩陣的9個元素，每個元素的範圍是-496~527。

※ Raster scan order:  $a_{11} \rightarrow a_{12} \rightarrow a_{13} \rightarrow a_{21} \rightarrow a_{22} \rightarrow a_{23} \rightarrow a_{31} \rightarrow a_{32} \rightarrow a_{33}$

$$\begin{bmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \end{bmatrix}$$

矩陣  $A$  可以分解成下三角矩陣  $L$  與上三角矩陣  $U$  相乘，下三角矩陣  $L$  的  $l_{12}$ 、 $l_{13}$ 、 $l_{23}$  三個元素與上三角矩陣  $U$  的  $u_{21}$ 、 $u_{31}$ 、 $u_{32}$  三個元素皆為零，而當下三角矩陣的對角元素  $l_{11}$ 、 $l_{22}$ 、 $l_{33}$  皆為1時，矩陣  $A$  所分解的下三角矩陣  $L$  與上三角矩陣  $U$  有唯一解。

$$A = \begin{bmatrix} a_{11} & a_{12} & a_{13} \\ a_{21} & a_{22} & a_{23} \\ a_{31} & a_{32} & a_{33} \end{bmatrix} = \begin{bmatrix} 1 & 0 & 0 \\ l_{21} & 1 & 0 \\ l_{31} & l_{32} & 1 \end{bmatrix} \times \begin{bmatrix} u_{11} & u_{12} & u_{13} \\ 0 & u_{22} & u_{23} \\ 0 & 0 & u_{33} \end{bmatrix} = L \times U$$

LU分解可以依照下列演算法解出各個元素: (n=3)

Step 1:  $l_{11} \times u_{11} = a_{11}$  ; (In this case,  $l_{11} = 1$ )

Step 2: For  $j = 2, \dots, n$ , set

$$u_{1j} = a_{1j} / l_{11} ; \text{(First row of } U \text{)}$$

$$l_{j1} = a_{j1} / u_{11} ; \text{(First column of } L \text{)}$$

Step 3: For  $i = 2, \dots, n-1$ , do Step 4 and 5.

Step 4:  $l_{ii} \times u_{ii} = a_{ii} - \sum_{k=1}^{i-1} l_{ik} \times u_{ki}$  ; (In this case,  $l_{ii} = 1$ )

Step 5: For  $j = 2, \dots, n$ , set

$$u_{ij} = [a_{ij} - \sum_{k=1}^{i-1} l_{ik} \times u_{kj}] / l_{ii} ; \text{(} i \text{ th row of } U \text{)} ;$$

$$l_{ji} = [a_{ji} - \sum_{k=1}^{i-1} l_{jk} \times u_{ki}] / u_{ii} ; \text{(} i \text{ th column of } L \text{)} ;$$

Step 6:  $l_{nn} \times u_{nn} = a_{nn} - \sum_{k=1}^{n-1} l_{nk} \times u_{kn}$  ; (In this case,  $l_{nn} = 1$ )

依照上面步驟(或者你可以自己手寫推導)，可以分別得到LU兩個矩陣的各九個元素，最後要依照raster scan order輸出LU矩陣的9個元素，輸出連續9個cycle。

※注意事項：

(1) 本次作業你們要自己寫Pattern去測試自己的Design，寫法可以參考以前助教給的Pattern，Pattern要測試Design是否符合Specifications 2~5點。

(2) 助教Demo的測資會符合下面條件：

矩陣A每個元素介於-496~527之間，並使矩陣L、U每個元素不會溢位、不會有小數點，矩陣U的對角元素 $u_{11}$ 、 $u_{22}$ 、 $u_{33}$ 不會為零。

助教在00\_TESTBED有放五組參考測資，需要更多的測資要自己算出來。

Hint: 可以用LU相乘得到A。

(3) 本次作業 performance 採取  $A(\text{area}) \times T(\text{simulation time})$ ，  
(simulation time = Total cycle x Clock Period)。

同學們，可以修改02\_SYN中syn.tcl的25行set CYCLE 6.0，壓縮時間。

Clock Period預設為 6 ns，並且不可高於 6 ns。

注意：通常壓縮時間降低、面積會增加。

## Inputs

Signal name	Number of bit	Description
clk	1 bit	clock
rst_n	1 bit	Asynchronous active-low reset
in_valid	1 bit	當 in_valid 拉起，in_A 開始輸入。
in_A	11 bits	範圍為-496~527 的隨機整數， 依照 raster scan order 連續輸入 9 個 cycle。

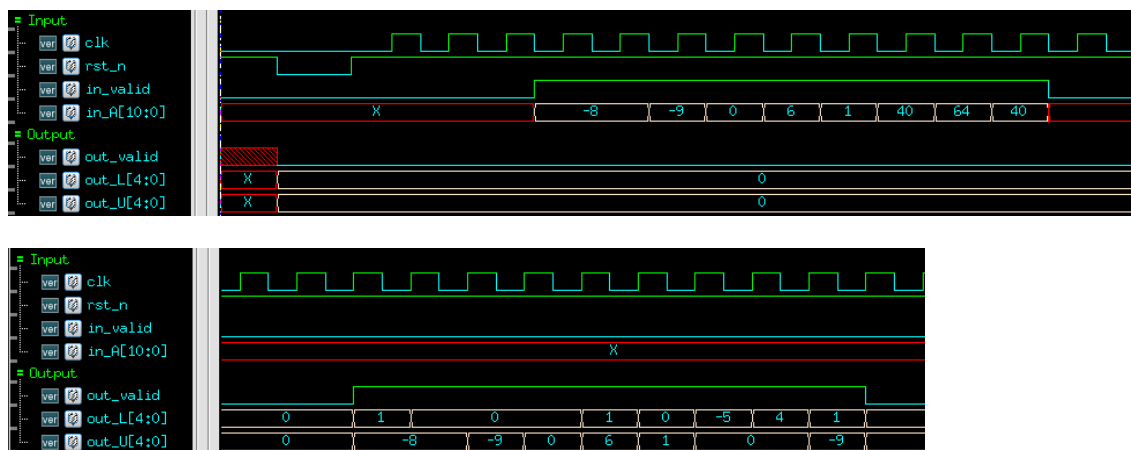
## Outputs

Signal name	Number of bit	Description
out_valid	1 bit	當out_valid拉起， pattern開始依照順序檢查 9 個cycle。
out_L	5 bits	下三角矩陣 $L$ 的元素， 依照 raster scan order 連續輸出 9 個 cycle。
out_U	5 bits	上三角矩陣 $U$ 的元素， 依照 raster scan order 連續輸出 9 個 cycle。

## Specifications

1. Top module name: **LU**(File name : **LU.sv**)
2. 在非同步負準位 Reset 後，所有 output 訊號都要歸零。
3. Output 要在 **input 結束後 50 cycles** 內輸出。
4. Output 要輸出連續 9 cycles，不能多不能少。
5. 所有 Output 訊號要在輸出結束後全部歸零。
6. Input 輸入順序及 output 檢查順序不得更改。
7. 02\_SYN result 不行有 **error** 且不能有任何 **latch**。
8. Clock period **最高 6 ns**，可以自由設定增加 performance。
9. Clock period **以0.1ns為單位**，例如5.1ns, 4.2ns...,不要有5.17ns, 4.16ns...。
10. Input delay = 0.5 \* Clock period，Output delay = 0.5 \* Clock period。

## Example waveform



## 上傳檔案

---

1. Code在09\_UPLOAD上傳。→ **./01\_upload [your cycle time]**

Example: `linux01 [HW04/09_UPLOAD]% ./01_upload 4.5`

2. report\_dcsxx.pdf, xx is your server account. 上傳至new E3。
3. 請在 5/13 15:30 pm 之前上傳

## Grading policy

---

1. Pass the RTL& Synthesis simulation. 70%
2. Performance = **A(area) x T (simulation time)**。20%  
(simulation time是總模擬時間、不是每組Pattern的Latency總和)。
3. Report 10%
4. Bonus +5%  
這次作業會找Performance不錯的同學上台分享自己的寫法、架構，  
如果願意上台分享可以加分(要準備PPT)。

## Note

---

Template folders and reference commands:

1. 01\_RTL/ (RTL simulation) → **./01\_run**.
2. 02\_SYN/ (synthesis) → **./01\_run\_dc**
3. 09\_UPLOAD/ (upload) → **./01\_upload [your cycle time]**

報告請簡單且重點撰寫，不超過兩頁A4，並包括以下內容

1. 描述你的設計方法(FSM or pipeline or both)，  
包含但不限於如何加速(減少critical path)或降低面積。
2. 基於以上，畫出你的架構圖(Block diagram)、狀態轉換圖(FSM diagram)。
3. 心得報告，不侷限於此次作業，對於作業或上課內容都可以寫下。