

# INTRO

- 5 componente clasice ale unui sistem de calcul
  - input
  - output
  - memory
  - datapath - operații aritmetice
  - control - coordonarea rețelei

## ISA

Instruction Set Architecture



x86-64

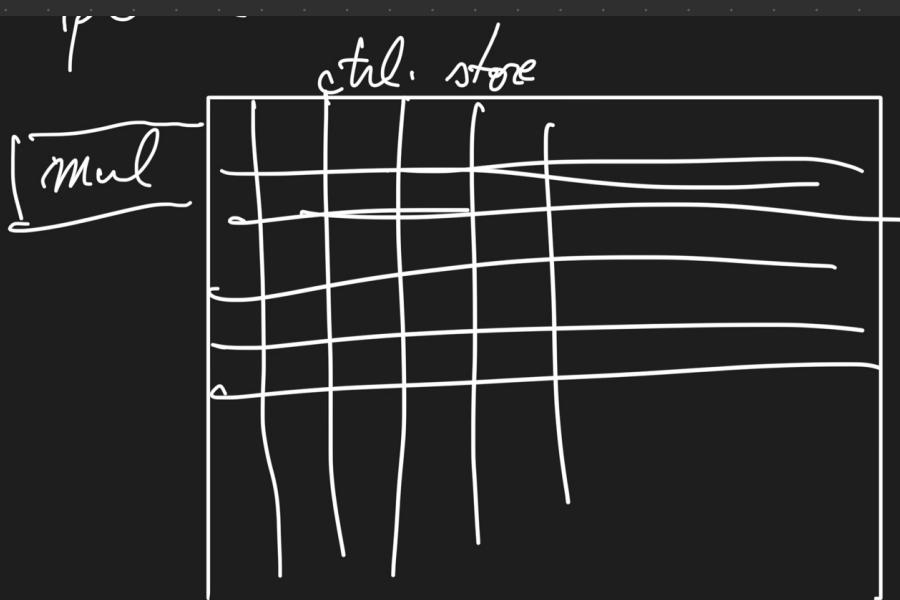
Intel

3086

# Evoluția ISA

CISC → complex instruction set computer  
RISC → reduced . . .

Memorie largă → control store  
 $m_{ctrl} = M.$  de elemente de controlat  
per linie → 9 instrucțiuni la o adresa



complex → mai multe mătrice în secu.  
memoria → parte din CPU

## CISC to RISC

$$X * 16 \Rightarrow X \ll 4$$

$$X / 16 \Rightarrow X \gg 4$$

Complex reduced

3x Viteza

dm control store  $\rightarrow$  cache

$L_1, L_2, L_3$

## Microprocessor RISC

RISC - I

MIPS

Very Long Instruction Word

$\downarrow L \text{ I } \forall$

EPIC

-> mai multe operații independente per inst.

-> 2 op. acces mem.

-> 2 op. cu integr.

-> 2 op. cu jng. mobilă

## Intel Itanium

→ pf. aplicații de tip digital signal processing

- ~> program mic
- ~> putine branch-uri
- ~> față cache

## CiSC recent

→ transf. instrucțiuni complexe în mai multe microinst.

## RiSC - Alpha

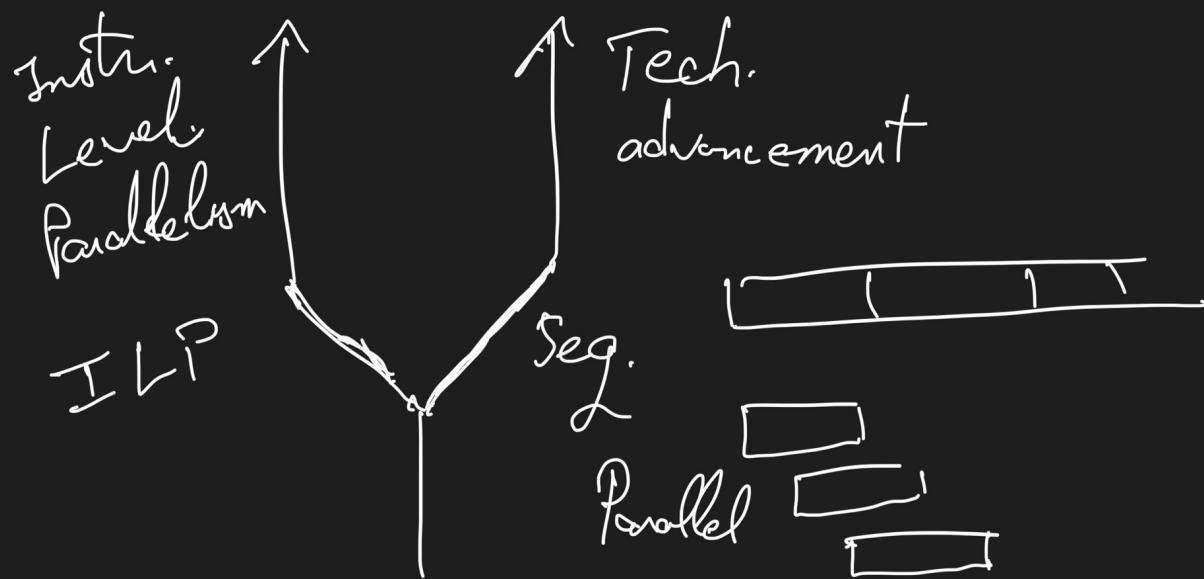
- HP- PA
- MIPS
- Power
- SPARC
- ARM

- Apple → iPhone 2007 [ARM]  
SoC (System on a Chip)

Performance și Eficiență ↗

99% din CPU → RiSC

# Crescerea Performantei



Tehnologia CMOS (după 2 ani)

Mosere's Law → dublare anuală de  
transistori

rație de creștere a perf. 41%

$(1,41\%, 1,41\%)$  → la 2 ani  
→ 2x trans.

Miniturările transitorilor

→ eficiență → viteza

41% Tech. Adv. 9% ILP

50% uplift perf. →

## ERA MULTICORE

TDP → Thermal Dissipation Power

Dark Silicon → deactivieren  
core - mit  
pt. a save energie

## Securitatea

- majoritatea defectelor provin din SW
- oferă suport HW pt. detectia lor

- virtualizarea (sandbox-ing)
- criptografie

Intel → Management Engine (ME)

→ microprocessor pt. management  
firmware - culorii

## PIPELINE

+ Branch prediction

(În casă de exec la predictie →  
→ Roll back)

(Calcul Speculativ)

## Tehnici de accelerare

→ costătoare

eficiență ↓  
vulnerabilități ↑

- hardware streamlining [LTEK2D]  
core size ↓ core count ↑

Intel P-core / E-core

Specialized hardware → simplificarea  
CPU

GPU → paralelizare

1/5 instrucțiuni executate înutile  
(false branch predicted)

GPU → pf. aplicatie de algoritmi  
geniați  
+ antrenare ML / AI

Google Tensor Processing Unit

TPU

ASIC

Matrix multiply unit

$256 \times 256$

int8

92 TOPS

30-80% more  
efficient