

UNIVERSIDADE DE SÃO PAULO
ESCOLA POLITÉCNICA

DEPARTAMENTO DE ENGENHARIA DE SISTEMAS ELETRÔNICOS

PROJETO DE PESQUISA

**Análise Comparativa de Fluxos Abertos de Projeto de ASICs e o
Desenvolvimento de uma Plataforma Digital para Divulgação
Científica em Hardware Livre**

INICIAÇÃO CIENTÍFICA

VERTENTE : CULTURA E EXTENSÃO

Orientador:

Dr. Bruno Cavalcante de Souza Sanches

São Paulo

20 de setembro de 2025

Resumo

A presente pesquisa realiza uma análise comparativa de fluxos de projeto de circuitos integrados, contrapondo ferramentas comerciais proprietárias ao ecossistema open source, com foco no *OpenLane*. O estudo vai além da análise técnica, avaliando como a abordagem aberta promove a independência tecnológica e democratiza o acesso à fabricação de microchips, um campo tradicionalmente dominado por soluções de alto custo. Fundamental para validar fluxos de projeto abertos como uma estratégia viável, esta investigação busca não apenas oferecer uma alternativa acessível para instituições, mas também traduzir seus achados em conhecimento público por meio de plataformas digitais de divulgação científica, como um site ou perfil em redes sociais. O objetivo é impulsionar a educação, a pesquisa e a inovação de forma ampla, diminuindo consideravelmente os custos de projeto e o tempo de desenvolvimento para pesquisadores e estudantes da área.

Em princípio, será executado todo o fluxo de etapas necessárias para a criação de um circuito integrado, desde a especificação, planejamento de arquitetura e a descrição de hardware até a geração de layout . Esses objetivos serão alcançados por meio de cursos específicos e revisões bibliográficas, no qual será possível adquirir certo domínio na execução de cada etapa do processo e com relação às ferramentas utilizadas. Satisfeitos estes requisitos, será possível o cumprimento do fluxo de projeto.

Esta investigação se enquadra no recém estabelecido grupo Open-Silício (o qual recebeu este ano apoio monetário para seu estabelecimento via Amigos da Poli) e é de demasiada importância, pois viabiliza a criação de sistemas digitais de forma a diminuir consideravelmente os custos de projeto e tempo de desenvolvimento, oferecendo uma alternativa acessível para pesquisadores da área e para a disseminação desta em cursos de extensão em engenharia.

Palavras chave: open source, circuito integrado, openLane.

Abstract

This research conducts a comparative analysis of integrated circuit (IC) design flows, setting proprietary commercial tools against the open-source ecosystem, with a special focus on OpenLane. The study moves beyond a mere technical comparison to assess how an open approach fosters technological independence and democratizes access to microchip manufacturing—a domain traditionally governed by high-cost solutions. Crucial for validating open design flows as a feasible strategy, this work aims not only to provide an affordable alternative for institutions but also to share its findings publicly via digital science communication channels, like a website or social media. The goal is to drive widespread education, research, and innovation by substantially lowering design costs and shortening development timelines for researchers and students.

The project will begin by executing the full sequence of steps required for IC creation, from specification, architecture planning, and hardware description all the way to layout generation. These goals will be met through targeted courses and bibliographic reviews to build the necessary mastery over each phase of the process and the tools involved. The successful completion of the design flow is contingent upon meeting these prerequisites.

This research is highly significant because it facilitates the creation of digital systems in a way that dramatically cuts project costs and development time, thus providing an accessible option for researchers in this area.

Keywords: open source, integrated circuits, openLane.

Sumário

1	Justificativa	1
2	Objetivos	2
3	Métodos	3
4	Atividades a serem desenvolvidas	4
5	Pré-requisitos dos estudantes	5
6	Resultados Previstos e Conclusão	6
7	Plano de trabalho	7
8	Referências	8

1 Justificativa

A principal barreira para a inovação e o ensino em microeletrônica hoje é o alto custo e a natureza restritiva das licenças de software comerciais. Ferramentas de EDA (Electronic Design Automation) proprietárias representam um custo proibitivo para muitas universidades, startups e centros de pesquisa, com licenças que podem facilmente ultrapassar centenas de milhares de dólares por ano (DARPA, 2020). Isso cria uma dependência de fornecedores e limita a capacidade de formar novos talentos e gerar inovação de forma autônoma.

É neste cenário que o fluxo de projeto automatizado OpenLane se destaca. Desenvolvido em colaboração com empresas como o Google, ele visa reduzir a barreira para a fabricação de ASICs customizados, permitindo que projetos sejam submetidos para produção em foundries como a SkyWater Technology sem custos de acesso às ferramentas (Google Open Source Blog, 2020). Dessa forma, o OpenLane é mais do que uma alternativa de baixo custo: ele representa um movimento em direção a uma ciência mais aberta, acessível e colaborativa. Esta abordagem está inserida na crescente onda do hardware de código aberto (OSHW), que visa aplicar os princípios do software livre ao desenvolvimento de artefatos físicos (OSHW - Open Source Hardware Association, 2022). Este projeto se justifica, portanto, por buscar evidências concretas de que o ecossistema open source atingiu a maturidade necessária para competir com as soluções comerciais.

Assim, este estudo é considerado fundamental para uma melhor compreensão das diferentes ferramentas disponíveis para a confecção de microchips e sua eficiência. Explorar essa dinâmica contribui para o avanço da tecnologia, propondo alternativas de execução de fluxo mais eficazes.

O impacto desta pesquisa pode ser dividido em três pilares essenciais:

- **Impacto Educacional e Acadêmico:** Permitir que estudantes tenham acesso irrestrito a um fluxo de projeto completo. Isso transforma a educação em CIs, movendo-a de uma base teórica para uma experiência prática e irrestrita. Para ampliar o alcance deste impacto, o projeto prevê a criação de uma plataforma digital de divulgação científica (website ou perfil em redes sociais como o *Instagram*), traduzindo os resultados técnicos em conteúdo acessível para o público geral e futuros estudantes, capacitando assim uma nova geração de engenheiros com independência de plataformas comerciais.
- **Acessibilidade e Independência:** Democratizar o acesso a tecnologias de ponta, permitindo

que pesquisadores e pequenos fabricantes desenvolvam CIs sem o fardo de licenças de software onerosas. Isso fomenta a competitividade e a inovação em um ecossistema mais amplo e diversificado.

- **Inovação Aberta e Sociedade:** Fortalecer a comunidade de hardware *open-source*, que, por sua natureza transparente e colaborativa, acelera o avanço tecnológico de forma mais resiliente e segura, impactando positivamente áreas como saúde e segurança.

2 Objetivos

O objetivo principal deste projeto de pesquisa é validar e documentar a eficácia do fluxo de projeto *OpenLane* como uma ferramenta de código-fonte aberto, autônoma e completa para a criação de circuitos integrados, visando sua aplicação em contextos educacionais e de pesquisa. Para isso, busca-se promover uma análise comparativa aprofundada entre o *OpenLane* e ferramentas comerciais equivalentes, destacando suas potencialidades e limitações.

A metodologia para alcançar este objetivo seguirá o fluxo de projeto padrão da indústria, conhecido como **RTL-to-GDSII**. Este processo será executado por meio de uma série de etapas sequenciais e interdependentes, que abrangem desde a concepção lógica até a geração do arquivo final para fabricação. A aquisição de domínio sobre cada fase e suas respectivas ferramentas será realizada por meio de cursos específicos e revisões bibliográficas. Adicionalmente, um dos objetivos centrais é traduzir o conhecimento técnico adquirido em um formato acessível ao grande público. As etapas e metas específicas são.

1. **Especificação e design de arquitetura:** Determinar as principais funcionalidades do Circuito Integrado (CI) e o motivo de sua criação.
2. **Design RTL (Register Transfer Level):** Desenvolver a lógica digital do design do CI, geralmente usando uma linguagem de descrição de hardware (HDL) como Verilog ou VHDL.
3. **Simulação RTL:** Validar automaticamente o código, verificando possíveis inconsistências e se ele funcionará conforme o planejado.
4. **Síntese lógica:** Converter o código RTL em uma lista de conexões (netlist) de portas lógicas básicas.

5. **Verificação:** Garantir que a netlist de portas lógicas sintetizada seja equivalente ao código RTL.
6. **Floorplan:** Definir e distribuir as áreas físicas dentro do CI.
7. **Placement:** Posicionar as células lógicas nas áreas definidas pelo floorplan.
8. **Routing:** Realizar as interligações físicas entre as células lógicas.
9. **Análise de timing (STA):** Assegurar que o CI funcione corretamente dentro dos limites de tempo estabelecidos.
10. **Verificação física:** Garantir que o layout final esteja livre de erros e em conformidade com as regras de fabricação.
11. **Geração do GDSII:** Criar o arquivo final do layout no formato GDSII, que será utilizado para a fabricação do CI.
12. **Teste pós-fabricação:** Testar a funcionalidade e o desempenho do circuito integrado fabricado.
13. **Desenvolver uma plataforma de divulgação científica (website educativo ou perfil em redes sociais):** Para disseminar os conhecimentos adquiridos e os resultados do projeto a um público mais amplo, promovendo o interesse pela área de microeletrônica.

Essas etapas serão alcançadas por meio de cursos específicos e revisões bibliográficas, permitindo adquirir domínio na execução de cada fase e no uso das ferramentas. Uma vez satisfeitos esses requisitos, será possível o cumprimento do fluxo de projeto.

3 Métodos

Os métodos a serem utilizados para o desenvolvimento deste projeto de pesquisa são o Waterfall e o SCRUM. O SCRUM, que é um framework para a organização de projetos, será empregado para a segmentação e o planejamento dos projetos em SystemVerilog.

O Fluxo de projeto, por sua vez, será executado de acordo com os padrões de mercado e seguindo as orientações específicas de cada Suite de Software.

Portanto, os métodos combinam uma abordagem estruturada de gerenciamento de projetos (Waterfall e SCRUM) com a adesão aos padrões da indústria e às diretrizes das ferramentas de software utilizadas para a execução do fluxo de projeto de circuitos integrados.

4 Atividades a serem desenvolvidas

1. **Revisão bibliográfica e SystemVerilog:** Este é o primeiro passo para o desenvolvimento da pesquisa. Visa garantir a fundamentação e qualidade no resto do desenvolvimento e no estudo de SystemVerilog.

Envolve fazer uma revisão bibliográfica abrangente sobre os temas de SystemVerilog.

Serão utilizadas referências específicas para SystemVerilog, como o (IEEE..., 2018) e o livro “*SystemVerilog for Verification*” de (SPEAR, 2008).

No plano de trabalho, esta etapa está prevista para os primeiros dois meses do projeto (**Meses 1 e 2**).

2. **Análise dos fluxos OpenLane:**

Esta atividade é considerada imprescindível para a integração do desenvolvedor.

Inclui a leitura prévia da documentação dos componentes nos quais o projeto se baseia.

Envolve a execução de diversos testes com o fluxo e o ambiente disponível em ambiente Docker (BOETTIGER, 2015).

No plano de trabalho, o domínio do OpenLane está previsto para os **Meses 3, 4, 5 e 6**.

3. **Domínio básico de ferramentas proprietárias:**

O objetivo é estudar e executar diversas operações RTL2GDS (do nível *Register Transfer Level* para o formato final de fabricação) em vários casos.

Isso permitirá a geração de um cenário de comparação rico com as ferramentas *open source*.

No plano de trabalho, o trabalho com fluxo proprietário está previsto para os **Meses 3, 4, 5 e 6**.

4. **Validação de resultados:**

Consiste na simulação e teste dos componentes desenvolvidos utilizando fluxos de dados conhecidos. Uma parte crucial desta etapa será comparar métricas de performance (área, tempo, consumo de energia) obtidas tanto no fluxo open source quanto no comercial, para quantificar objetivamente os trade-offs e demonstrar a viabilidade do fluxo aberto como uma alternativa independente.

No plano de trabalho, a validação dos resultados está prevista para os **Meses 7, 8 e 9**, enquanto a execução de simulações se estende do **Mês 6 ao Mês 11**.

5. Estado da arte: HLS e IA:

Esta atividade depende da disponibilidade de tempo e do conhecimento já desenvolvido.

Se possível, visa implementar soluções mais modernas utilizando HLS (*High-Level Synthesis*).

No plano de trabalho, a exploração de novas estratégias (que pode incluir HLS e IA) está prevista para os **Meses 10, 11 e 12**.

6. Desenvolvimento de Plataforma de Divulgação Científica:

Paralelamente à fase de documentação final, será desenvolvida uma plataforma digital (website ou perfil em rede social) para divulgar os resultados do projeto.

Esta atividade envolverá a adaptação do conteúdo técnico para um formato visualmente atraente e de fácil consumo pelo grande público, incluindo estudantes de ensino médio e graduação.

No plano de trabalho, esta atividade está prevista para os Meses 10, 11 e 12.

Além dessas atividades, o plano de trabalho também prevê a escrita de artigo (**Meses 10, 11, 12**), a preparação para o SIICUSP (**Meses 10, 11**) e a elaboração de relatórios (**Meses 11, 12**), que são parte integrante das responsabilidades do bolsista em um projeto de Iniciação Científica.

É importante notar que, para realizar essas atividades, o estudante ideal deve demonstrar interesse em eletrônica, hardware e em pesquisa e desenvolvimento, sendo necessária experiência prévia em HDLs (*Hardware Description Languages*).

5 Pré-requisitos dos estudantes

Além do interesse em eletrônica/hardware e talvez experiência básica em programação, é importante incluir pré-requisitos relacionados a habilidades de **comunicação, didática e interesse em trabalhar com o público**.

6 Resultados Previstos e Conclusão

1. Relatório Comparativo de Métricas (PPA):

- Espera-se gerar um relatório detalhado comparando o desempenho do circuito final (layout GDSII) produzido pelo fluxo OpenLane e pelo fluxo comercial. A comparação será baseada em métricas padrão da indústria:
 - (a) **Performance (Desempenho):** Análise de timing (STA) para validar a frequência máxima de operação.
 - (b) **Power (Consumo de Energia):** Estimativas de consumo energético de ambos os designs.
 - (c) **Area (Área):** Comparação da área total de silício ocupada pelo layout final.
- **Validação da Maturidade do Fluxo Aberto:** O projeto irá fornecer evidências concretas sobre a maturidade e a robustez do OpenLane para projetar CIs funcionais, identificando pontos fortes e possíveis lacunas em relação às ferramentas proprietárias.
- **Documentação do Processo:** Será produzido um registro detalhado de todas as etapas do fluxo RTL to GDSII, incluindo os desafios encontrados e as soluções aplicadas, servindo como um estudo de caso prático.

2. Resultados de Impacto (Educativo e de Acessibilidade):

- **Plataforma de Divulgação Científica:** Criação e lançamento de um website educativo ou perfil no Instagram contendo os principais aprendizados do projeto, tutoriais simplificados e a importância da microeletrônica aberta, servindo como uma ponte entre a pesquisa acadêmica e a comunidade.
- **Material de Apoio para Ensino e Pesquisa:** Espera-se desenvolver um conjunto de scripts e um guia de boas práticas que possa ser utilizado como material educacional. O objetivo é reduzir a curva de aprendizado para novos estudantes e pesquisadores.
- **Contribuição para a Comunidade Open Source:** Ao realizar testes extensivos, o projeto poderá identificar e reportar bugs ou sugerir melhorias na documentação das ferramentas, contribuindo diretamente para o avanço do ecossistema de hardware aberto.

7 Plano de trabalho

Nos primeiros meses, o foco é na realização de uma revisão bibliográfica e no estudo de *SystemVerilog*. O objetivo é garantir a fundamentação e a qualidade para o desenvolvimento posterior da pesquisa.

Após esse período inicial, haverá uma fase dedicada a testes e aprendizado dos fluxos, como o do openLane. Se o funcionamento for bom, serão exploradas diversas formas de desenvolvimento.

Finalmente, nos últimos meses do projeto, haverá uma parte mais documental, incluindo a escrita do relatório final para a Iniciação Científica e a preparação do projeto para apresentação no Simpósio Internacional de Iniciação Científica e Tecnológica da USP (SIICUSP). Também está previsto o plano de escrever um artigo para publicação com base nos resultados obtidos.

Tabela 1: Cronograma das atividades para a área de sistema de aquisição.

Fases	Meses											
	1	2	3	4	5	6	7	8	9	10	11	12
1. Revisão bibliográfica	x	x										
2. <i>SystemVerilog</i>	x	x										
3. Domínio do openLane		x	x	x	x							
4. Fluxo proprietário						x	x	x	x			
5. Testes com diversos sistemas					x	x	x					
6. Validação dos resultados								x	x	x		
7. Execução de Simulações					x	x	x	x	x	x		
8. Exploração de novas estratégias									x	x	x	
9. <i>Escrita de artigo</i>										x	x	x
10. <i>Preparação SIICUSP</i>										x	x	x
11. <i>Relatórios</i>											x	x
12. <i>Plataforma de Divulgação</i>										x	x	x

8 Referências

BOETTIGER, C. An introduction to docker for reproducible research. *ACM SIGOPS Operating Systems Review*, ACM New York, NY, USA, v. 49, n. 1, p. 71–79, 2015.

DARPA. *Electronics Resurgence Initiative (ERI) Summit. Day 1*. 2020. <https://www.youtube.com/watch?v=A_0nZz5g06M>. Acesso em: 14 jun. 2025.

Google Open Source Blog. *Google’s open source silicon projects*. 2020. <<https://opensource.googleblog.com/2020/11/googles-open-source-silicon-projects.html>>. Acesso em: 14 jun. 2025.

IEEE Standard for SystemVerilog–Unified Hardware Design, Specification, and Verification Language. *IEEE Std 1800-2017 (Revision of IEEE Std 1800-2012)*, v. 1, p. 1–1315, 2018.

OSHW - Open Source Hardware Association. *Definition*. 2022. <<https://www.oshwa.org/definition/>>. Acesso em: 14 jun. 2025.

SPEAR, C. *SystemVerilog for verification: a guide to learning the testbench language features*. [S.l.]: Springer Science & Business Media, 2008.