

Reprodução de um item do artigo Trace Cache: a Low Latency Approach to High Bandwidth Instruction Fetching

Paulo H. Ribeiro¹

¹Instituto de Computação – Universidade Estadual de Campinas (Unicam)
Campinas – SP – Brazil

paulohsilvar@gmail.com

Abstract. *This reporting documentation is to describe the project3 of MO601 discipline of Computing Institute of UNICAMP. The study is to reproduce one item of paper choose. The paper discusses the concept of trace cache for the fetching step in the processor pipeline. As a result we have a graph that compares the results of the simulator using the trace cache implemented and without its use.*

Resumo. *Esta documentação de reporte vem para descrever o projeto3 da disciplina MO601 do Instituto de Computação da Unicamp. O trabalho consiste de reproduzir um item do artigo escolhido. O artigo trata sobre o conceito de trace cache para a etapa de fetching no pipeline do processador. Como resultado temos um gráfico que compara os resultados do simulador usando a trace cache implementada e sem o seu uso.*

1. Introdução

O artigo escolhido para reprodução foi o Trace Cache: A Low Latency Approach to High Bandwidth Instruction Fetching. Ele introduz o conceito de trace cache visando aumentar o bandwidth de instruções na etapa de fetching do pipeline. O problema que o artigo busca solucionar é o fato de que as instruções são gravadas na cache de instrução convencional na ordem em que foram compiladas, fazendo com que instruções sejam carregadas na cache e não sejam usadas, por causa de branches por exemplo. A solução apresentada é o que ele chama de Trace Cache, ela corresponde a uma cache para instruções de forma que elas sejam armazenadas em ordem dinâmica, visando seguir a sequencia que o programa toma durante sua execução.

Com essa nova cache estaremos evoluindo nosso mecanismo de fetching, pois o objetivo é que os componentes já existentes como a cache de instrução o hardware para os preditores não sejam replicados

Como objetivo do projeto buscamos reproduzir a Figura8 do artigo, onde ele apresenta o IPC do processador usado para simulação com a abordagem de trace cache. Não queremos reproduzir todo o gráfico, o objetivo é a barra que utiliza a abordagem desenvolvida para o programa gcc do SPEC2006.

2. Ferramentas utilizadas

A ferramenta utilizada para o desenvolvimento dessa atividade foi o simulador de processador Sniper. O que motivou a escolha dele foi o fato de que ele é baseado no

PIN Instrumentation Tool, ferramenta essa que foi utilizada nos projetos anteriores.

Esse simulador possui na versão 6.1 (versão mais atual) um package que permite simular realizar suas simulações usando alguns Benchmarks, como exemplo o SPEC2006 e o Splash2.

3. Desenvolvimento

Para simular o processador com uma nova abordagem de fetching, foi inicialmente solicitado aos desenvolvedores do artigo algum material existente que pudesse ajudar, como não houve resposta, o desenvolvimento foi integral.

A tarefa inicial foi compreender como o simulador funciona e onde se encaixaria a nossa nova abordagem. As etapas consistiam de criar uma nova cache baseada na cache de instrução, que seria nossa trace cache. Conseguir acesso para operar sobre ela. Realizar operações de escrita na nova cache com as instruções que saem do preditor. Decidir se a instrução a ser despachada da etapa de fetching viria do trace cache ou da cache de instrução.

4. Resultado

A maior força de trabalho foi destinada ao desenvolvimento da abordagem de fetching. Com isso não houve tempo para simular o processador usando os programas do SPEC2006, pois era preciso de mais esforços para combinar esse benchmark com o simulador. Contudo, no package de benchmarks que o simulador possui, para o Splash2 não foi preciso esforços adicionais para sua simulação, logo foi usado o seu programa FFT para simulação, diferente do que havíamos planejado realizar.

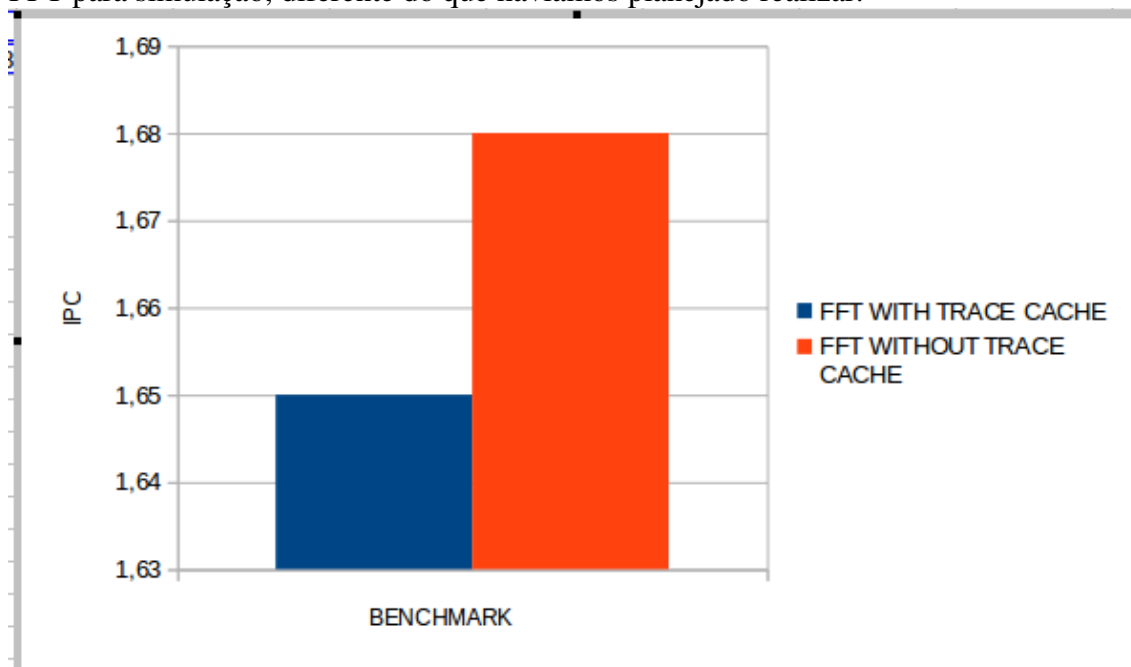


Figura 1. IPC results

Com o acréscimo de novas unidades na etapa de fetching do pipeline do processador, possivelmente acabamos inserindo mais custo de tempo do que melhorando o seu bandwidth, por isso temos um IPC melhor para o programa que executou no processador sem trace cache.

5. Próximos passos

Como próximos passos visando o projeto seguinte, o que temos planejado seria utilizar no simulador outras configurações de brand predictor para comparar o IPC do processador com o que utiliza trace cache. Com maior prioridade queremos executar o simulador com trace cache no programa GCC do SPEC2006.

6. References

Sniper,

<http://snipersim.org/documents/sniper-manual.pdf>

Wikipedia,

https://en.wikipedia.org/wiki/CPU_cache