

# EC208 - EPC 1

## PROPOSTA DE INTERPRETADOR

O interpretador possui arquitetura padrão de 16 bits, com set de instruções sendo ADD, SUB, LOAD e STORE.

Os OP CODES utilizados são:

ADD 0000 -> Tipo de instrução 0;

SUB 0001 -> Tipo de instrução 1;

LOAD 0010 -> Tipo de instrução 2;

STORE 0011 -> Tipo de instrução 3;

Existem 2 formatos de instruções:

Para ADD e SUB:

(Endereço 1)		(Endereço 2)		(Endereço de destino)		(OP CODE)
4 bits		4 bits		4 bits		4 bits

Para LOAD e STORE:

(Endereço 1)		(Endereço da memória de dados)		(OP CODE)
4 bits		8 bits		4 bits

O PC é iniciado em 0 e irá realizar 6 operações.

A máquina tem 6 registradores, inicialmente zerados, com memória de dados

“setada” para {5,5,5,3,3,1,1,1,1,1,1,1,1,1,1,1} da posição 0 até a 15.

O interpretador irá realizar 6 operações:

LOAD registrador 0 de memória para o registrador 0 de memória;

LOAD registrador 1 de memória para o registrador 1 de memória;

ADD registrador 0 de memória (+) registrador 1 de memória e salva o valor no registrador 2 de memória;

LOAD registrador 4 de memória para o registrador 3 de memória;

SUB registrador 2 de memória (−) registrador 3 de memória e salva o valor no registrador 5 de memória;

STORE registrador 5 de memória no registrador 6 de memória;

Link do github: [https://github.com/paulomatheus/arquiteturas\\_2](https://github.com/paulomatheus/arquiteturas_2)