

华中科技大学

数字逻辑实验报告（4）

数字逻辑实验 4		
斐波那契(Fibonacci)数列 计算器设计	成绩	

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

姓 名： 胡澳
学 号： U201714761
班 级： CS1706
指 导 教 师： 何云峰

计算机科学与技术学院

2019 年 6 月 6 日

华中科技大学

数字逻辑实验报告

斐波那契(Fibonacci)数列计算器设计

1、实验名称

多功能电子钟系统设计。

2、实验目的

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件 logisim 的虚拟仿真来验证本设计是否达到要求。

通过以上实验的设计、仿真、验证 3 个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

3、实验所用设备

Logisim2.7.1 软件一套。

4、实验内容

设计场景：多功能数字钟是一种用数字显示秒、分、时的计时装置，其基本功能如下：

- (1) 显示时、分、秒；
- (2) 可以切换 24 小时制或 12 小时制（上午和下午）；
- (3) 整点报时，整点前 10 秒开始，整点时结束；
- (4) 单独对“时、分”计时校准,分钟值校准时不影响小时值；
- (5) 闹钟,到设定时间提醒 10 秒。

使用 logisim 软件对你设计电子钟电路进行虚拟仿真验证，具体要求如下。
(采用 logisim 软件提供的“时钟频率”为 8hz 的信号源。)

(1) 具有校准计数值的六十进制计数器电路

采用实验 1 所设计的“四位二进制可逆计数器”这个“私有”元件和相应元器件，设计一个具有对计数值进行校准的六十进制计数器，并封装，该计数器封装图如图 1 所示。

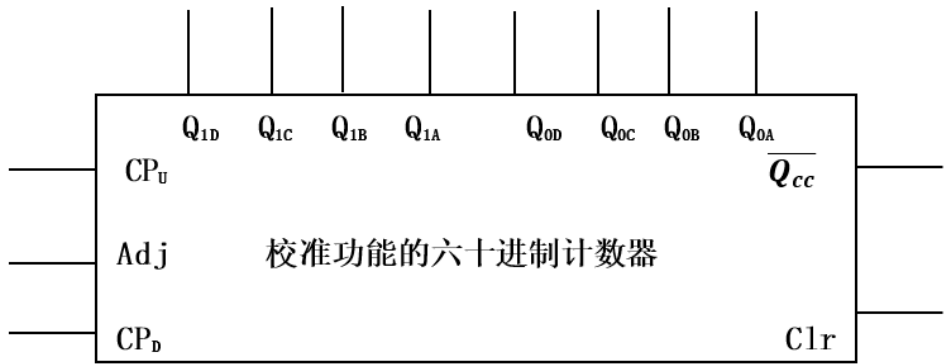


图 1 调整计数值的 60 进制计数器

《数字电路与逻辑设计》实验报告

具体要求:

(a) 封装后的电路输入为: 一个累加计数脉冲输入端 CP_U 、一个累减计数脉冲输入端 CP_D 、清零输入信号 Clr 、一个计数值校准输入控制信号 Adj ;

(b) 封装后的电路输出为输出八个计数器状态输出值 $Q_{1D} Q_{1C} Q_{1B} Q_{1A} Q_{0D} Q_{0C} Q_{0B} Q_{0A}$ (测试电路中要接 16 进制数字显示器), 进位输出信号 $\overline{Q_{cc}}$;

(c) 当 $Adj=1$ 时, 可以通过 CP_U 、 CP_D , 对计数值进行加、减调整来设置当前时间, 递减的时候不需要循环, 回到 0 即可, 递增的时候需要可以循环;

(d) 当 $Adj=0$, 通过输入脉冲 CP_U 计数器累加计数, 每当累计满 60 产生一个进位输出信号 $\overline{Q_{cc}}$;

(e) Clr 为 1 时, 计数器清零;

(f) 计数器的输出为两位 8421 码。

(2) 具有校准计数值的十二进制计数器或二十四进制的计数器电路

采用(1)设计的六十进制计数器和相应元器件, 设计一个具有对计数值进行校准的十二进制计数器或二十四进制的计数器, 并封装, 该计数器封装图如图 2 所示。

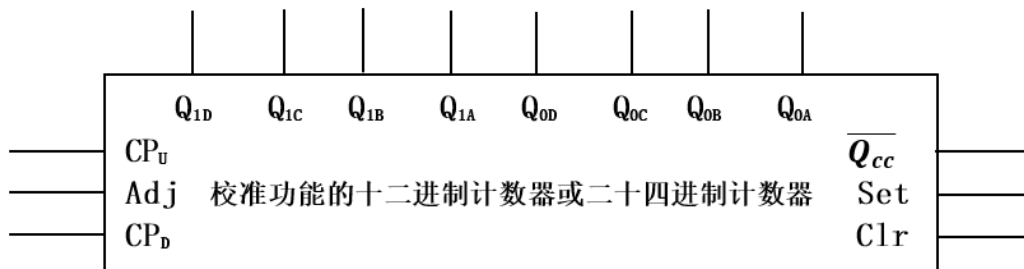


图 2 调整计数值的十二进制或二十四进制计数器

具体要求:

(a) 封装后的电路输入为: 一个累加计数脉冲输入端 CP_U 、一个累减计数脉冲输入端 CP_D 、清零输入信号 Clr 、一个计数值校准输入控制信号 Adj 、12 小时计时或 24 小时计时控制信号 Set ;

(b) 封装后的电路输出为输出八个计数器状态输出值 $Q_{1D} Q_{1C} Q_{1B} Q_{1A} Q_{0D} Q_{0C} Q_{0B} Q_{0A}$ (测试电路中要接 16 进制数字显示器), 进位输出信号 $\overline{Q_{cc}}$;

(c) 当 $Adj=1$ 时, 可以通过 CP_U 、 CP_D , 对计数值进行加、减调整来设置当前时间; 递减的时候不需要循环, 回到 0 即可, 递增的时候需要可以循环;

(d) 当 $Adj=0$, 通过输入脉冲 CP_U 计数器累加计数, 每当累计满 12 或 24 (根据计数制) 产生一个进位输出信号 $\overline{Q_{cc}}$;

(e) Clr 为 1 时, 计数器清零;

《数字电路与逻辑设计》实验报告

(f) 当 Set=0, 12 小时计时, 每当累计满 12 产生一个进位输出信号 $\overline{Q_{cc}}$; 当 Set=1 时, 24 小时计时, 每当累计满 24 产生一个进位输出信号 $\overline{Q_{cc}}$;

(g) 计数器的输出为两位 8421 码。

(3) 显示“上午”、“下午”的电路

设计一个采用“Led 点阵”显示器和相应元器件以“上”和“下”的形式表示电子钟的“上午”和“下午”的电路, 并封装, 文字显示参考图 3 所示。封装图如图 4 所示, 测试点阵如图 5 所示。

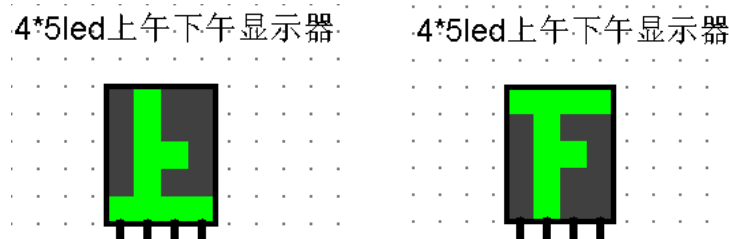


图 3 led 点阵显示器

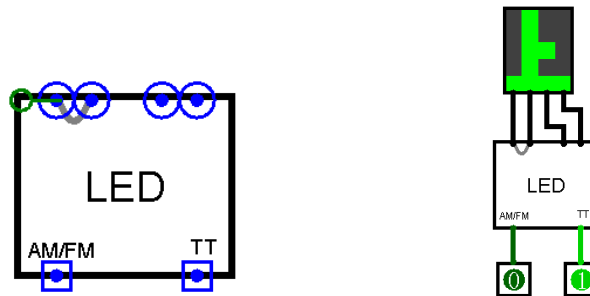


图 4 led 点阵封装图

图 5 led 点阵测试图

具体要求:

- (a) 封装后的电路输入为: 一个上下午显示控制信号 AM/FM、计时控制 TT;
- (b) 封装后的电路输出为 4 个五位的数据, 用以接 4*5led(4 列×5 行)显示器;
- (c) AM/FM=0, 显示“上”; AM/FM=1, 显示“下”;
- (d) TT=0 时, 24 小时计时; TT=1 时, 12 小时计时;
- (e) 24 小时计时时, 显示屏全灭; 12 小时计时时, 根据具体时间显示“上”或“下”;
- (f) 封装时 LED 显示屏不封装在内。

(4) 电子钟整点报时电路

设计一个 10 秒的整点报时电路, 并封装, 该电路在整点前 10 秒(59 分 50 秒)被触发, 发出报时信息(用发光二极管的闪烁来表示), 报时 10 秒结束。

《数字电路与逻辑设计》实验报告

(5) 秒计时脉冲产生电路

按要求以 logisim 软件的 8hz 信号作为电路震荡源, 设计一个输出为 1hz 的脉冲信号电路, 并封装, 逻辑符号参见图 6 所示, 它成为秒计数器的计数脉冲信号。

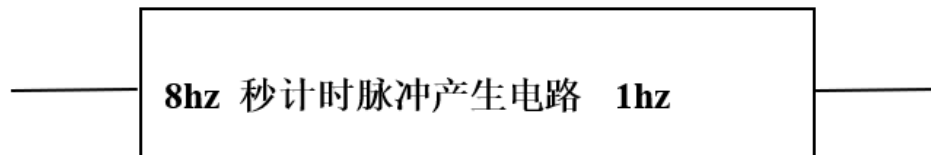


图 6 秒计时脉冲产生电路

(6) 闹钟 (选做)

设计定时起闹(闹钟)电路, 并封装。

具体要求:

(a) 可设置闹钟起闹时间, 具体到小时和分, 在测试电路中要用 16 进制数字显示器显示;

(b) 在设定的起闹时间, 闹钟开始响铃, 十秒后结束;

(c) 闹铃用 Led 灯的亮灭表示。

(7) 多功能数字钟电路

充分利用(1)~(6)设计的“私”有元件和相应元器件, 设计满足多功能电子钟“设计场景”要求的电路, 并封装, 封装图如图 7 所示。测试图如图 8 所示。

(a) 输入信号有“Set”、“CPU、CPD”、“Adj0、Adj1”、“Clr”、“8hz 信号”; 输出信号为“小时”、“分”、“秒”对应的 6 位 8421 码、“闹钟”和“整点”输出信号以及控制“上下午”显示的信号;

(b) “Set”为“时计数器”输入信号, 当 Set=1 时, 计数器为二十四进制计数器, Set=0 为低电平时为十二进制计数器;

(c) “CPU、CPD”为计数器计数值进行手动加、减调整的输入脉冲信号;

(d) “Adj0”为计数器计数值进行校准的输入控制信号, Adj0=0, 表示不调整时钟; Adj0=1, 表示调整时钟;

(e) “Adj1”为计数器计数值进行校准的选择输入控制信号, Adj1=0, 表示调整小时; Adj1=1, 表示调整分钟;

(f) “Clr”为计数器的清除信号;

(g) “8hz 信号”为电子钟脉冲输入信号;

(h) 输出的时间小时、分和秒分别为六个 8421 码;

- (i) “Led 点阵”显示器分别对应“上、下午”输出信号；
- (j) 两个“发光二极管”分别对应“闹钟”，“整点”输出信号。
- (k) 如果选做闹钟，“Alarm”为输入的时间设定提醒值（闹钟值）；

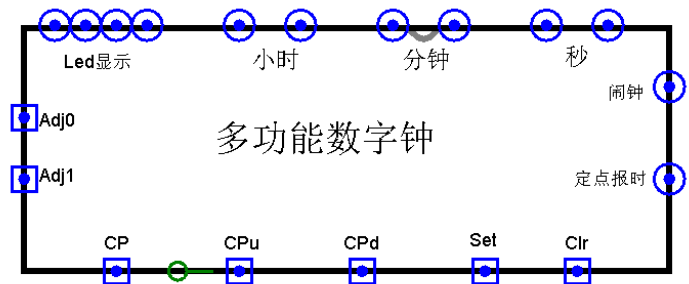


图 7 电子钟的“输入、输出检查要求”

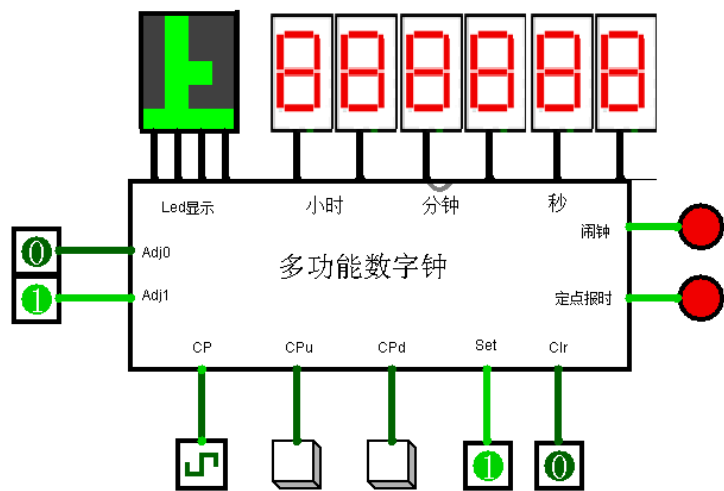


图 8 电子钟的测试电路

5、实验方案设计

(1) 具有校准计数值的六十进制计数器电路

使用一个模 6 计数器和一个模 10 计数器构成一个六十进制的计数器。首先，对实验 1 中设计的“四位二进制可逆计数器”进行一定的修改，在保留原有功能的基础上，添加一个置数的功能，修改后的四位二进制可逆计数器电路图如图 9 所示。

使用该计数器设计一个模 6 计数器和一个模 10 计数器，其电路图如图 10 和图 11 所示。将递增输入和递减输入接入到模 10 计数器的递增和递减输入端，将模 10 计数器的进位和借位输出接入到模 6 计数器的递增和递减输入端，即可构成一个六十进制计数器，其中模 10 计数器的输出为计数值的个位，模 6 计数器的输出为计数值的十位，且二者均为 8421 码表示，另外，模 6 计数器的进位输出即为六十进制计数器的进位输出。六十进制计数器电路如图 12 所示。

《数字电路与逻辑设计》实验报告

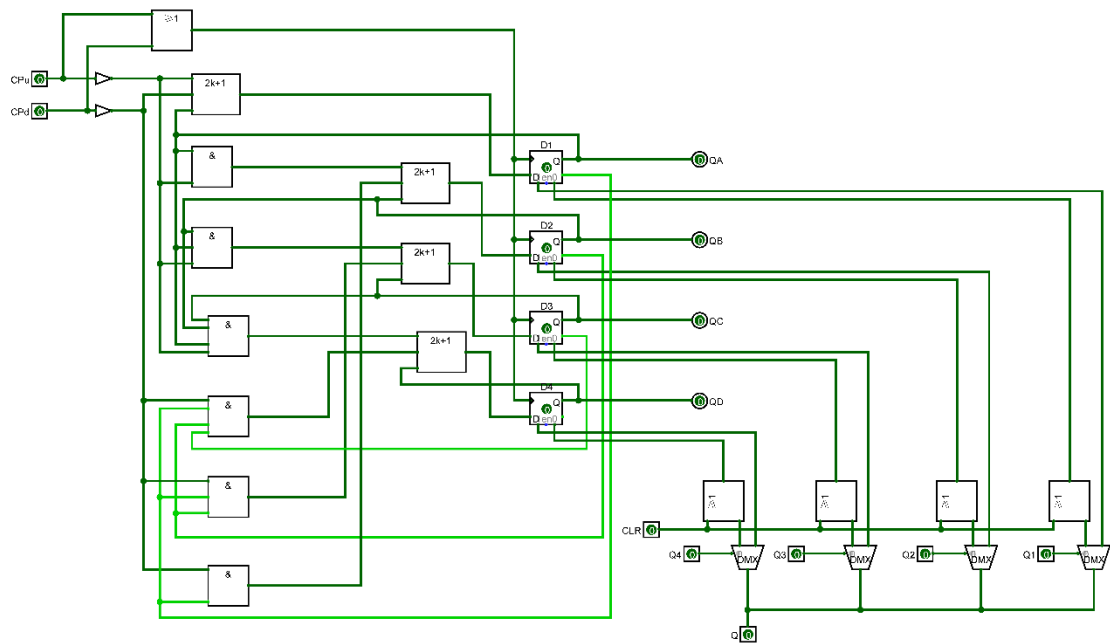


图 9 带置数功能的四位二进制可逆计数器

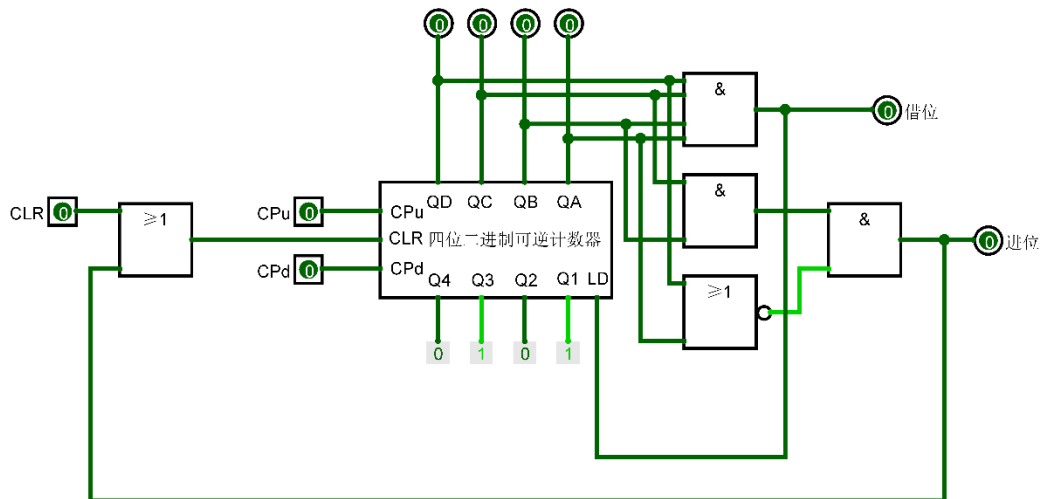


图 10 模 6 计数器

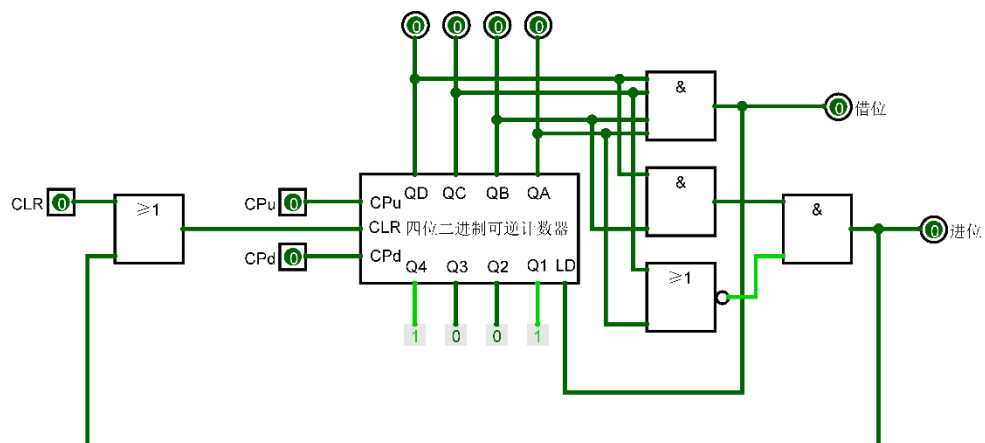


图 11 模 10 计数器

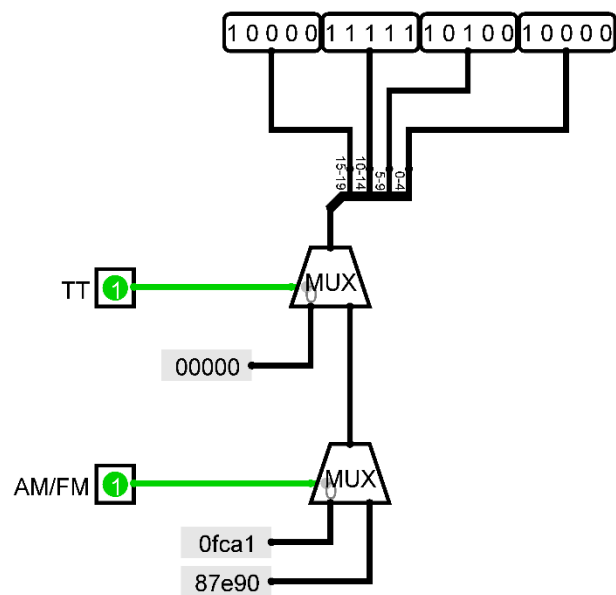


图 14 输出上/下午控制电路

(4) 电子钟整点报时电路

由电子钟报时的特性可知，当电子钟输出时间的分钟数为 59 且秒数的十位为 5 时，电子钟将报时，因此可直接根据这三个 8421 码确定电子钟报时信号。其电路图如图 15 所示。

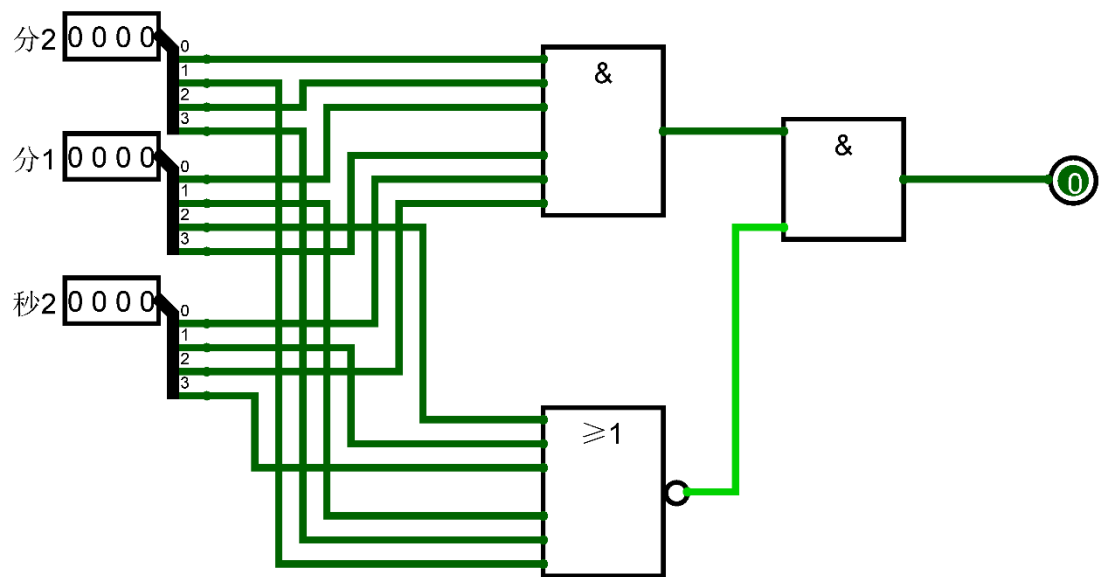


图 15 报时电路

(5) 秒计时脉冲产生电路

由于输入时钟脉冲信号频率为 8Hz，为得到秒计数脉冲，即 1Hz 时钟脉冲信号，可使用一个模 8 计数器，对输入脉冲数进行计数，并将其进位脉冲输入到一个 D 触发器中，将 D 触发器的取反输出接入到其输入端上，这样每次计数器输出一个计数脉冲，D 触发器即将输出信号进行一次翻转，从而降低脉冲频率。脉

冲产生电路如图 16 所示。

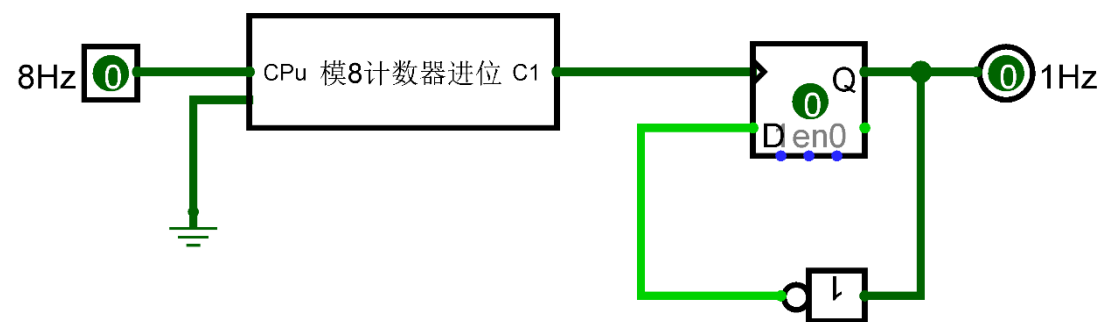


图 16 秒计数脉冲产生电路

(6) 闹钟

闹钟的原理与整点报时类似，即将设定的闹钟时间与当前时间比较，考虑到设置的闹钟仅精确到分，且闹钟持续 10 秒，因此当当前时间与闹钟设置时间的时和分相同，且秒的十位为 0 时，输出闹钟信号。闹钟电路的电路图如图 17 所示。

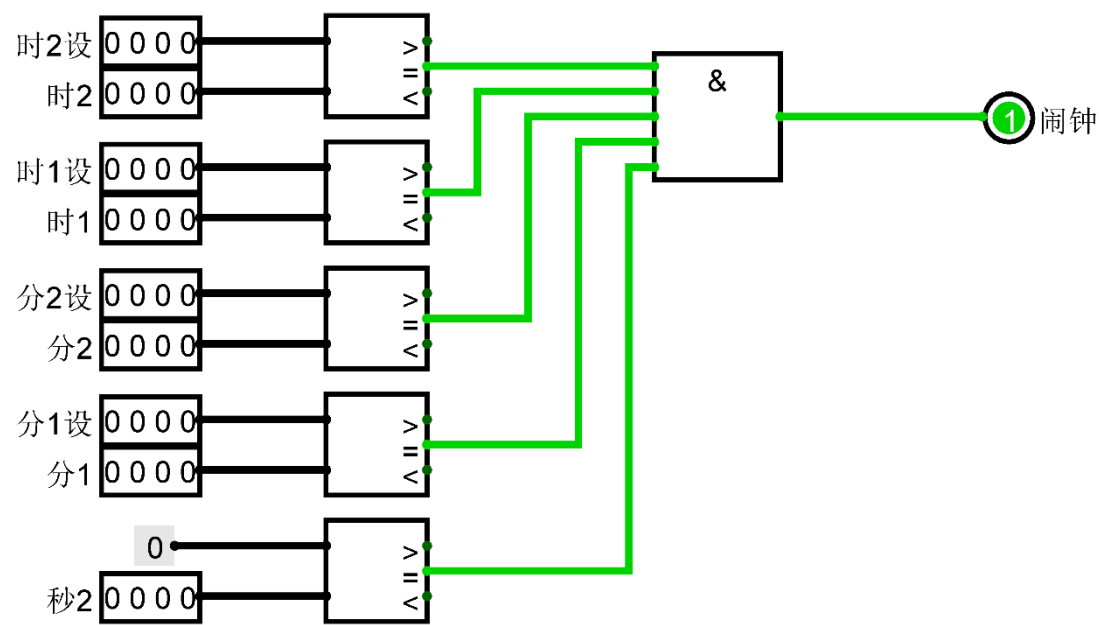


图 17 闹钟电路

(7) 多功能电子钟电路

为使电路图逻辑清楚，首先封装一个使用 8421 码设置闹钟的电子钟电路，然后使用该电路中设置闹钟的输入添加显示模块，进而封装最终的电子钟电路。

如图 18 为使用 8421 码设置闹钟的电子钟电路，图 19 为使用输入脉冲以及显示管显示设置闹钟的电子钟电路。

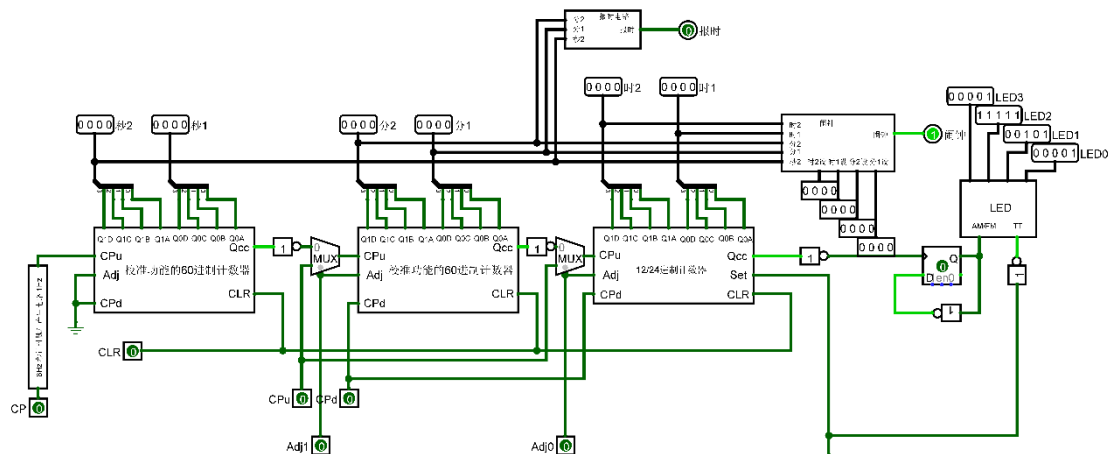


图 18 输入 8421 码设置闹钟的电子钟电路

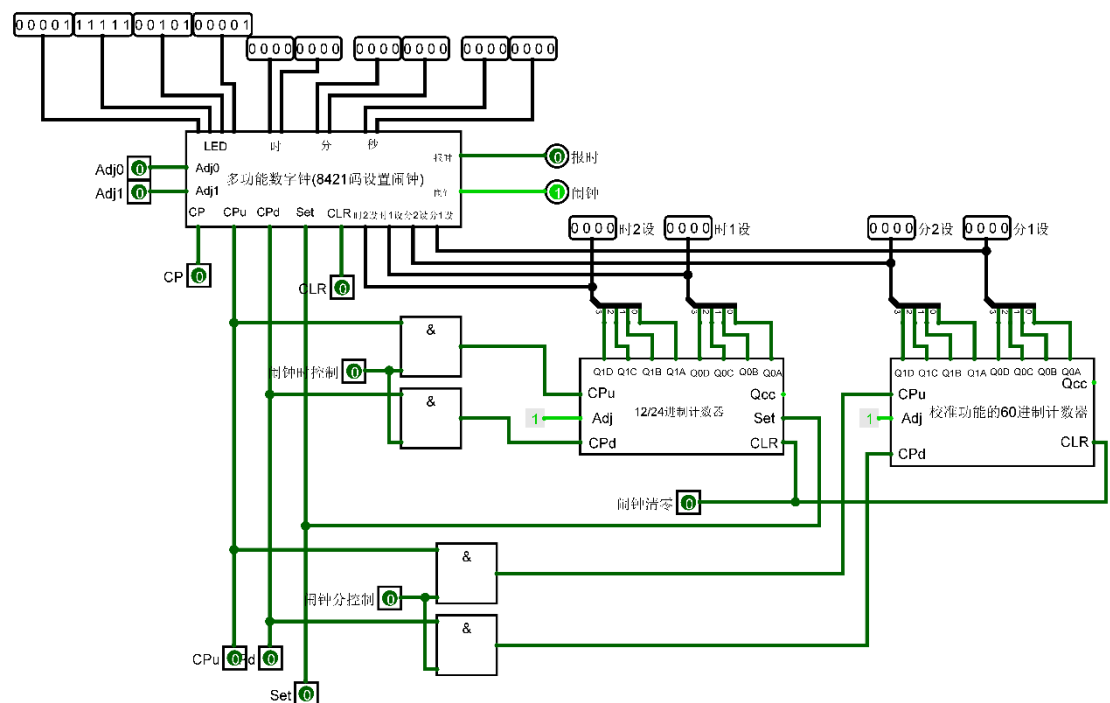


图 19 使用输入脉冲设置闹钟并使用显示管显示的电子钟电路

6、实验结果记录

(1) “具有校准计数值的六十进制可逆计数器”“私有”元件的测试电路
要求：封装后外接 16 进制数字显示器。

将六十进制计数器的输出通过分线器连接到两个 16 进制数字显示器上，得到六十进制计时器的测试电路，如图 20 所示。

给 CPu 输入脉冲信号，其余输入端均输入 0，可以看到数字显示器显示的数字每次得到一个脉冲后就增加 1，当增加到 59 时，再输入一个脉冲，输出变为 00。由此可知，计数器的递增功能正常。

《数字电路与逻辑设计》实验报告

使用 CPu 将计数器状态置为一个非 0 的数，然后给 CPu 和 CLR 置为 0，Adj 置为 1，给 CPd 输入脉冲信号，可以看到数字显示器显示的数字每次得到一个脉冲后就减少 1，当减少到 0 时，再输入脉冲信号，计数器保持 0 不变。由此可见，计数器的递减功能正常。

使用 CPu/CPd 将计数器状态置为一个非 0 的值，给 CLR 输入 1，可以观察到数字显示管显示的数字变为 00。由此可见，计数器的清零功能正常。

因此，六十进制可逆计数器的功能均正常实现。

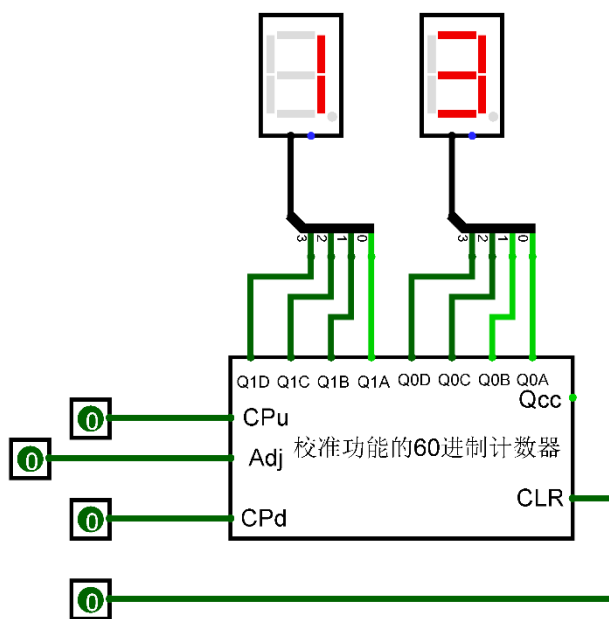


图 20 六十进制可逆计数器测试电路

(2) “具有校准计数值的十二进制计数器或二十四进制的计数器”“私有”元件的测试电路

要求：封装后外接 16 进制数字显示器。

将 12/24 进制计数器的十位和个位输出通过分线器接入到十六进制数字显示器中，即可得到此元件的测试电路。如图 21 为 12 进制时的测试截图，图 22 为 24 进制时的测试截图。

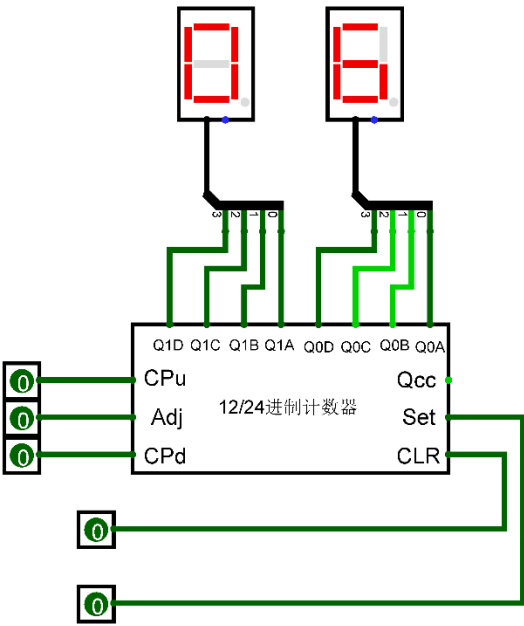


图 21 十二进制计数器测试电路

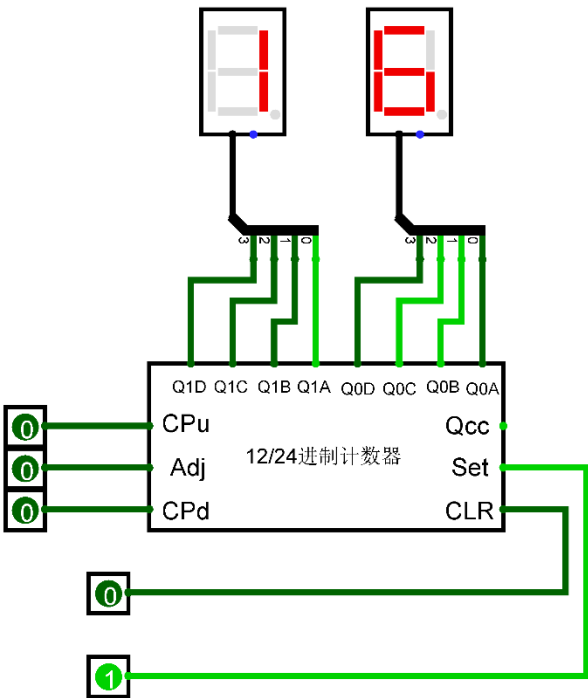


图 22 二十四进制计数器测试电路

(3) 显示“上午”、“下午”“私有”元件的测试电路

要求：封装后外接 4*5Led 显示器。

将上/下午显示元件的输出接入到 4*5 的 LED 显示器即可得到其测试电路。
当 TT 输入为 0 时，显示器无显示输出；当 TT 输入为 1 时，当 AM/FM 输入为 0 时，显示器显示“上”，当 AM/FM 输入为 1 时，显示器显示“下”。由此可知，上/下午显示元件正常工作。如图 23 所示为上/下午显示元件的测试电路。

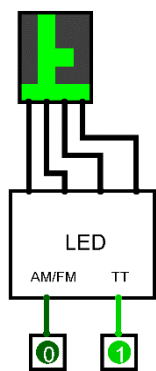


图 23 上/下午显示元件测试电路

(4) 电子钟整点报时“私有”元件的测试电路

当输入的分钟数为 59，秒数的十位为 5 时，报时 LED 灯亮起，否则，报时 LED 灯熄灭。如图 24 为电子钟整点报时的测试电路。

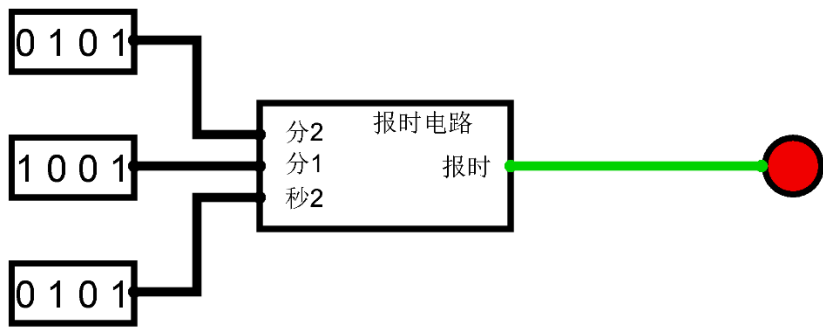


图 24 电子钟整点报时测试电路

(5) 电子钟设定时间提醒(闹钟)“私有”元件的测试电路

在闹钟的设置端设置闹钟时间，在时间端输入当前时间，当二者的时/分钟数相同，且当前时间的秒数的十位为 0 时，闹钟 LED 灯亮。如图 25 为闹钟测试电路。

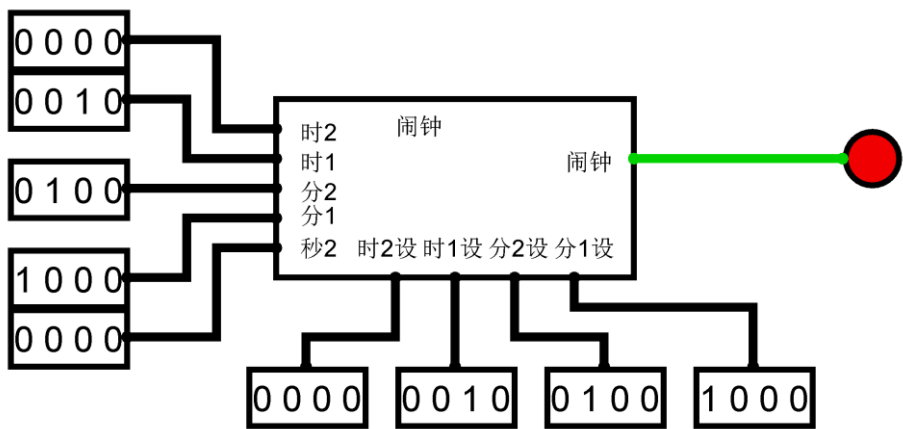


图 25 闹钟测试电路

(6) 多功能数字钟电路的测试电路

如图 26 为多功能数字钟的测试电路。

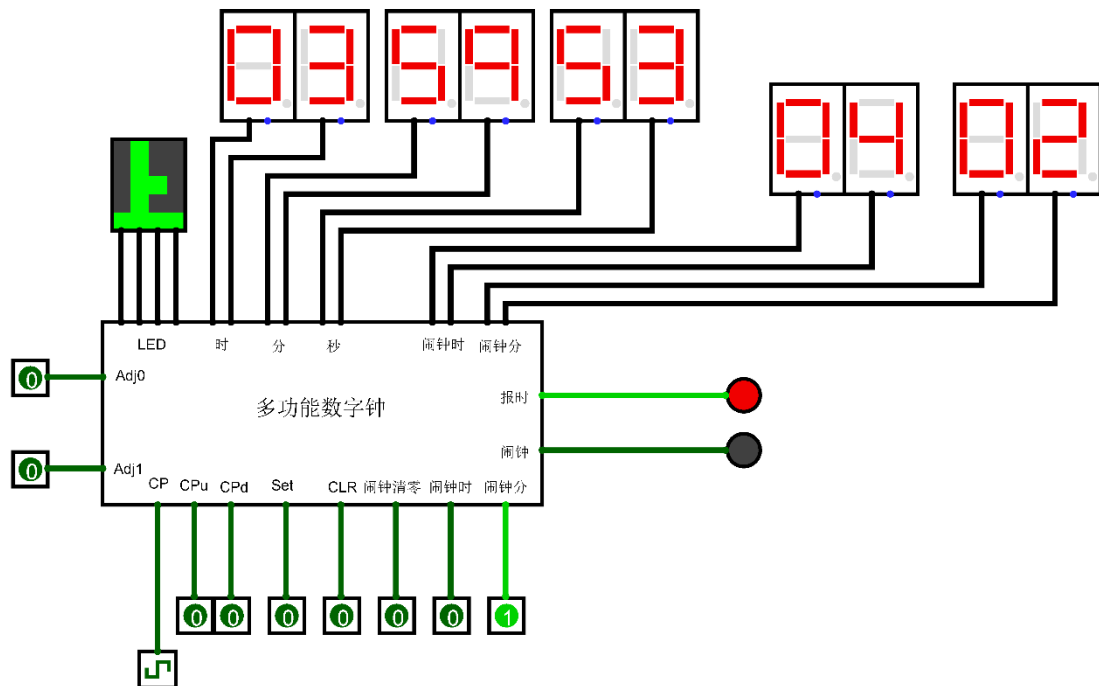


图 26 多功能数字钟电路测试电路

7、实验后的思考

1. 实验一中设计的“四位二进制可逆计数器”没有置数功能，因此无法使用其直接构造其他进制的计数器。
2. 设置闹钟时需要给电路提供闹钟时间的 8421 码，其实现不直观且不利于操作。

(2) 你是如何解决的？

1. 在实验一的四位二进制可逆计数器的基础上添加置数功能。
2. 另外添加四个十六进制数字显示器，用来显示闹钟的时间，并通过相应的逻辑门和选择器，直接使用 CPu 和 CPd 对闹钟的时间进行修改，这样闹钟时间既可以直观的显示，又能够方便的调节。