

# 华中科技大学

## 数字逻辑实验报告（1）

数字逻辑实验1		
一、系列二进制加法器 设计 50%	二、小型实验室门禁 系统设计 50%	总成绩

评语：（包含：预习报告内容、实验过程、实验结果及分析）

姓 名： 胡澳

学 号： U201714761

班 级： CS1706

指 导 教 师： 何云峰

计算机科学与技术学院

2019 年 4 月 1 日

华中科技大学

# 数字逻辑实验报告

系列二进制加法器设计实验报告

# 《数字电路与逻辑设计》实验报告

---

## 一、系列二进制加法器设计

### 1、实验名称

系列二进制加法器设计。

### 2、实验目的

采用传统电路的设计方法,设计 5 种二进制加法器,并利用工具软件 logisim 的虚拟仿真功能来检查电路设计是否达到要求。

通过以上实验的设计、仿真、验证 3 个训练过程使同学们掌握传统逻辑电路的设计、仿真和调试的方法。

### 3、实验所用设备

Logisim2.7.1 软件一套。

### 4、实验内容

设计如下电路,并使用 logisim 软件进行虚拟仿真。除逻辑门、触发器外,不能直接使用 logisim 软件提供的逻辑库元件。

具体内容如下。

#### (1) 一位二进制半加器

设计一个一位二进制半加器,电路有两个输入 A、B,两个输出 S 和 C。输入 A、B 分别为被加数、加数,输出 S、C 为本位和、向高位进位。

#### (2) 一位二进制全加器

设计一个一位二进制全加器,电路有三个输入 A、B 和  $C_i$ ,两个输出 S 和  $C_o$ 。输入 A、B 和  $C_i$  分别为被加数、加数和来自低位的进位,输出 S 和 C 为本位和和向高位的进位。

#### (3) 串行进位的四位二进制并行加法器

用四个一位二进制全加器设计一个串行进位的四位二进制并行加法器,电路有九个输入  $A_3$ 、 $A_2$ 、 $A_1$ 、 $A_0$ 、 $B_3$ 、 $B_2$ 、 $B_1$ 、 $B_0$  和  $C_0$ ,五个输出  $S_3$ 、 $S_2$ 、 $S_1$ 、 $S_0$  和  $C_4$ 。输入  $A=A_3A_2A_1A_0$ 、 $B=B_3B_2B_1B_0$  和  $C_0$  分别为被加数、加数和来自低位的进位,输出  $S=S_3S_2S_1S_0$  和  $C_o$  为本位和和向高位的进位。

#### (4) 先行进位的四位二进制并行加法器

利用先行进位的思想设计一个先行进位的四位二进制并行加法器,电路有九个输入  $A_3$ 、 $A_2$ 、 $A_1$ 、 $A_0$ 、 $B_3$ 、 $B_2$ 、 $B_1$ 、 $B_0$  和  $C_0$ ,五个输出  $S_3$ 、 $S_2$ 、 $S_1$ 、 $S_0$  和  $C_4$ 。

《数字电路与逻辑设计》实验报告

输入  $A=A_3A_2A_1A_0$ 、 $B=B_3B_2B_1B_0$  和  $C_0$  分别为被加数、加数和来自低位的进位，输出  $S=S_3S_2S_1S_0$  和  $C_4$  分别为本位和和向高位的进位。

(5) 将先行进位的四位二进制并行加法器封装成一个组件，并验证它的正确性

将设计好的先行进位的四位二进制并行加法器进行封装，生成一个“私有”元件，并验证它的正确性，以便后续实验使用。封装后的逻辑符号参见图 1-1 所示。

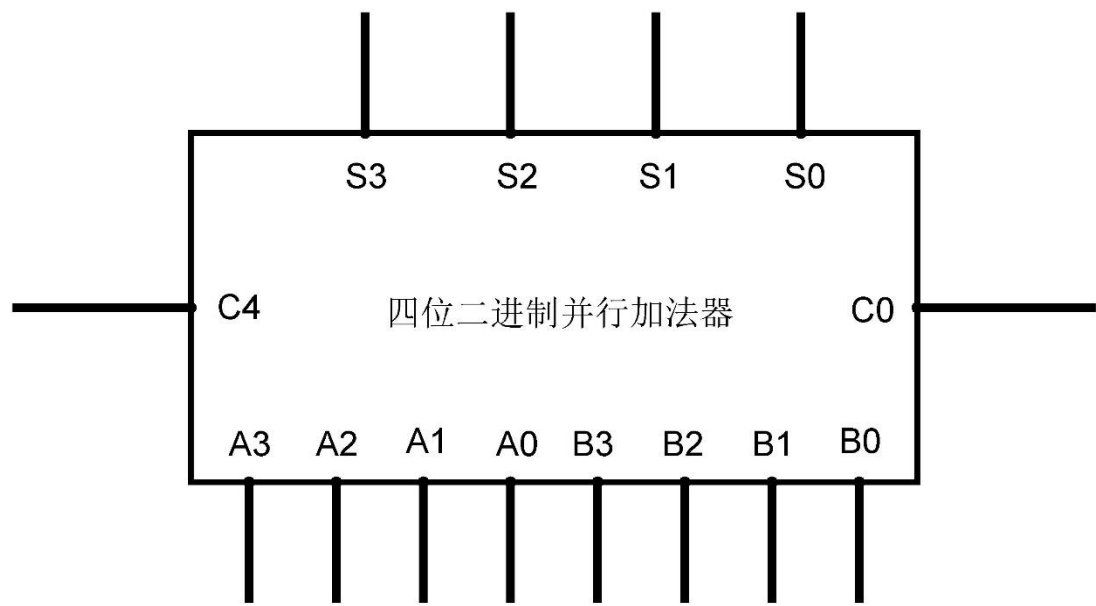


图 1-1 先行进位的四位二进制并行加法器

5、实验方案设计

(1) 一位二进制半加器

该电路有两个输入  $A$ 、 $B$ ，两个输出  $S$ 、 $C$ 。输出  $S$  为  $A$  和  $B$  相加产生的和， $C$  为  $A$  和  $B$  相加产生的进位。其真值表如表 1-1 所示。

表 1-1 一位二进制半加器真值表

输入		输出	
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

函数表达式为

$$S = A \oplus B$$

《数字电路与逻辑设计》实验报告

$$C = A \cdot B$$

电路图如图 1-2 所示

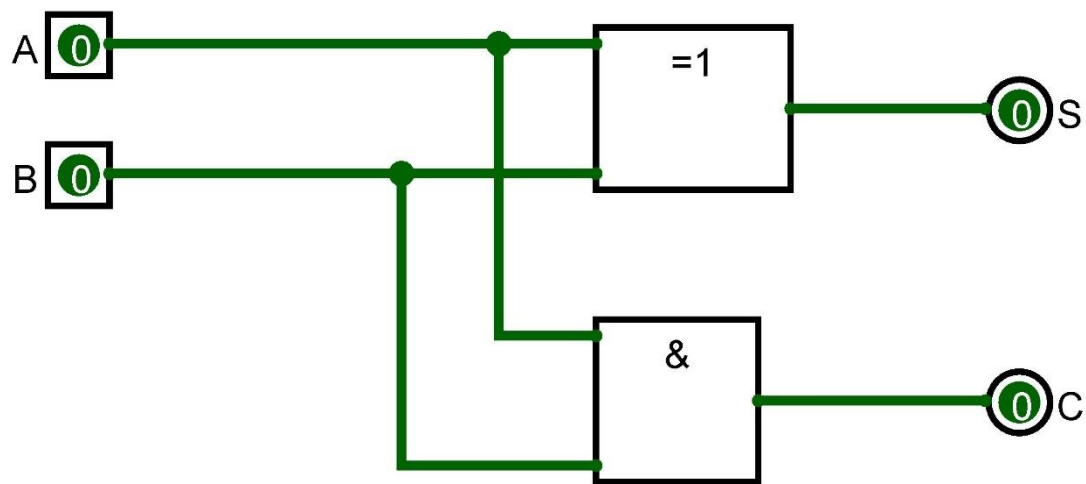


图 1-2 一位二进制半加器

(2) 一位二进制全加器

该电路包含三个输入 A、B、C，两个输出 S、 $C^{n+1}$ 。输入的 A 和 B 为两个加数，输入 C 为上一级产生的进位，输出 S 为加法的结果，输出  $C^{n+1}$  为加法产生的进位。其真值表如表 1-2 所示。

表 1-2 一位二进制全加器真值表

输入			输出	
A	B	C	S	$C^{n+1}$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

函数表达式为

$$S = A \oplus B \oplus C$$

$$C^{n+1} = ((A \oplus B) \cdot C) + (A \cdot B)$$

电路图如图 1-3 所示。

## 《数字电路与逻辑设计》实验报告

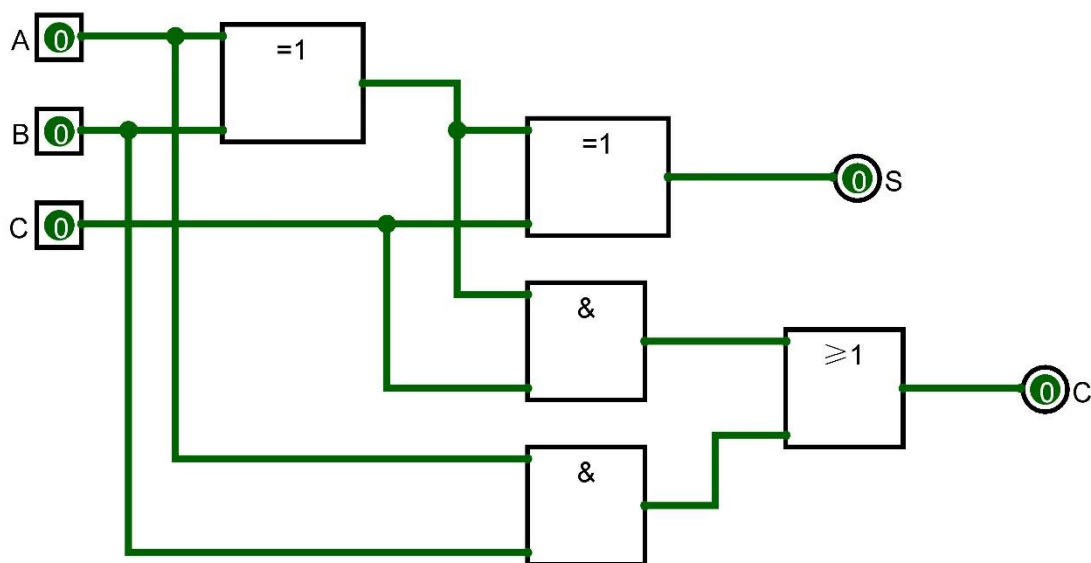


图 1-3 一位二进制全加器

### (3) 串行进位的四位二进制并行加法器

该电路包含九个输入，分别为 $A_3A_2A_1A_0B_3B_2B_1B_0C_0$ ，其中， $A_3A_2A_1A_0$ 为一个加数， $B_3B_2B_1B_0$ 为另一个加数， $C_0$ 为上一级产生的进位；电路包含五个输出，分别为 $S_3S_2S_1S_0C_4$ ，其中 $S_3S_2S_1S_0$ 为加法的结果， $C_4$ 为加法产生的进位。

该电路使用一位二进制全加器串联实现，首先计算 $A_0$ 、 $B_0$ 及进位位 $C_0$ 的和，得到 $S_0$ 和新的进位位 $C_1$ ，然后由 $A_1$ 、 $B_1$ 及进位位 $C_1$ 得到 $S_1$ 和新的进位位 $C_2$ ，依次向前执行上述操作，即可得到加法的结果 $S_3S_2S_1S_0$ 及最终的进位位 $C_4$ 。

其函数表达式如下

$$\begin{aligned}
 S_0 &= A_0 \oplus B_0 \oplus C_0 \\
 C_1 &= ((A_0 \oplus B_0) \cdot C_0) + (A_0 \cdot B_0) \\
 S_1 &= A_1 \oplus B_1 \oplus C_1 \\
 C_2 &= ((A_1 \oplus B_1) \cdot C_1) + (A_1 \cdot B_1) \\
 S_2 &= A_2 \oplus B_2 \oplus C_2 \\
 C_3 &= ((A_2 \oplus B_2) \cdot C_2) + (A_2 \cdot B_2) \\
 S_3 &= A_3 \oplus B_3 \oplus C_3 \\
 C_4 &= ((A_3 \oplus B_3) \cdot C_3) + (A_3 \cdot B_3)
 \end{aligned}$$

电路图如图 1-4 所示。

## 《数字电路与逻辑设计》实验报告

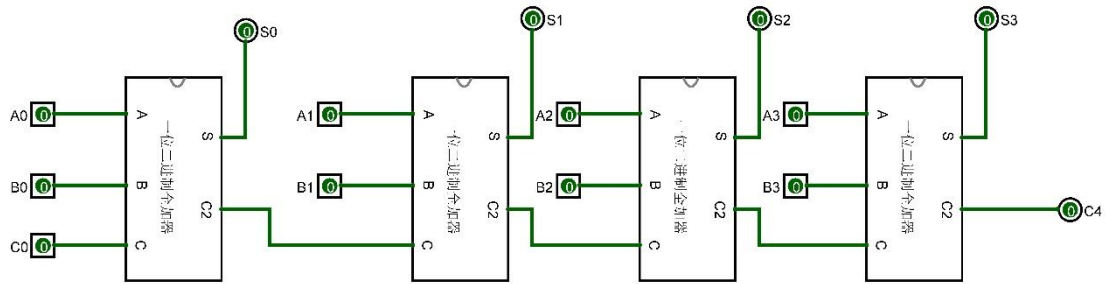


图 1-4 串行进位的四位二进制并行加法器

### (4) 先行进位的四位二进制并行加法器

该电路的输入输出与串行进位的四位二进制并行加法器相同，但是，该电路的后续部分的进位位不需要等待前面部分计算完成，而是直接通过相应的电路得到相应的进位位，因此各部分可以同时运行。

根据串行进位的四位二进制并行加法器的函数表达式，使用数学方法对进行化简可得到先行进位的四位二进制并行加法器的函数表达式如下。

$$P_i = A_{i-1} \oplus B_{i-1}$$

$$G_i = A_{i-1} \cdot B_{i-1}$$

$$C_1 = P_1 \cdot C_0 + G_1$$

$$C_2 = P_2 \cdot P_1 \cdot C_0 + P_2 \cdot G_1 + G_2$$

$$C_3 = P_3 \cdot P_2 \cdot P_1 \cdot C_0 + P_3 \cdot P_2 \cdot G_1 + P_3 \cdot G_2 + G_3$$

$$C_4 = P_4 \cdot P_3 \cdot P_2 \cdot P_1 \cdot C_0 + P_4 \cdot P_3 \cdot P_2 \cdot G_1 + P_4 \cdot P_3 \cdot G_2 + P_4 \cdot G_3 + G_4$$

$$S_i = P_{i-1} \oplus C_i$$

其电路图如图 1-5 所示

## 《数字电路与逻辑设计》实验报告

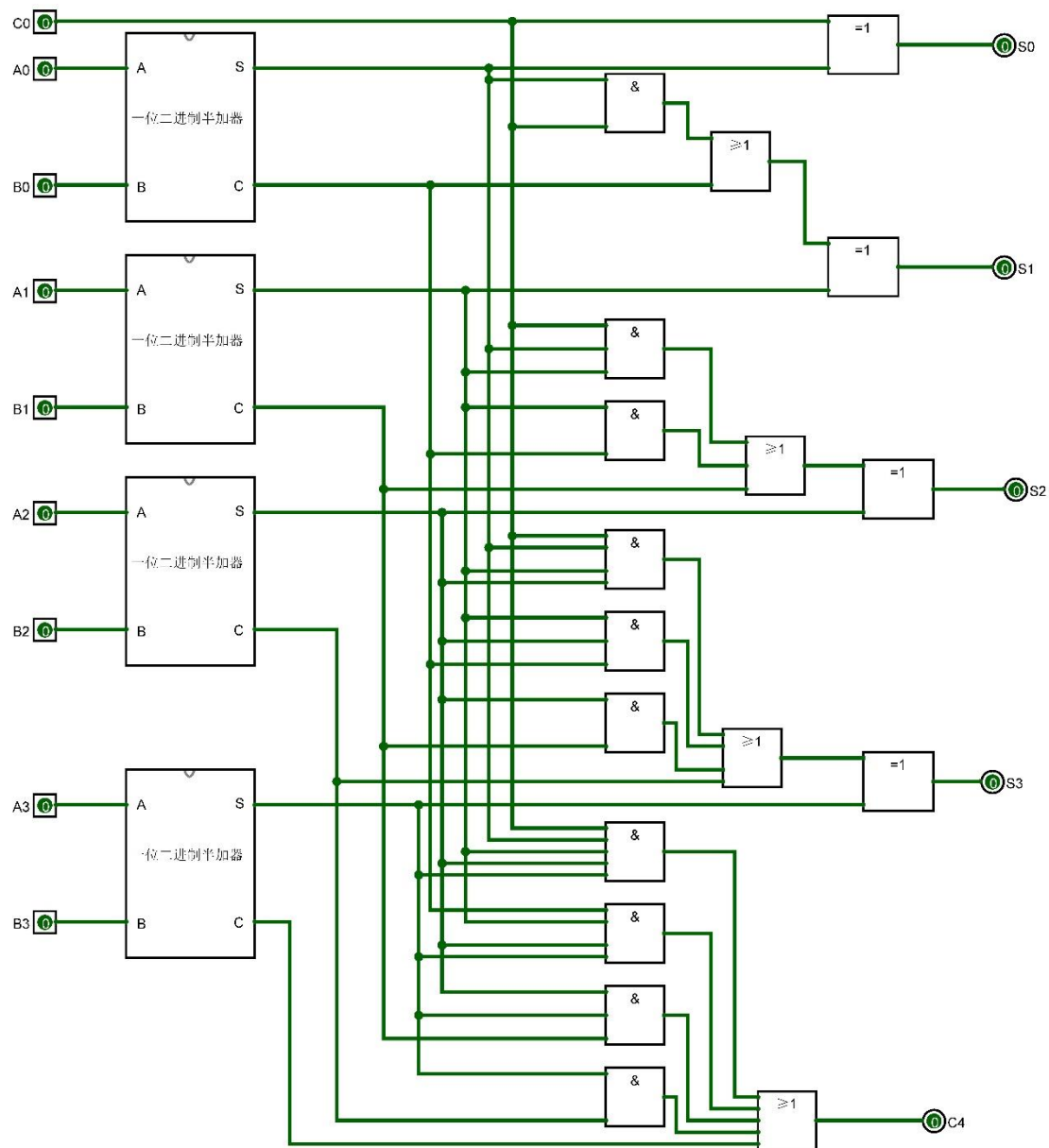


图 1-5 先行进位的四位二进制并行加法器

### (5) 封装“先行进位的四位二进制并行加法器电路”

按图 1-1 所示要求，封装“先行进位的四位二进制并行加法器电路”，并验证设计的正确性。

封装后的先行进位的四位二进制并行加法器如图 1-6 所示。



《数字电路与逻辑设计》实验报告

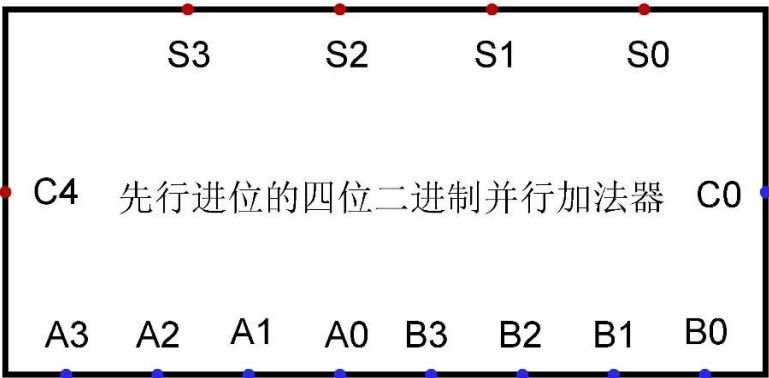


图 1-6 “私有”的先行进位的四位二进制并行加法器元件  
测试先行进位的四位二进制并行加法器的测试电路如图 1-7 所示。

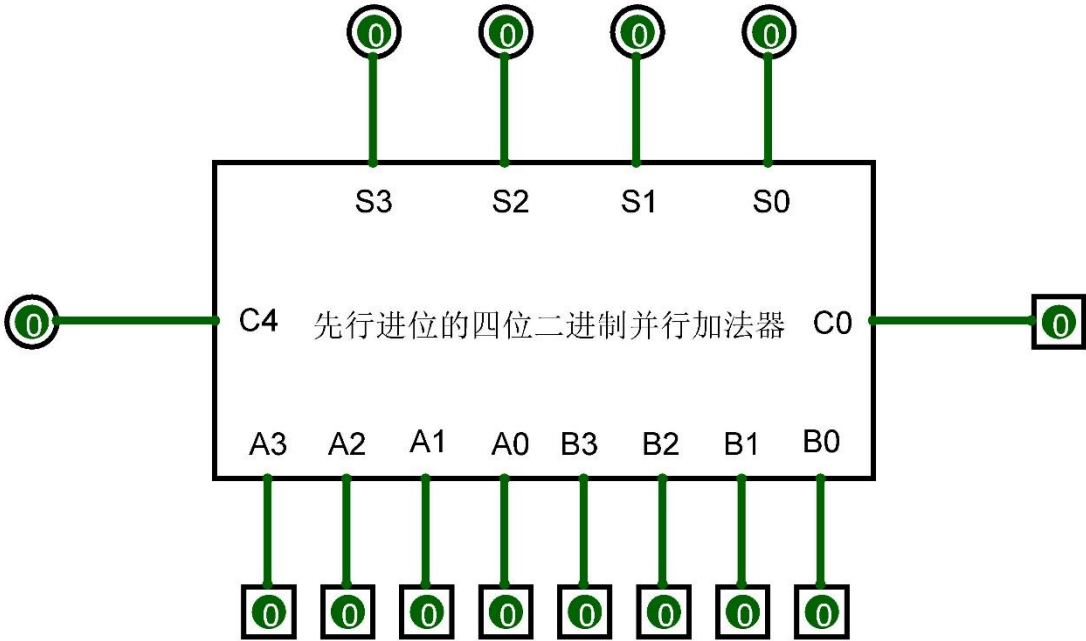


图 1-7 “私有”的先行进位的四位二进制并行加法器元件的测试电路

华中科技大学

# 数字逻辑实验报告

小型实验室门禁系统设计实验报告

## 《数字电路与逻辑设计》实验报告

---

### 二、小型实验室门禁系统设计

#### 1、实验名称

小型实验室门禁系统设计。

#### 2、实验目的

采用传统电路的设计方法，对一个“设计场景”进行逻辑电路的设计，并利用工具软件 logisim 的虚拟仿真来验证该设计是否达到要求。

通过以上实验的设计、仿真、验证 3 个训练过程使同学们掌握小型电路系统的设计、仿真、调试方法以及电路模块封装的方法。

#### 3、实验所用设备

Logisim2.7.1 软件一套。

#### 4、实验内容

**设计场景：**某小型保密实验室需要安装一个门禁系统，用于监测、控制和显示（七段显示数码管）该实验室内人数。该实验室只有一个门，最多只能容纳 15 人。假设员工进出实验室都要刷门禁卡，并且保证一次刷卡后有且只有一人能进出。实验室空置时人数显示为 0，刷卡进入时实验室人数加 1，刷卡离开时实验室人数减 1。当实验室满员时，还有员工在门外刷卡进入时，系统报警提示满员，不允许进入，实验室内人数不变。

使用 logisim 软件对小型电路进行虚拟实验仿真，除逻辑门、触发器、7 段数码显示管外，不能直接使用 logisim 提供的逻辑元件库。

具体要求如下。

##### (1) 四位二进制可逆计数器

用 D 触发器设计一个四位二进制可逆计数器并**进行封装**，逻辑符号参见图 2-1 所示。

该计数器有一个清零端 CLR、一个累加计数脉冲输入端  $CP_U$  (输入刷卡进入请求)、一个累减计数脉冲输入端  $CP_D$  (输入刷卡离开请求)、四个计数器状态输出值  $Q_D Q_C Q_B Q_A$ 。

(友情提示：四个计数状态输出端  $Q_D Q_C Q_B Q_A$  可以用来记录当前实验室人数。)

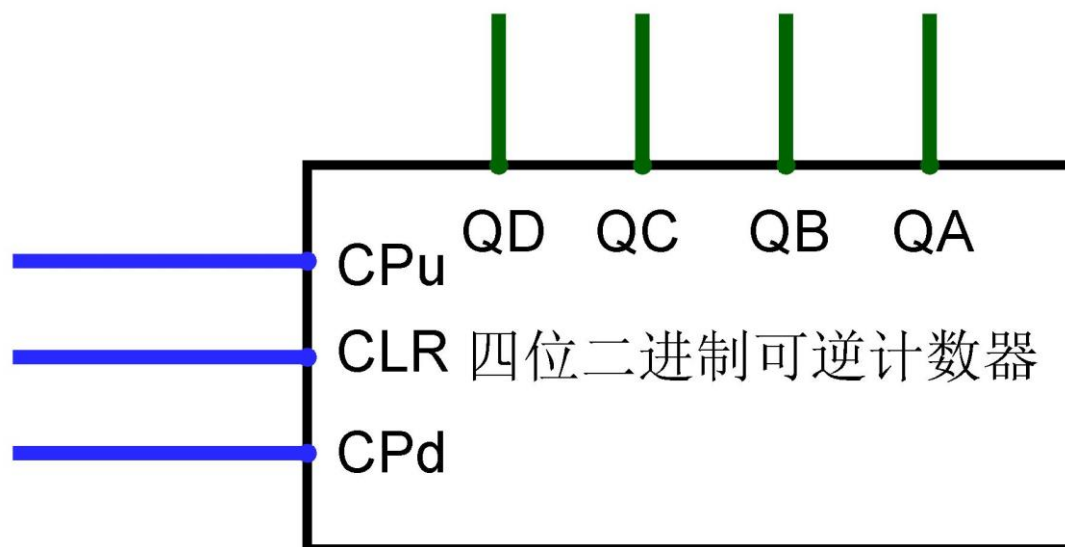


图 2-1 四位二进制可逆计数器

### (2) 二进制转 8421BCD 码电路

用第一次实验所设计的“私有”元件“先行进位的四位二进制并行加法器”和适当元器件,将二进制数表示的实验室人数转换成 **8421BCD 码** 的电路,并封装。

### (3) 显示电路

设计一个 7 段译码器 (参考书的 7448 芯片), 将两位十进制数的 8421BCD 码表示的实验室人数用“7 段数码显示管”显示出来, 并封装该译码器电路。

该 7 段译码器有四个输入 **A<sub>3</sub>A<sub>2</sub>A<sub>1</sub>A<sub>0</sub>** 和七个输出 **abcdefg**, **A<sub>3</sub>A<sub>2</sub>A<sub>1</sub>A<sub>0</sub>** 为 8421BCD 码, **abcdefg** 为 7 段数码显示管对应的段。

### (4) 报警电路

设计报警电路并封装, 使得满足如下要求。

当实验室满员时, 在累加计数脉冲输入端 **CP<sub>u</sub>** 刷卡进入请求时, 计数器输出端状态值保持不变, 系统报警提示满员。当实验室空时, 逻辑上不会有实验室内累减计数脉冲输入端 **CP<sub>d</sub>** 刷卡离开请求, 为防止信号干扰, 在计数输出为 0 时, 若 **CP<sub>d</sub>** 有脉冲, 计数器状态值保持不变, 且不用报警。

### (5) 小型实验室门禁系统电路的封装

利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路, 并进行封装, 封装后的小型实验室门禁系统逻辑符号参见图 2-2 所示。

## 《数字电路与逻辑设计》实验报告

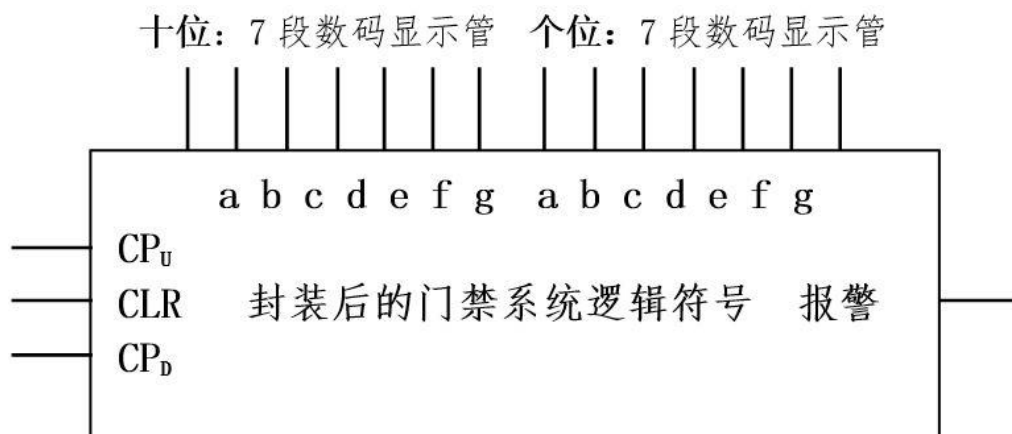


图 2-2 封装后的小型实验室门禁系统

### 5、实验方案设计

#### (1) 四位二进制可逆计数器

状态图如图 2-3 所示

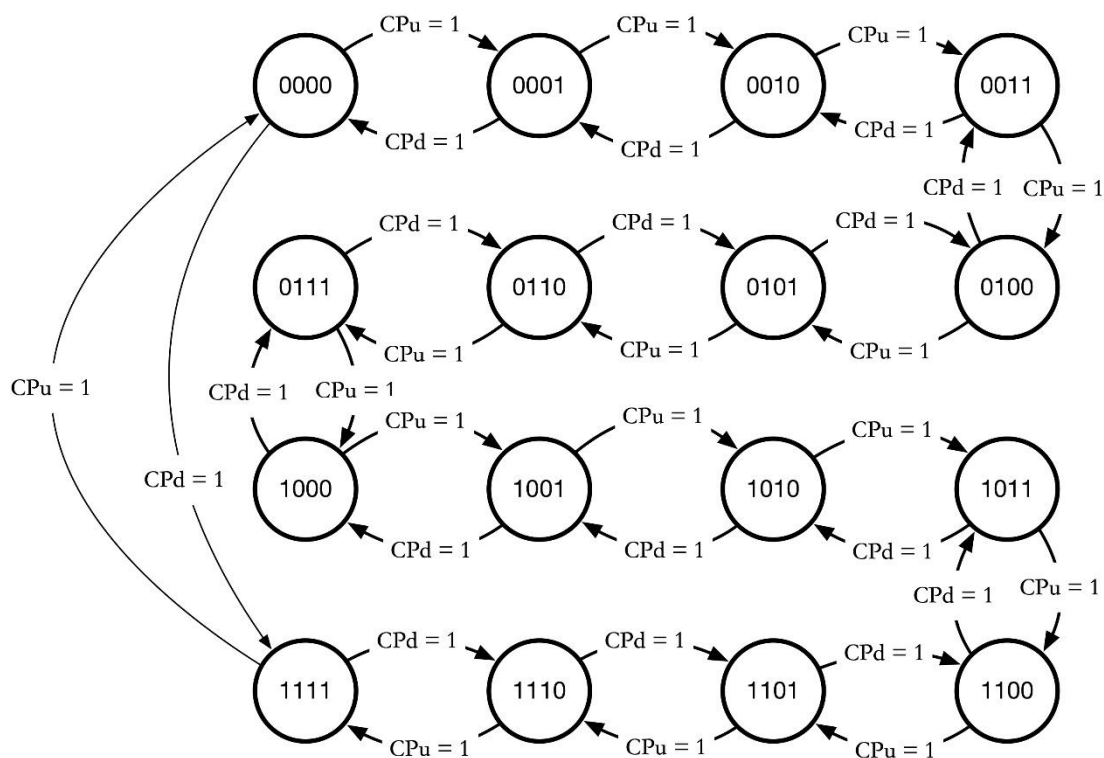


图 2-3 四位二进制可逆计数器状态图

## 《数字电路与逻辑设计》实验报告

状态表如表 2-1 所示

表 2-1 四位二进制可逆计数器状态表

现态	次态	
$Q_d Q_c Q_b Q_a$	$CP_u = 1$	$CP_d = 1$
0000	0001	1111
0001	0010	0000
0010	0011	0001
0011	0100	0010
0100	0101	0011
0101	0110	0100
0110	0111	0101
0111	1000	0110
1000	1001	0111
1001	1010	1000
1010	1011	1001
1011	1100	1010
1100	1101	1011
1101	1110	1100
1110	1111	1101
1111	0000	1110

逻辑表达式如下

$$Q_d^{n+1} = D_4$$

$$Q_c^{n+1} = D_3$$

$$Q_b^{n+1} = D_2$$

$$Q_a^{n+1} = D_1$$

$$D_1 = CP_u \oplus Q_a \oplus CP_d$$

$$D_2 = (CP_u \cdot Q_a) \oplus Q_b \oplus (CP_d \cdot Q_a)$$

$$D_3 = (CP_u \cdot Q_a \cdot Q_b) \oplus Q_c \oplus (CP_d \cdot Q_a \cdot Q_b)$$

$$D_4 = (CP_u \cdot Q_a \cdot Q_b \cdot Q_c) \oplus Q_d \oplus (CP_d \cdot Q_a \cdot Q_b \cdot Q_c)$$

四位二进制可逆计数器的电路图如图 2-4 所示

《数字电路与逻辑设计》实验报告

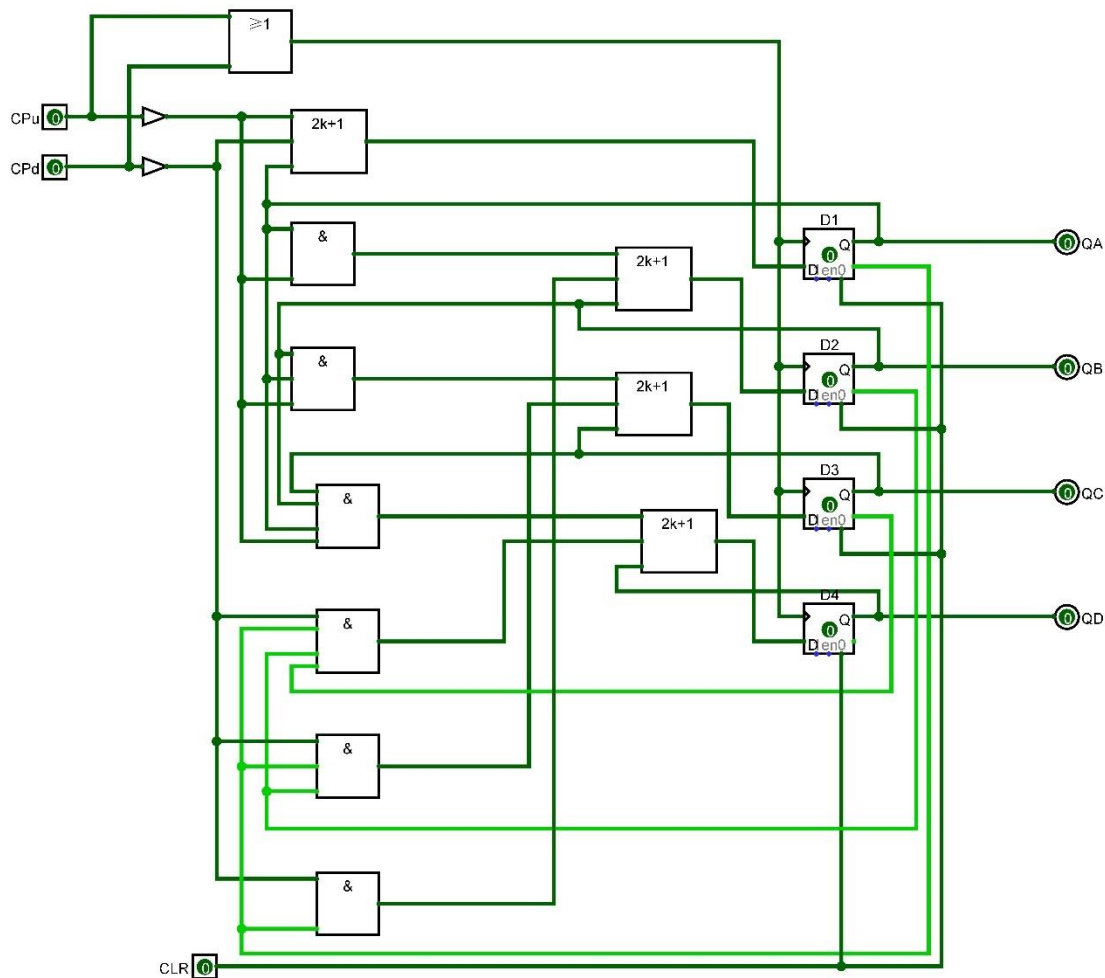


图 2-4 四位二进制可逆计数器电路图

(2) 二进制转 8421BCD 码电路

真值表见表 2-2

表 2-2 二进制转 8421 码真值表

$Q_dQ_cQ_bQ_a$	高位 $S_{24}S_{23}S_{22}S_{21}$	低位 $S_{14}S_{13}S_{12}S_{11}$
0000	0000	0000
0001	0000	0001
0010	0000	0010
0011	0000	0011
0100	0000	0100
0101	0000	0101
0110	0000	0110
0111	0000	0111
1000	0000	1000
1001	0000	1001
1010	0001	0000

《数字电路与逻辑设计》实验报告

1011	0001	0001
1100	0001	0010
1101	0001	0011
1110	0001	0100
1111	0001	0101

设计思路如下：对于十位，由于输入为四位二进制位，对于的十进制数为 0~15，因此，十位的 8421 码的前三位始终为 1，当输入大于等于 1010 时，十位的 8421 码的最低位( $S_{21}$ )的 1，因此，其逻辑表达式如下：

$$S_{21} = Q_d \cdot (Q_c + Q_b)$$

对于个位，当输入的四位二进制数小于 1010 时，输出与输入相同，当输入的四位二进制数大于等于 1010 时，输出可视为输入的四位二进制数加上 0110 得到的个数，因此可以使用实验一中设计的先行进位的四位二进制并行加法器来实现该功能。

$$S_{14}S_{13}S_{12}S_{11} = 0S_{21}S_{21}0 + Q_dQ_cQ_bQ_a$$

上式中的加法使用先行进位的四位二进制并行加法器。

二进制转 8421 码电路如图 2-5 所示

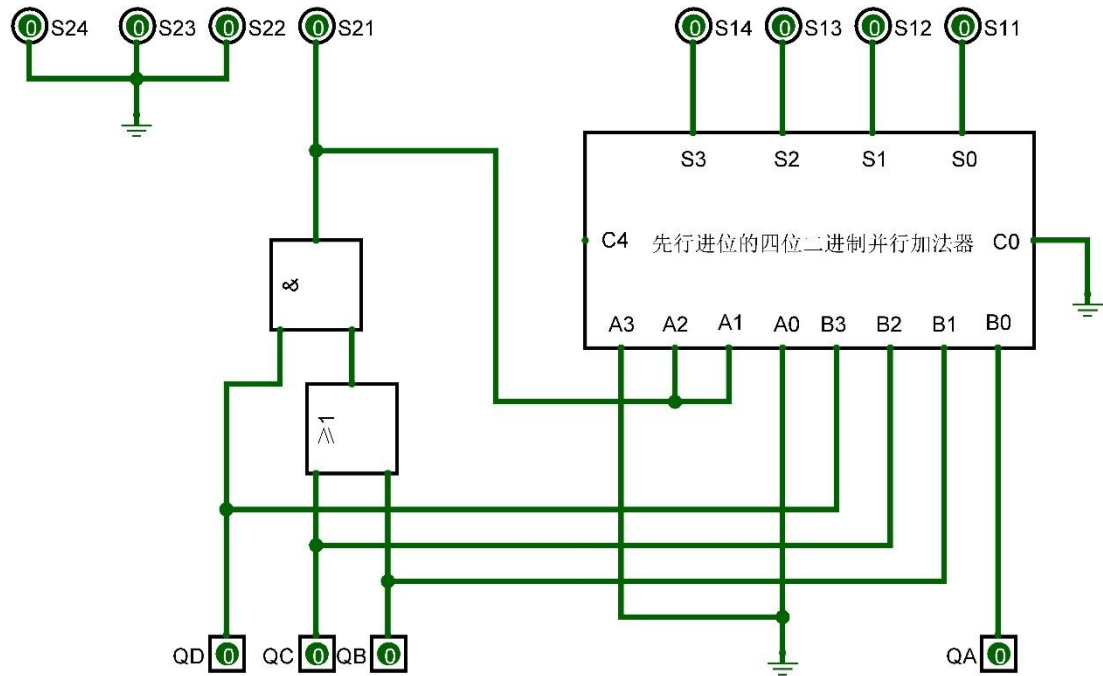


图 2-5 二进制转 8421BCD 码电路

- (3) 显示电路
- (A) 7 段译码器译码电路



## 《数字电路与逻辑设计》实验报告

真值表见表 2-3

表 2-3 七段译码器真值表

$A_3A_2A_1A_0$	abcdefg
0000	1111110
0001	0110000
0010	1101101
0011	1111001
0100	0110011
0101	1011011
0110	0011111
0111	1110000
1000	1111111
1001	1110011
1010	0001101
1011	0011001
1100	0100011
1101	1001011
1110	0001111
1111	0000000

逻辑表达式如下

$$\begin{aligned}
 a &= \overline{A_3} \cdot \overline{A_1} \cdot \overline{A_2} \cdot \overline{A_0} \cdot \overline{A_3 + A_2 + A_1 \cdot A_0} \\
 b &= \sim \left( (A_3 + A_2) \cdot (A_2 + A_1) \cdot (A_1 + A_0) \cdot \overline{A_3} \cdot \overline{A_1} \cdot \overline{A_0} \right) \\
 c &= \overline{A_3} \cdot \overline{A_2} \cdot (\overline{A_2 + A_1} + A_0) \\
 d &= A_0 \oplus (\overline{A_2} \cdot \overline{A_1}) + \overline{A_2} \cdot A_1 \\
 e &= \overline{A_0} \cdot (\overline{A_2} + A_1) \\
 f &= A_2 \cdot \overline{A_1} \cdot \overline{A_0} + \overline{A_1} + \overline{A_0} + A_3 \cdot \overline{A_1} \\
 g &= (A_3 + A_2 + A_1) \cdot \overline{A_2} \cdot \overline{A_1} \cdot \overline{A_0}
 \end{aligned}$$

七段译码器电路如图 2-6 所示

《数字电路与逻辑设计》实验报告

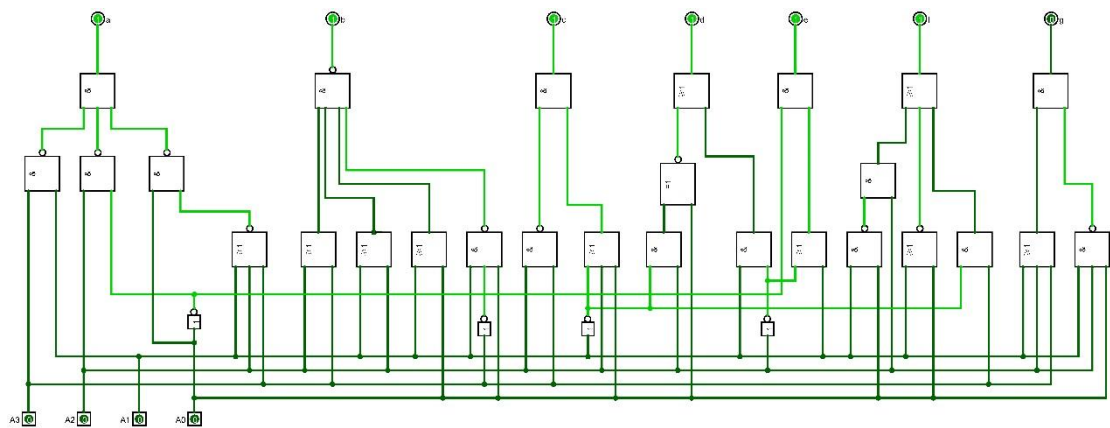


图 2-6 七段译码器译码电路

(B) 七段数码显示管显示电路

设计思路：将十位和个位的 BCD 码分别接入一个七段译码器，并将每个七段译码器的七个输出端接到七段数码管的相应输入端，即在七段数码管上显示相应的数字。

七段数码显示管显示电路如图 2-7 所示

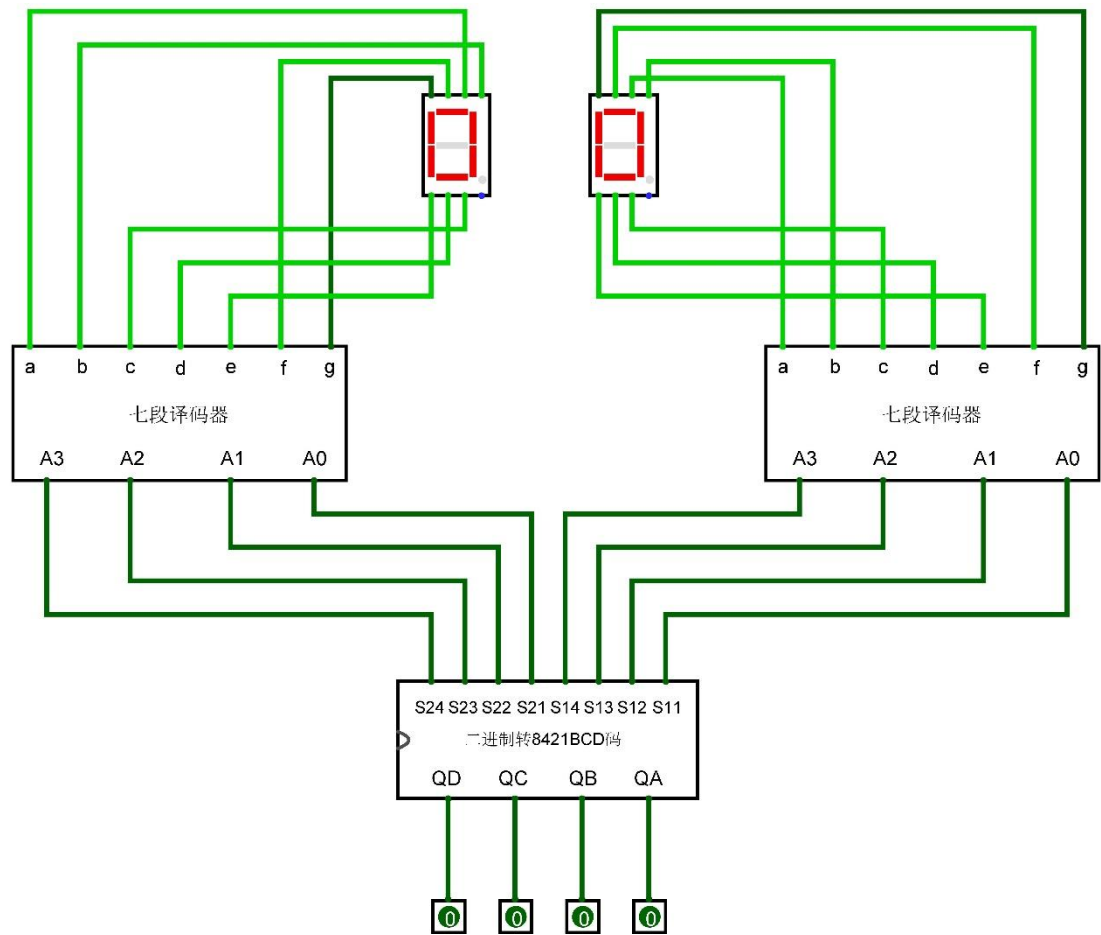


图 2-7 七段数码显示管显示电路

# 《数字电路与逻辑设计》实验报告

## (4) 报警电路

电路设计要求要采用本次实验 1 中由 4 位二进制可逆计数器所封装的“私有”元件和相应元器件。

设计思路如下：首先设计一个报警器，当四位二进制可逆计数器的四个输出端均输出为 1 时，此时若输入  $CP_u$  为 1，则报警器报警。该功能可使用一个与门实现。

在报警电路中同时添加对输入端  $CP_u$  和  $CP_d$  的限制，将四位二进制可逆计数器的四个输出端和输入端  $CP_u$  接到报警器中，即可实现报警功能。另外，当四位二进制可逆计数器的四个输出端均为 1 时，无论  $CP_u$  输入为 1 还是 0，输入到四位二进制可逆计数器的  $CP_u$  端始终为 0，当四位二进制可逆计数器的四个输出端均为 0 时，无论  $CP_d$  输入为 1 还是 0，输入到四位二进制可逆计数器的  $CP_d$  端始终为 0。这样即可对输入到四位二进制可逆计数器的输入端加以限制。

报警器电路如图 2-8 所示

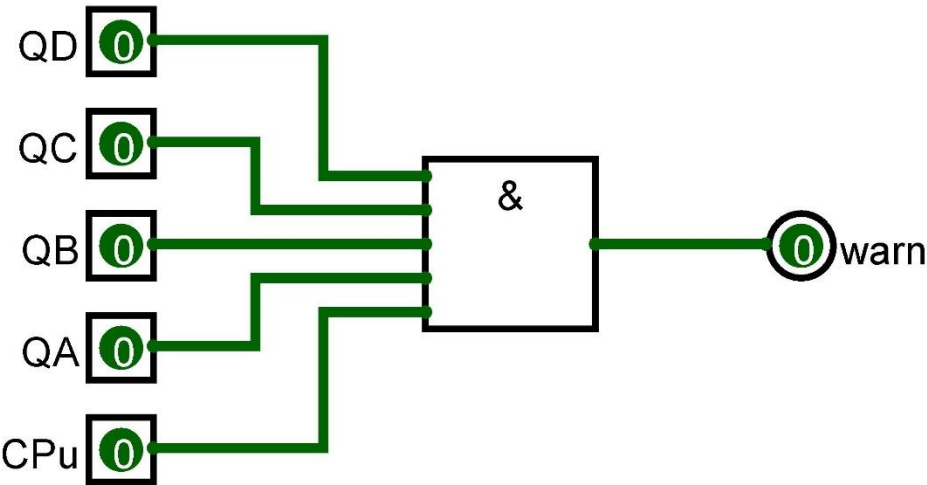


图 2-8 报警器电路

报警电路如图 2-9 所示

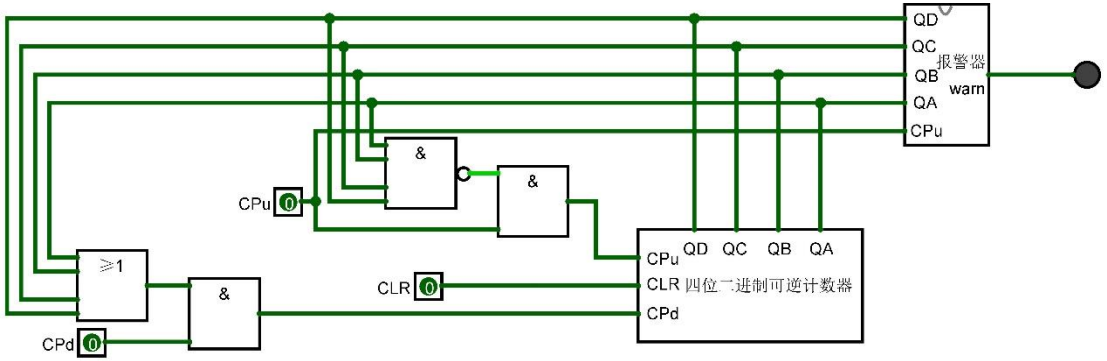


图 2-9 报警电路

《数字电路与逻辑设计》实验报告

(5) 小型实验室门禁系统电路的封装

利用已设计的“私有”元器件和相应元器件设计一个“实验室门禁系统”电路，并封装。

门禁电路的电路图如图 2-10 所示

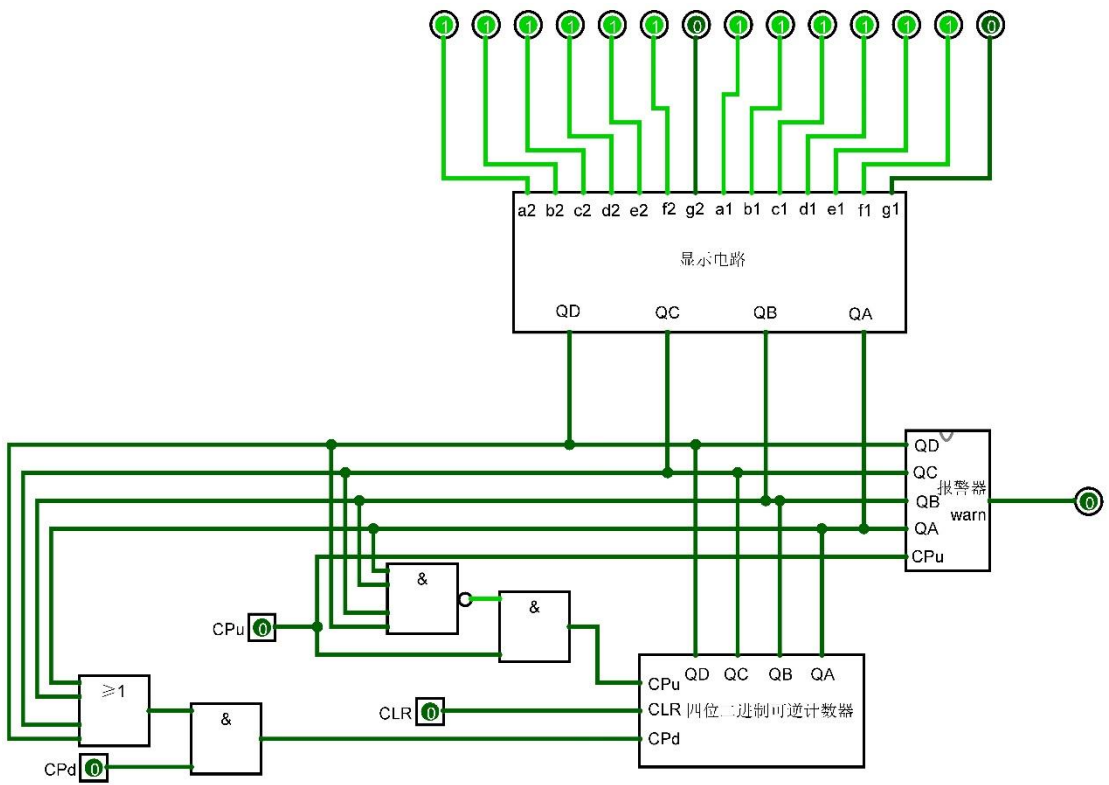


图 2-10 门禁电路

封装后的结果如图 2-11 所示

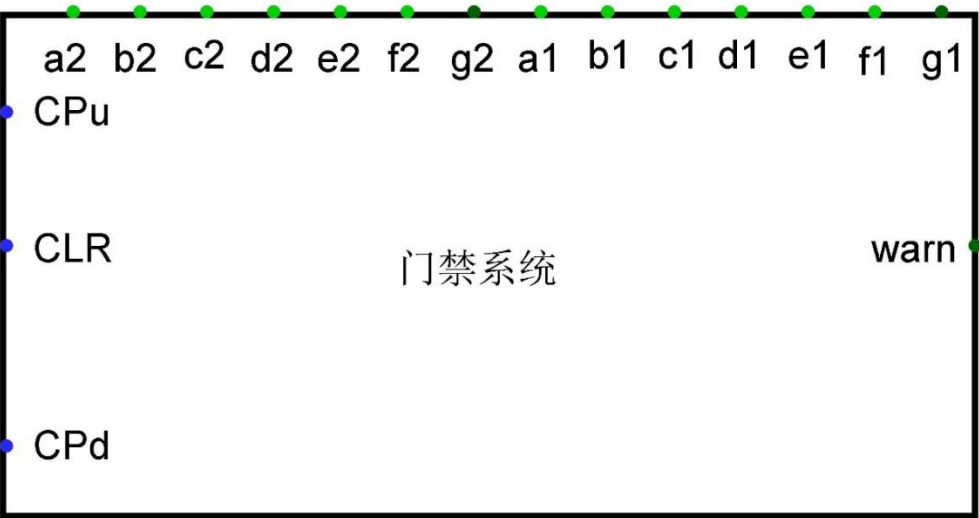


图 2-11 封装后的门禁元件

### 6、实验结果记录

#### (1) “四位二进制可逆计数器”私有元件的测试电路

如图 2-12 为四位二进制可逆计数器元件的测试电路。

不断点击 $CP_U$ 向元件输入脉冲信号，每次输入一个脉冲后都可以观察到 $Q_D Q_C Q_B Q_A$ 构成的四位二进制数加一；同样的，点击 $CP_d$ 向元件输入脉冲信号，每次输入一个脉冲后可以观察到 $Q_D Q_C Q_B Q_A$ 构成的四位二进制数减一；将 $CLR$ 输入置为 0 时，可以观察到四个输出全部被置为 0。因此可以得知该元件实现了预期的功能。

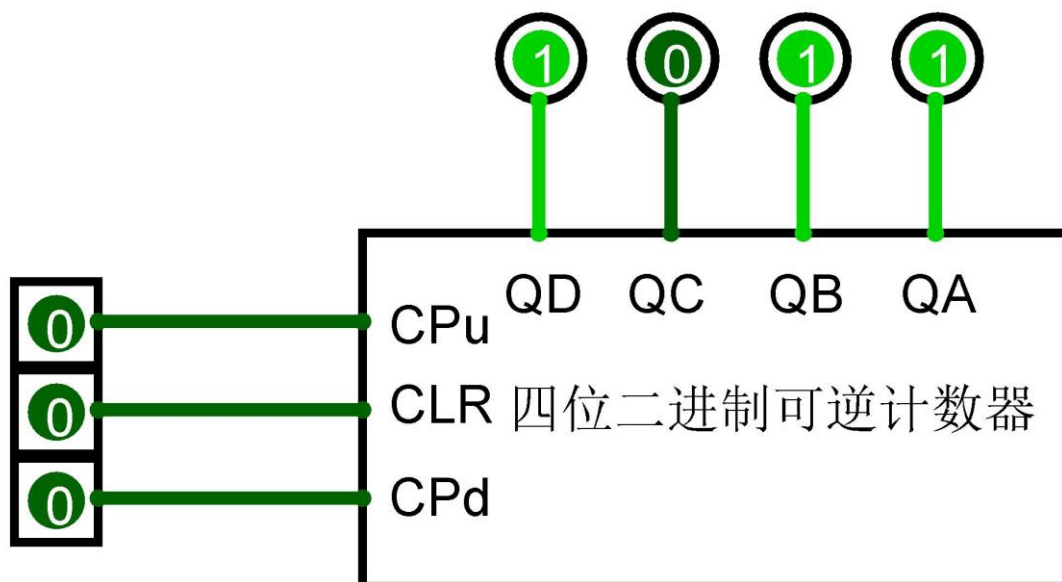


图 2-12 四位二进制可逆计数器元件的测试电路

#### (2) “实验室内人数转换成 8421BCD 码”私有元件的测试电路

如图 2-13 为二进制转 8421BCD 码元件的测试电路。

依次向元件的输入端 $Q_D Q_C Q_B Q_A$ 输入 0000~1111 这 16 种组合，依次观察相应的输出，通过比较可知，输出的两个数 $S_{24} S_{23} S_{22} S_{21}$ 和 $S_{14} S_{13} S_{12} S_{11}$ 对应的十进制数即为输入的数字转化为十进制数的十位数和个位数，因此可以得知该元件实现了预期的功能。

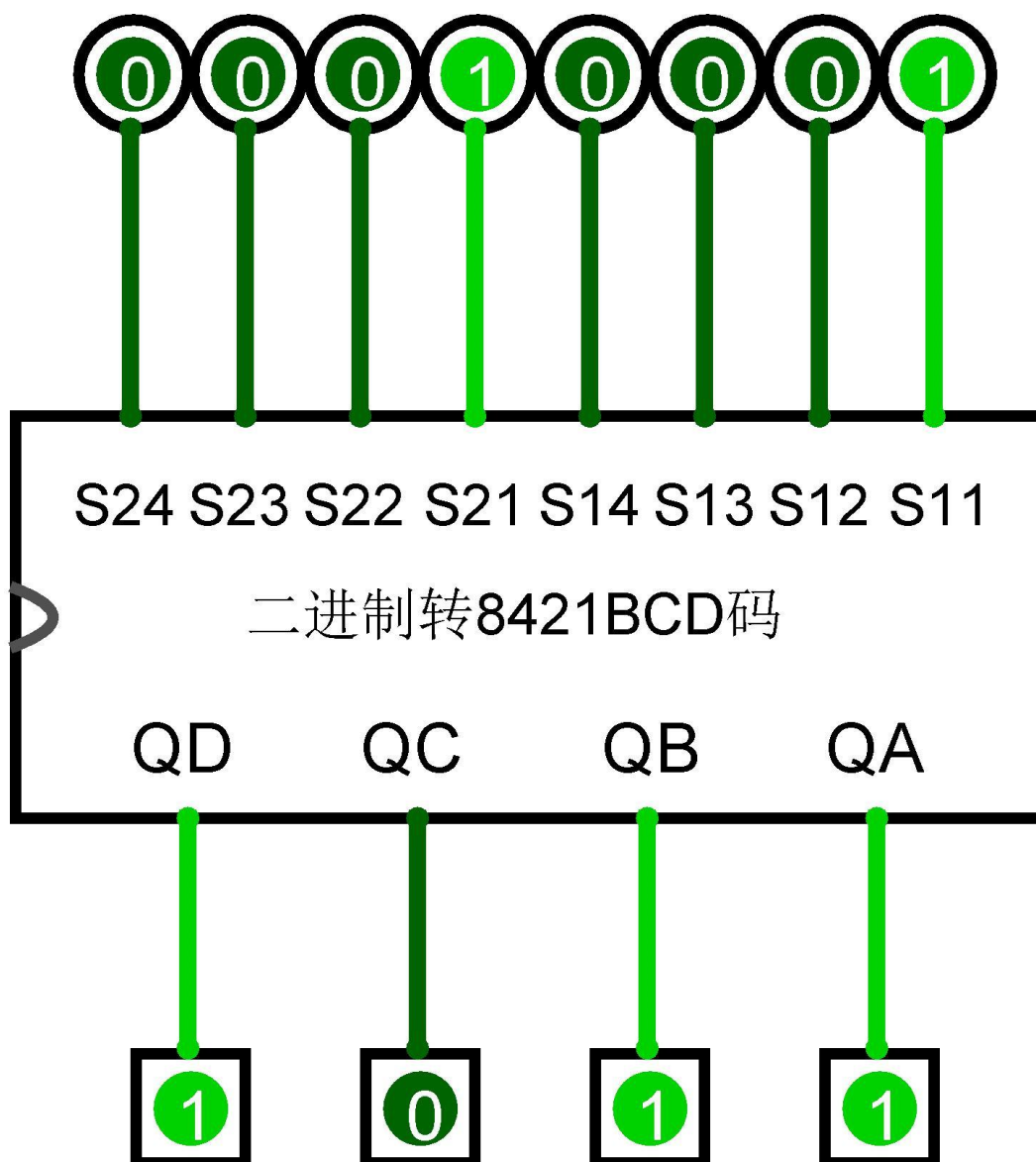


图 2-13 实验室内人数转换成 8421BCD 码元件测试电路

(3) 采用“七段数码显示管”显示人数私有元件测试电路

如图 2-14 为七段数码显示管显示人数私有元件的测试电路

依次向元件的输入端 $Q_D Q_C Q_B Q_A$ 输入 0000~1111 这 16 种组合，观察七段数码显示管显示的数字，可知，数码显示管显示的数字即为输入 $Q_D Q_C Q_B Q_A$ 对应的十进制数。由此可知，该显示电路与实验预期相符合。

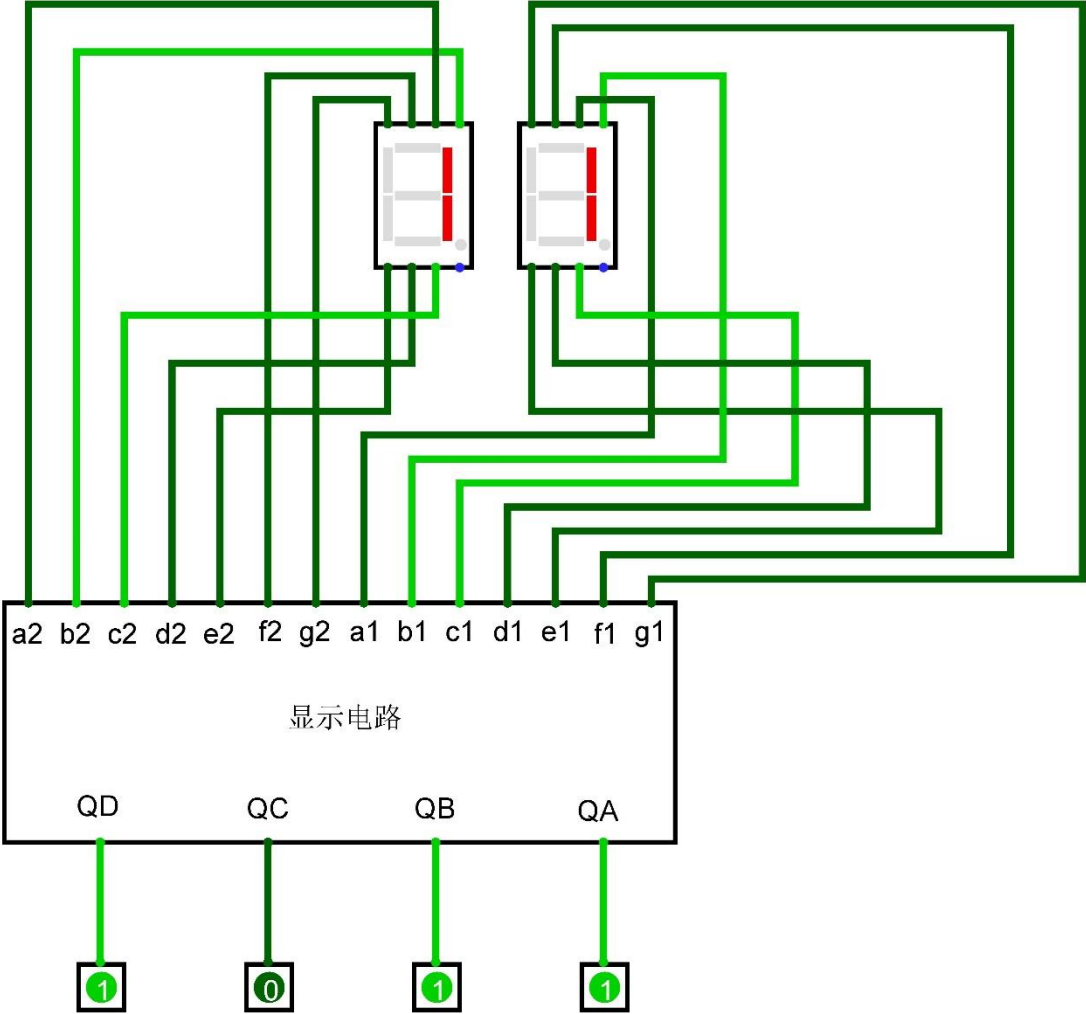


图 2-14 七段数码显示管显示人数私有元件的测试电路

(4) “系统报警提示满员”私有元件测试电路

如图 2-15 为满员报警电路私有元件的测试电路。

当实验室满员时， $Q_A Q_B Q_C Q_D$  四个输入均为 1，此时当输入端  $CP_u$  为 1 时，系统输出 1，表示报警，否则，系统输出 0。

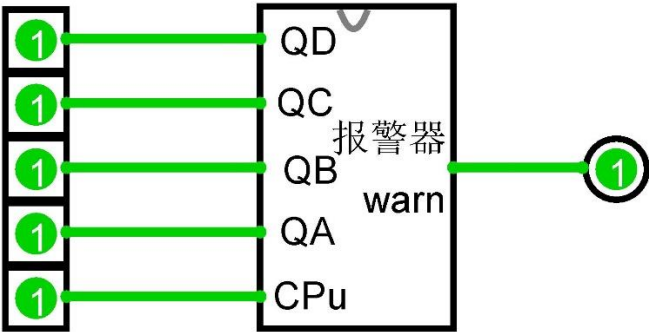


图 2-15 满员报警电路私有元件的测试电路

## 《数字电路与逻辑设计》实验报告

### (5) “小型实验室门禁系统”私有元件测试电路

如图 2-16 为小型实验室门禁系统私有元件的测试电路。

当输入端  $CP_u$  输入一个脉冲信号时，若实验室未满员，则数码显示管显示的数字加一，否则，数码显示管显示的数字不变，并且输出报警信号；当输入端  $CP_d$  输入一个脉冲信号时，若实验室不为空，则数码显示管显示的数字减一，否则，数码显示管显示的数字不变；若输入端  $CLR$  输入一个脉冲信号，则直接将数码显示管显示的数字置为 0。经过测试可知，该电路正确实现了相应的功能。

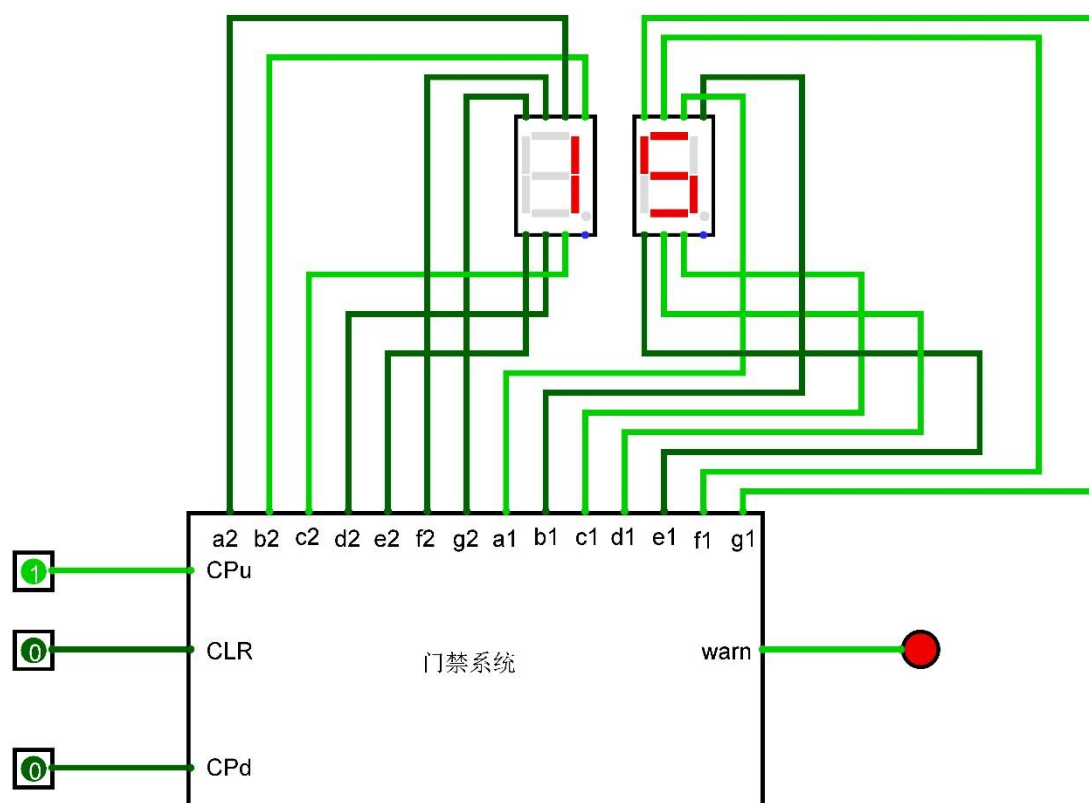


图 2-16 小型实验室门禁系统私有元件的测试电路

## 7、实验后的思考

### (1) 这两次实验的难点你认为在哪些方面？

我认为这两次实验的难点主要在于对设计要求的分析以及对异步时序逻辑电路工作原理的了解。由于这是前两次实验，对于 logisim 工具的使用不是很熟练；另外，由于相应的数电的知识刚刚学习到，虽然在课堂的学习中对电路的知识有了一定的了解，但是仍然有很多的细节问题在知识上有一定的困惑，导致在实验的过程中出现了一些意想不到的问题。

### (2) 你是如何解决的？



## 《数字电路与逻辑设计》实验报告

---

这两次试验中，我遇到了很多问题。例如，在第一次实验中对先行进位和串行进位有一定的困惑，以及在第二次实验中触发器的使用中出现的与预期结果不相符的情况。但是这些问题通过查阅课本中的相关信息以及老师上课时给出的提示，最终都得到了解决。

### (3) 意见和建议

通过这两次实验，我更加直观的感受到了电路的运行状况，通过解决遇到的各种问题，弥补了我在数电课程的学习中出现的不足和缺陷。