

# 华中科技大学

## 数字逻辑实验报告（2）

数字逻辑实验2		
一、无符号数的乘法器 设计 50%	二、无符号数的除法 器设计 50%	总成绩

评语：（包含：预习报告内容、实验过程、实验结果及分析）

教师签名

姓 名： 胡澳

学 号： U201714761

班 级： CS1706

指 导 教 师： 何云峰

计算机科学与技术学院

2019 年 5 月 12 日

华中科技大学

## 数字逻辑实验报告（2）

无符号数的乘法器设计

# 《数字电路与逻辑设计》实验报告

学生姓名： 胡澳 学号： U201714761 所在班级： CS1706

## 一、无符号数的乘法器设计

### 1、实验名称

无符号数的乘法器的设计。

### 2、实验目的

要求使用合适的逻辑电路的设计方法，通过工具软件 logisim 进行无符号数的乘法器的设计和验证，记录实验结果，验证设计是否达到要求。

通过无符号数的乘法器的设计、仿真、验证 3 个训练过程，使同学们掌握数字逻辑电路的设计、仿真、调试的方法。

### 3、实验所用设备

Logisim2.7.1 软件一套。

### 4、实验内容

#### (1) 四位乘法器设计

四位乘法器  $Mul4 \times 4$  实现两个无符号的 4 位二进制数的乘法运算，其结构框图如图 3-1 所示。设被乘数为  $b(3:0)$ ，乘数为  $a(3:0)$ ，乘积需要 8 位二进制数表示，乘积为  $p(7:0)$ 。

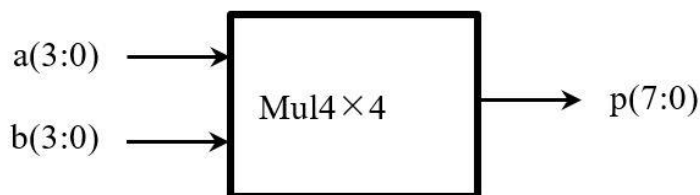


图 3-1 四位乘法器结构框图

四位乘法器运算可以用 4 个相同的模块串接而成，其内部结构如图 3-2 所示。每个模块均包含一个加法器、一个 2 选 1 多路选择器和一个移位器 shl。

图 3-2 中数据通路上的数据位宽都为 8，确保两个 4 位二进制数的乘积不会发生溢出。shl 是左移一位的操作，在这里可以不用逻辑器件来实现，而仅通过数据连线的改变（两个分线器错位相连接）就可实现。

## 《数字电路与逻辑设计》实验报告

学生姓名： 胡澳    学号： U201714761    所在班级： CS1706

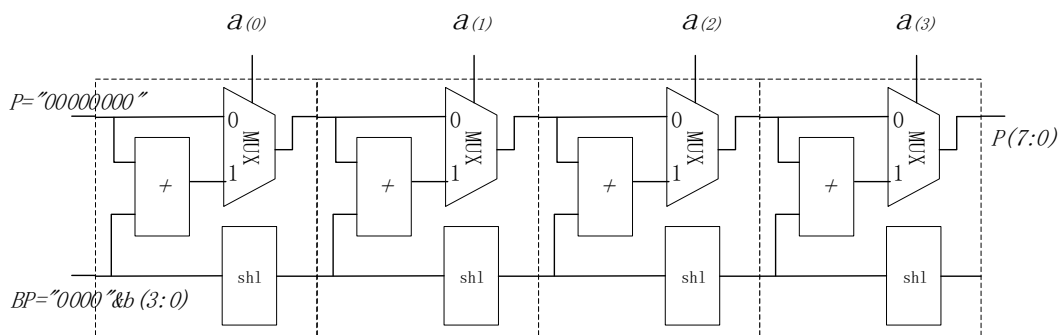


图 3-2 四位乘法器内部结构

### (2) $32 \times 4$ 乘法器设计

$32 \times 4$  乘法器  $Mul32 \times 4$  实现一个无符号的 32 位二进制数和一个无符号的 4 位二进制数的乘法运算，其结构框图如图 3-3 所示。设被乘数为  $b(31:0)$ ，乘数为  $a(3:0)$ ，乘积也用 32 位二进制数表示，乘积为  $p(31:0)$ 。这里，要求乘积  $p$  能用 32 位二进制数表示，且不会发生溢出。

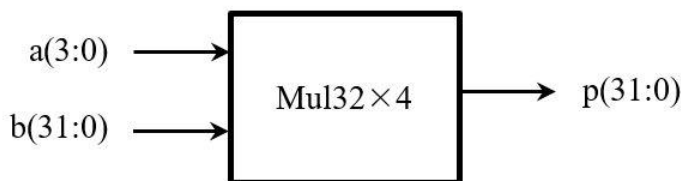


图 3-3  $32 \times 4$  乘法器结构框图

在四位乘法器  $Mul4 \times 4$  上进行改进，将数据通路上的数据位宽都改为 32 位，即可实现  $Mul32 \times 4$ 。

### (3) $32 \times 32$ 乘法器设计

$32 \times 32$  乘法器  $Mul32 \times 32$  实现两个无符号的 32 位二进制数的乘法运算，其结构框图如图 3-4 所示。设被乘数为  $b(31:0)$ ，乘数为  $a(31:0)$ ，乘积也用 32 位二进制数表示，乘积为  $p(31:0)$ 。这里，要求乘积  $p$  能用 32 位二进制数表示，且不会发生溢出。

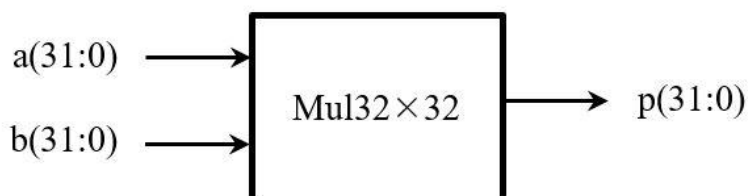


图 3-4  $32 \times 32$  乘法器结构框图

用  $32 \times 4$  乘法器  $Mul32 \times 4$  作为基本部件，实现  $32 \times 32$  乘法器  $Mul32 \times 32$ 。

设被乘数为  $b(31:0) = (b_{31}b_{30}b_{29}b_{28} \cdots b_{15}b_{14}b_{13}b_{12} \cdots b_4b_3b_2b_1b_0)_2$

## 《数字电路与逻辑设计》实验报告

学生姓名： 胡澳 学号： U201714761 所在班级： CS1706

$$\begin{aligned} \text{乘数为 } a(31:0) &= (a_{31}a_{30}a_{29}a_{28}\cdots a_{15}a_{14}a_{13}a_{12}\cdots a_3a_2a_1a_0)_2 \\ &= (a_{31}a_{30}a_{29}a_{28})_2 \times 2^{28} + \cdots + (a_{15}a_{14}a_{13}a_{12})_2 \times 2^{12} + \cdots + (a_3a_2a_1a_0)_2 \times 2^0 \end{aligned}$$

所以，

$$\begin{aligned} p(31:0) &= b(31:0) \times a(31:0) \\ &= b(31:0) \times ((a_{31}a_{30}a_{29}a_{28})_2 \times 2^{28} + \cdots + (a_{15}a_{14}a_{13}a_{12})_2 \times 2^{12} + \cdots + (a_3a_2a_1a_0)_2 \times 2^0) \\ &= b(31:0) \times (a_{31}a_{30}a_{29}a_{28})_2 \times 2^{28} + \cdots + b(31:0) \times (a_{15}a_{14}a_{13}a_{12})_2 \times 2^{12} + \cdots \\ &\quad + b(31:0) \times (a_3a_2a_1a_0)_2 \times 2^0 \end{aligned}$$

从上述推导可知，Mul32×32 可以用 8 个 Mul32×4 分组相乘，然后通过 4 的倍数位的左移（相当于乘  $2^i$ ），再将左移结果两两相加得到。

### 5、实验设计方案

#### (1) 四位乘法器设计

四位二进制乘法器公式如下：

$$\begin{aligned} p(7:0) &= b(3:0) \times a(0) + b(3:0) \times 2^1 \times a(1) + b(3:0) \times 2^2 \times a(2) \\ &\quad + b(3:0) \times 2^3 \times a(3) \end{aligned}$$

由于  $a(i)$  ( $i = 0, 1, 2, 3$ ) 为一位二进制数，因此乘  $a(i)$  可以使用二路选择器实现。乘  $2^i$  ( $i = 0, 1, 2, 3$ ) 使用移位元件实现。

如图 3-5 为四位二进制乘法器的电路图。

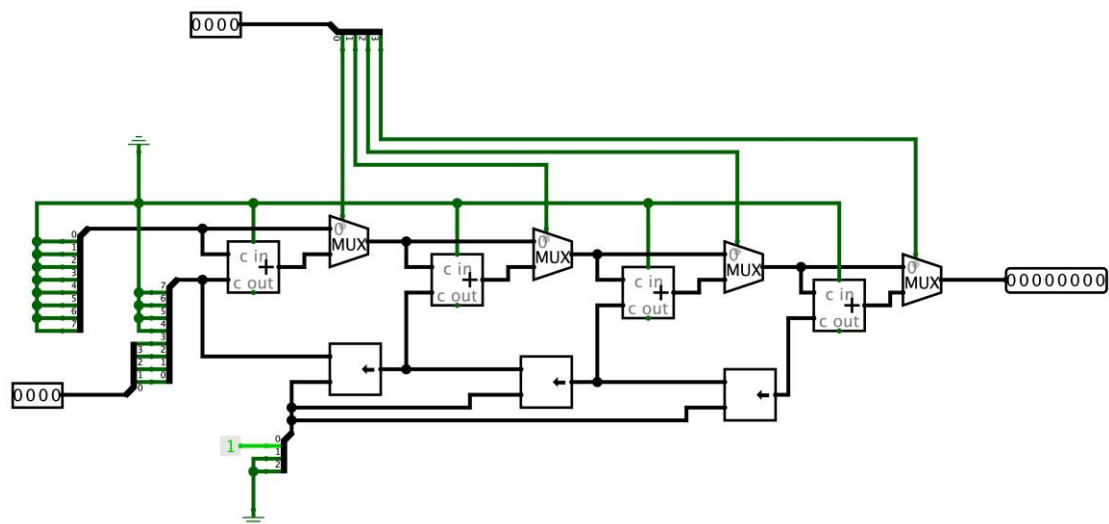


图 3-5 四位二进制乘法器电路图

#### (2) 32×4 乘法器设计

32 × 4乘法器公式如下：

## 《数字电路与逻辑设计》实验报告

学生姓名： 胡澳 学号： U201714761 所在班级： CS1706

$$p(31:0) = b(31:0) \times a(0) + b(31:0) \times 2^1 \times a(1) + b(31:0) \times 2^2 \times a(2) + b(31:0) \times 2^3 \times a(3)$$

由于  $a(i)$  ( $i = 0, 1, 2, 3$ ) 为一位二进制数，因此乘  $a(i)$  可以使用二路选择器实现。乘  $2^i$  ( $i = 0, 1, 2, 3$ ) 使用移位元件实现。

如图 3-6 为  $32 \times 4$  乘法器电路图。

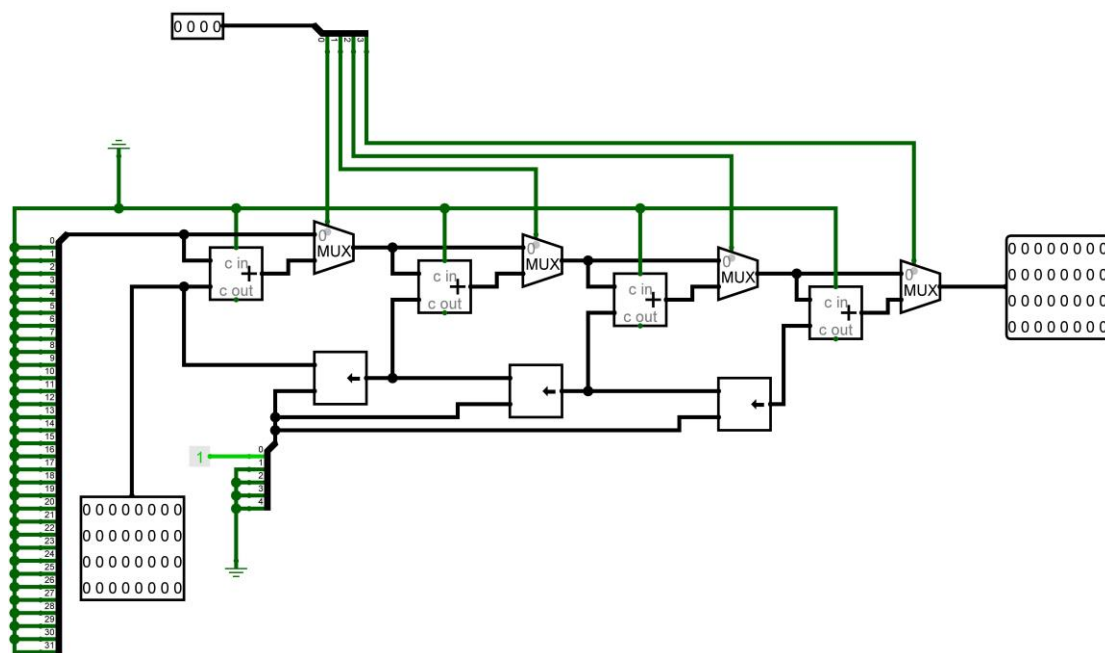


图 3-6  $32 \times 4$  乘法器电路

### (3) $32 \times 32$ 乘法器设计

$32 \times 32$  乘法器公式如下：

$$p(31:0) = b(31:0) \times a(31:28) \times 2^{28} + b(31:0) \times a(27:24) \times 2^{24} + b(31:0) \times a(23:20) \times 2^{20} + b(31:0) \times a(19:16) \times 2^{16} + b(31:0) \times a(15:12) \times 2^{12} + b(31:0) \times a(11:8) \times 2^8 + b(31:0) \times a(7:4) \times 2^4 + b(31:0) \times a(3:0)$$

式中 32 位乘数与 4 位乘数的乘法使用  $32 \times 4$  乘法器实现，与  $2^i$  的乘法使用移位元件实现。

如图 3-7 为  $32 \times 32$  乘法器电路图。

# 《数字电路与逻辑设计》实验报告

学生姓名： 胡澳 学号： U201714761 所在班级： CS1706

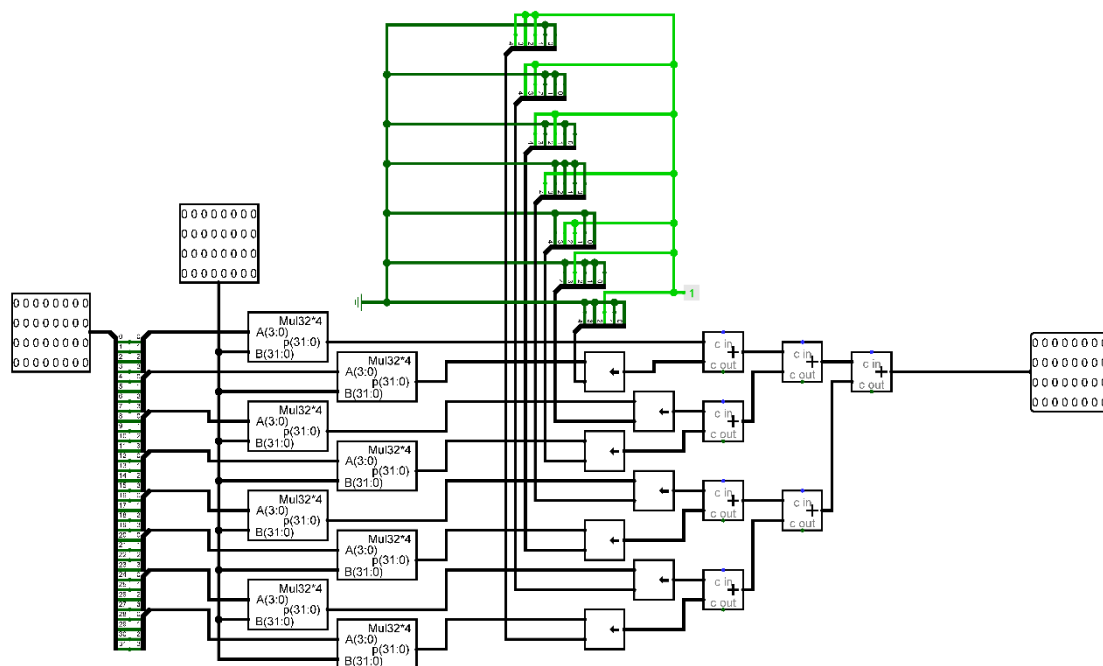


图 3-7 32 × 32乘法器电路

## 6、实验结果记录

根据实验方案设计要求，对于相应的乘法器，在给定的输入条件下，填写表 3-1。

表 3-1 无符号数的乘法器实验结果记录表

电路	输入 1（16 进制）	输入 2（16 进制）	输出（16 进制）
Mul4×4	b=0xA	a=0xA	p=0x64
Mul4×4	b=0xF	a=0xF	p=0xE1
Mul4×4	b=0x6	a=0xC	p=0x48
Mul4×4	b=0xE	a=0x9	p=0x7E
Mul32×4	b=0x003ABEF1	a=0xA	p=0x024B756A
Mul32×4	b=0x3210ACDF	a=0xB	p=0x26B76D95
Mul32×4	b=0x019ABEF1	a=0x7	p=0x0B3B3897
Mul32×4	b=0xFFFFCCCC	a=0x8	p=0xFFFE6660
Mul32×32	b=0x0002BEF1	a=0x00004EF1	p= 0xD8C32EE1
Mul32×32	b=0xFFFFCCCC	a=0x3210ACDE	p=0x822CA8E8
Mul32×32	b=0x00003EF1	a=0x0003BEF1	p=0xEBC51EE1
Mul32×32	b=0xFEDCBA21	a=0x12345678	p=0xBEB25578

使用计算器验证上述输出可知，电路输出结果与实际乘法计算结果相同，由此可以判断，电路功能正确。

华中科技大学

## 数字逻辑实验报告（3）

无符号数的除法器设计



# 《数字电路与逻辑设计》实验报告

学生姓名： 胡澳 学号： U201714761 所在班级： CS1706

## 二、无符号数的除法器设计

### 1、实验名称

无符号数的除法器的设计。

### 2、实验目的

要求使用合适的逻辑电路的设计方法，通过工具软件 logisim 进行无符号数的除法器的设计和验证，记录实验结果，验证设计是否达到要求。

通过无符号数的除法器的设计、仿真、验证 3 个训练过程，使同学们掌握数字逻辑电路的设计、仿真、调试的方法。

### 3、实验所用设备

Logisim2.7.1 软件一套。

### 4、实验内容

#### (1) 四位除法器设计

四位除法器实现两个无符号的 4 位二进制数的除法运算，其结构框图如图 3-8 所示。设被除数为  $n_2(3:0)$ ，除数为  $d(3:0)$ ，商为  $quot(3:0)$ ，余数为  $rem(3:0)$ 。

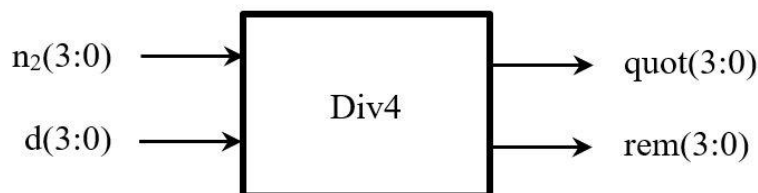


图 3-8 四位除法器结构框图

四位除法器 Div4 算法步骤如下：

(1) 设  $n_1 = "0000"$ ，将被除数以  $n_1:n_2$  的形式拼接，除数为  $d$ ；

(2) 重复 4 次：

将  $n_1:n_2$  左移 1 位；

if ( $n_1 > d$ ) begin  $n_1 = n_1 - d$ ;  $n_2(0) = 1$  end

(3) 商和余数的结果为：  $quot = n_2$ ;  $rem = n_1$  。

四位除法器也可以用 4 个相同的模块串接而成。每个模块均包含一个减法器、两个 2 选 1 多路选择器、一个比较器和一个移位器 shl。请参照四位乘法器的设计思路，实现两个无符号的 4 位二进制数的除法器。

#### (3) 32 位除法器设计

# 《数字电路与逻辑设计》实验报告

学生姓名： 胡澳 学号： U201714761 所在班级： CS1706

32 位除法器 Div32 实现两个无符号的 32 位二进制数的除法运算，其结构框图如图 3-9 所示。设被除数为  $n(31:0)$ ，除数为  $d(31:0)$ ，商为  $quot(31:0)$ ，余数为  $rem(31:0)$ 。

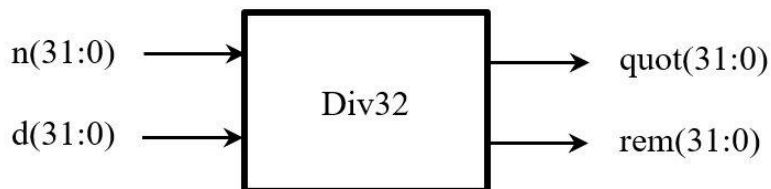


图 3-9 32 位除法器结构框图

对四位除法器 Div4 中 4 个相同的模块之一进行改进，将数据通路上的数据位宽都扩展为 32 位，得到一个 Div1。将 32 个 Div1 拼接起来即可实现 Div32。

## 5、实验设计方案

### (1) 四位除法器设计

Div4 的内部逻辑结构框图如图 3-10 所示。

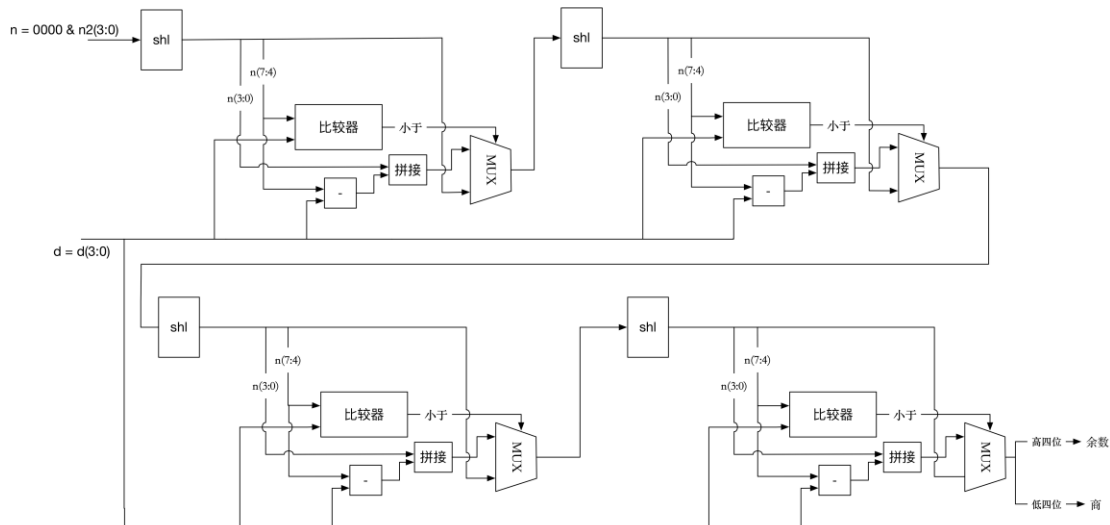


图 3-10 Div4 内部逻辑结构框图

Div4 的电路图如图 3-11 所示。

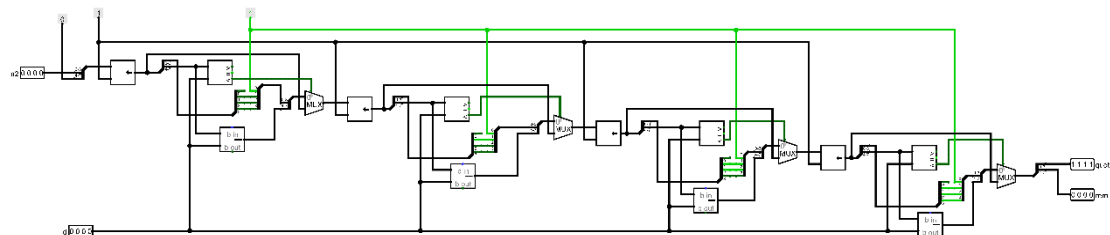


图 3-11 Div4 电路图

### (2) 32 位除法器 Div32 设计

# 《数字电路与逻辑设计》实验报告

学生姓名: 胡澳 学号: U201714761 所在班级: CS1706

设计思路：给 32 位被除数前再添加 32 位 0，用于保存移位的结果。设计一个 Unit 模块，该模块用于将被除数左移一位，并判断高 32 位是否大于除数，若大于除数，则将高 32 位减去除数并将低 32 位加一，否则，被除数部分不变。将 Unit 模块重复 32 次，此时高 32 位的值即为除法的余数，低 32 位即为除法的商。

Unit 模块的电路图如图 3-12 所示。

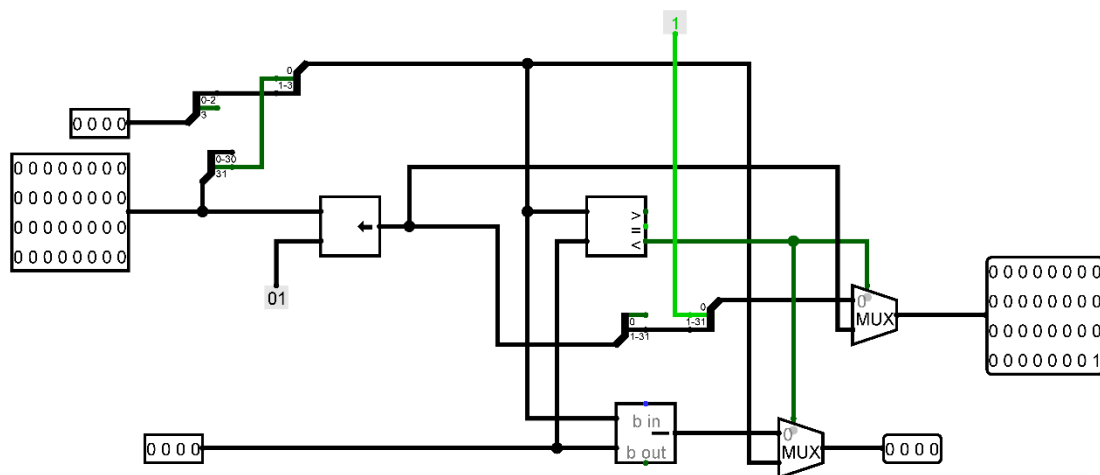


图 3-12 Unit 模块电路图

Div32 的电路图如图 3-13 所示。

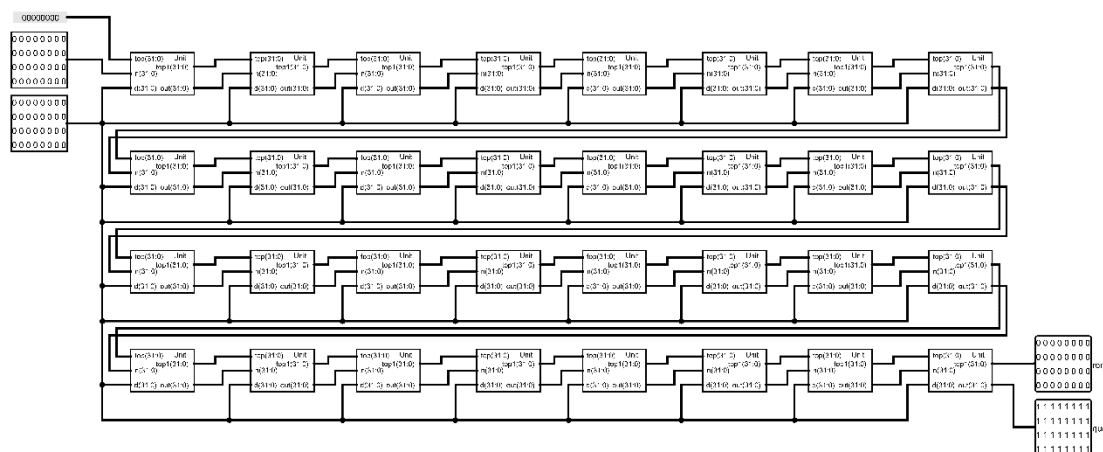


图 3-13 Div32 电路图

## 6、实验结果记录

根据实验方案设计要求，对于相应的除法器，在给定的输入条件下，填写表 3-2。

表 3-2 无符号数的乘法器实验结果记录表

电路	输入 1 (16 进制)	输入 2 (16 进制)	输出 (16 进制)	
Div4	n2=0xE	d=0x9	quot=0x1	rem=0x5

## 《数字电路与逻辑设计》实验报告

学生姓名： 胡澳 学号： U201714761 所在班级： CS1706

Div4	n2=0xE	d=0x0	quot=0xF	rem=0xE
Div4	n2=0xC	d=0x3	quot=0x4	rem=0x0
Div4	n2=0xA	d=0x4	quot=0x2	rem=0x2
Div32	n=0x019ABEF1	d=0x00004EF1	quot=0x0000534	rem=0x000000FD
Div32	n=0xA0504EF1	d=0x019ABEF1	quot=0x00000063	rem=0x017877BE
Div32	n=0xABCDEF21	d=0x00AA3465	quot=0x00000102	rem=0x00452157
Div32	n=0xFFCCAA77	d=0x00000FCA	quot=0x00103378	rem=0x000005C7

使用计算器计算上述结果并与电路输出结果相互比较，当除数为 0 时，除法没有定义，上表中，除除数为 0 的测试样例无法比较外，其余测试结果均与实际除法结果相同，由此可知，电路功能正确。

### 7、实验中遇到的问题及解决方法

#### (1) 故障 1

问题描述：在 32 位除法器的设计过程中，电路出现不可预测的震荡现象。

问题分析：在 32 位的除法器电路中，将 32 个相同的单元组件串联到一起，导致电路规模较大，由于软件仿真能力的限制，导致软件认为电路出现震荡现象。

解决方法：重置电路仿真功能可以使软件得到正确的仿真结果，因此当 logisim 提示电路出现震荡时，重置电路仿真功能即可使其正常工作。

### 8、思考题

(1) 乘法器/除法器中的延时主要取决于加法器/减法器的延时，其它组件延时可忽略不计。假设每个加法器/减法器的延时都为  $\Delta t$ ，你所设计的乘法器  $Mul4 \times 4$ 、 $Mul32 \times 4$ 、 $Mul32 \times 32$ 、除法器 Div4、Div32 的延时各是多少？它们是组合逻辑电路、同步时序逻辑电路还是异步时序逻辑电路？

乘法器  $Mul4 \times 4$  的时延为  $4 \Delta t$ ， $Mul32 \times 4$  的时延为  $4 \Delta t$ ， $Mul32 \times 32$  的时延为  $7 \Delta t$ 。除法器 Div4 的时延为  $4 \Delta t$ ，Div32 的时延为  $32 \Delta t$ 。

它们均为组合逻辑电路。

(2) 通过改变设计，乘法器  $Mul32 \times 32$  的延时能不能再减少？如果能减少，它的最小值是多少？

除法器  $Mul32 \times 32$  的演示可以再减小，其最小值为  $\log_2 32 = 5 \Delta t$ 。

(3) 目前的除法器 Div32 性能并不好，你是否有性能更好设计？

本次实验中的除法器 Div32 使用串联的方式实现，后一级的单元需要待前面

## 《数字电路与逻辑设计》实验报告

学生姓名： 胡澳 学号： U201714761 所在班级： CS1706

的电路计算完成后才能够开始计算，因此其耗时较多。参考乘法器的设计，可以将除法器设计为并行结构，可以使大量的运算同时进行，从而提高除法器性能。

### 9、心得体会、意见与建议

本次实验中，我完成了 32 位乘法器和除法器的设计。通过本次实验，我进一步了解了使用数字电路实现基本的数学运算的方法，同时，我也认识到了乘法和除法相对于加减法要复杂很多，这使得我对在汇编、计算机系统以及 Verilog 等课程中学习到的知识有了直观的认识。

另外，本次实验中实现 32 位除法器的过程中，logisim 出现了震荡现象，虽然该现象与 logisim 软件有关，但在出现该问题后，通过查阅资料、询问老师等方法，让我对电路出现震荡的现象有了更明确的认识。