

Домашнее задание №1 FPGA

Филиппенко Павел

22 февраля 2022 г.

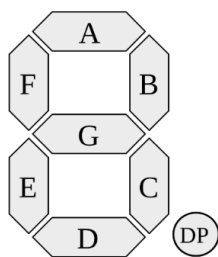


Рис. 1: семисегментное световое табло

В этом задании мы составим логическую схему декодера для семисегментного индикатора. На рис. 1 дано изображение семисегментного индикатора. Пользуясь таблицей истинности табл. 1, не трудно составить принципиальную схему дешифратора.

Прежде всего необходимо составить логическую функцию для каждого из выходов a, b, \dots, g . Для этого мы воспользуемся СДНФ.

1. Выход a : $(X_1 \vee X_2 \vee X_3 \vee \overline{X_4}) \wedge (X_1 \vee \overline{X_2} \vee X_3 \vee X_4)$
2. Выход b : $(X_1 \vee \overline{X_2} \vee X_3 \vee \overline{X_4}) \wedge (X_1 \vee \overline{X_2} \vee \overline{X_3} \vee X_4)$
3. Выход c : $(X_1 \vee X_2 \vee \overline{X_3} \vee X_4)$
4. Выход d : $(X_1 \vee X_2 \vee X_3 \vee \overline{X_4}) \wedge (X_1 \vee \overline{X_2} \vee X_3 \vee X_4) \wedge (X_1 \vee \overline{X_2} \vee \overline{X_3} \vee \overline{X_4})$
5. Выход e : $(X_1 \vee X_2 \vee X_3 \vee \overline{X_4}) \wedge (X_1 \vee X_2 \vee \overline{X_3} \vee \overline{X_4}) \wedge (X_1 \vee \overline{X_2} \vee X_3 \vee X_4) \wedge (X_1 \vee \overline{X_2} \vee X_3 \vee \overline{X_4}) \wedge (X_1 \vee \overline{X_2} \vee \overline{X_3} \vee \overline{X_4}) \wedge (X_1 \vee X_2 \vee X_3 \vee \overline{X_4})$
6. Выход f : $(X_1 \vee X_2 \vee X_3 \vee \overline{X_4}) \wedge (X_1 \vee X_2 \vee \overline{X_3} \vee X_4) \wedge (X_1 \vee X_2 \vee \overline{X_3} \vee \overline{X_4}) \wedge (X_1 \vee \overline{X_2} \vee \overline{X_3} \vee \overline{X_4})$
7. Выход g : $(X_1 \vee X_2 \vee X_3 \vee X_4) \wedge (X_1 \vee X_2 \vee X_3 \vee \overline{X_4}) \wedge (X_1 \vee \overline{X_2} \vee \overline{X_3} \vee \overline{X_4})$

Цифра	двоично-десятичный вход				семисегментный выход						
	X1	X2	X3	X4	a	b	c	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

Таблица 1: Таблица истинности

Заметим, что в логических функциях для разных выходов некоторые логические множители повторяются. Выпишем для удобства набор уникальных логических полиномов.

$$\begin{aligned}
 &X_1 \vee X_2 \vee X_3 \vee \overline{X_4} \\
 &X_1 \vee \overline{X_2} \vee X_3 \vee X_4 \\
 &X_1 \vee \overline{X_2} \vee X_3 \vee \overline{X_4} \\
 &X_1 \vee \overline{X_2} \vee \overline{X_3} \vee X_4 \\
 &X_1 \vee X_2 \vee \overline{X_3} \vee X_4 \\
 &X_1 \vee \overline{X_2} \vee \overline{X_3} \vee \overline{X_4} \\
 &\overline{X_1} \vee X_2 \vee \overline{X_3} \vee \overline{X_4} \\
 &\overline{X_1} \vee X_2 \vee X_3 \vee \overline{X_4} \\
 &X_1 \vee X_2 \vee X_3 \vee X_4
 \end{aligned}$$

Используя составленные логические функции и набор уникальных логических сумм нетрудно нарисовать принципиальную схему, используя базовые логические элементы рис. 2.

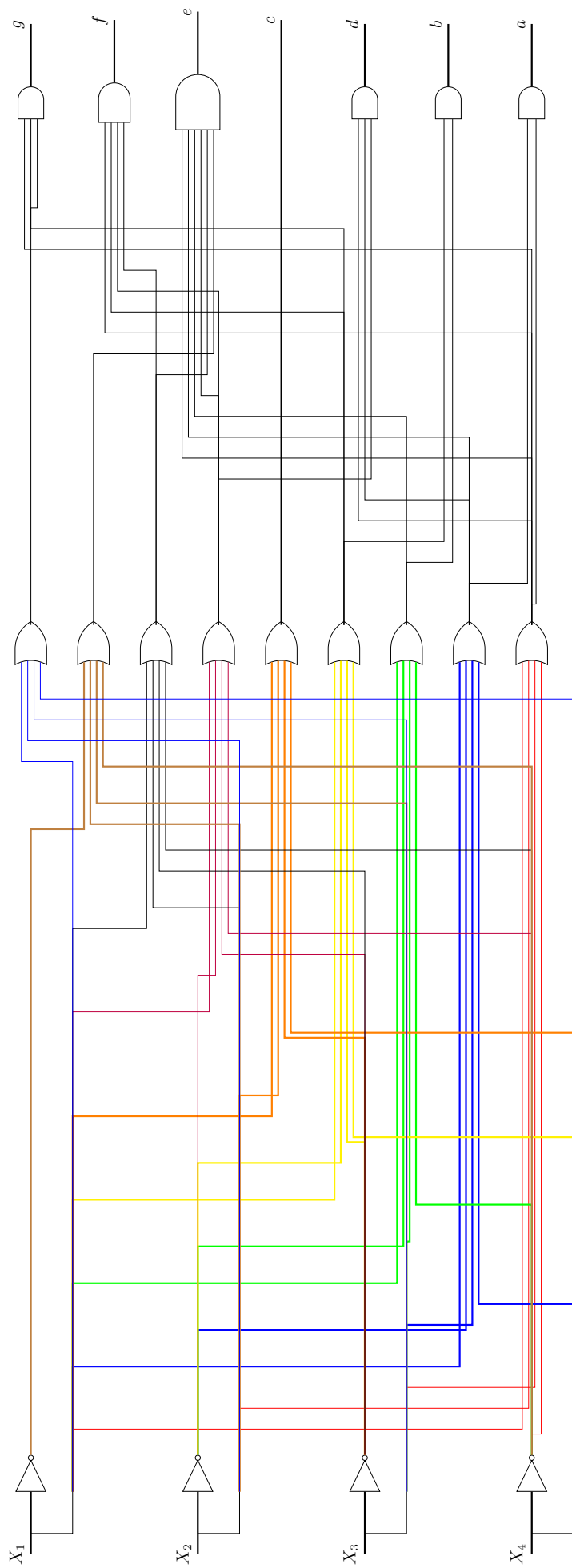


Рис. 2: Logic scheme