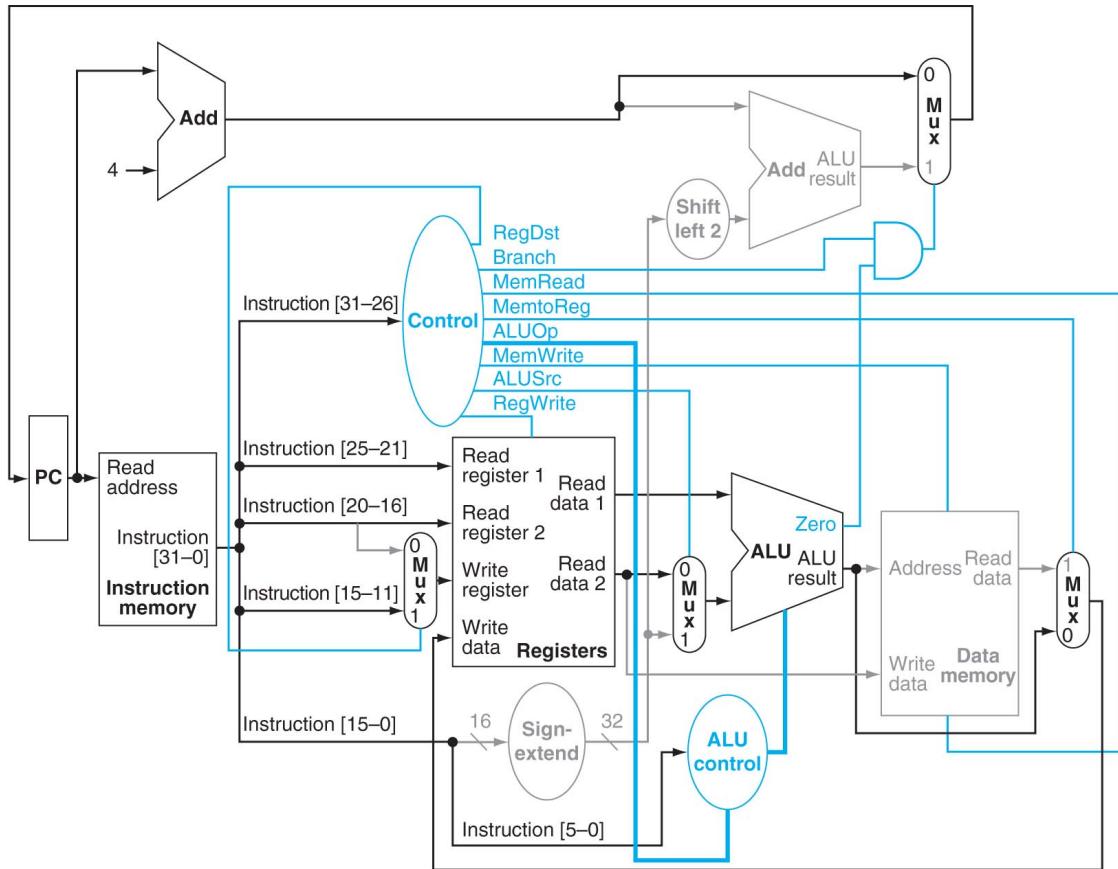


Arquitetura de Computadores I

Estrutura do Processador - Exercícios

Fig. 1 – Single-cycle Datapath



1 – Considere que devido a um erro os sinais de controle dos 3 multiplexers da figura têm constantemente o valor 0 (*stuck-at-0 fault*). Como seria afetada a execução das instruções:

- a – ADD e SUB
- b – ORI
- c – LD e ST
- d – BEQ

2 – Repita a exercício anterior considerando que os sinais de controle dos 3 multiplexers da figura têm constantemente o valor 1 (*stuck-at-1 fault*).

3 – Suponha que para além **beq** se pretende que o datapath da figura possa também executar a instrução **bne**. Indique as alterações necessárias.

4 – Alguem sugeriu eliminar o sinal **MemtoReg** e usar o sinal **MemRead** para controlar o multiplexer controlado por **MemtoReg**. A alteração sugerida funciona? Justifique.

5 – Suponha que se altera o Instruction Set de modo a que todas as instruções de Load e Store têm offset zero. Todas as instruções de Load e Store com offset passariam a ser pseudo-instruções. Por exemplo:

lw \$s0, 100 (\$t1)

seria traduzida nas instruções nativas:

addi \$at, \$t1, 100

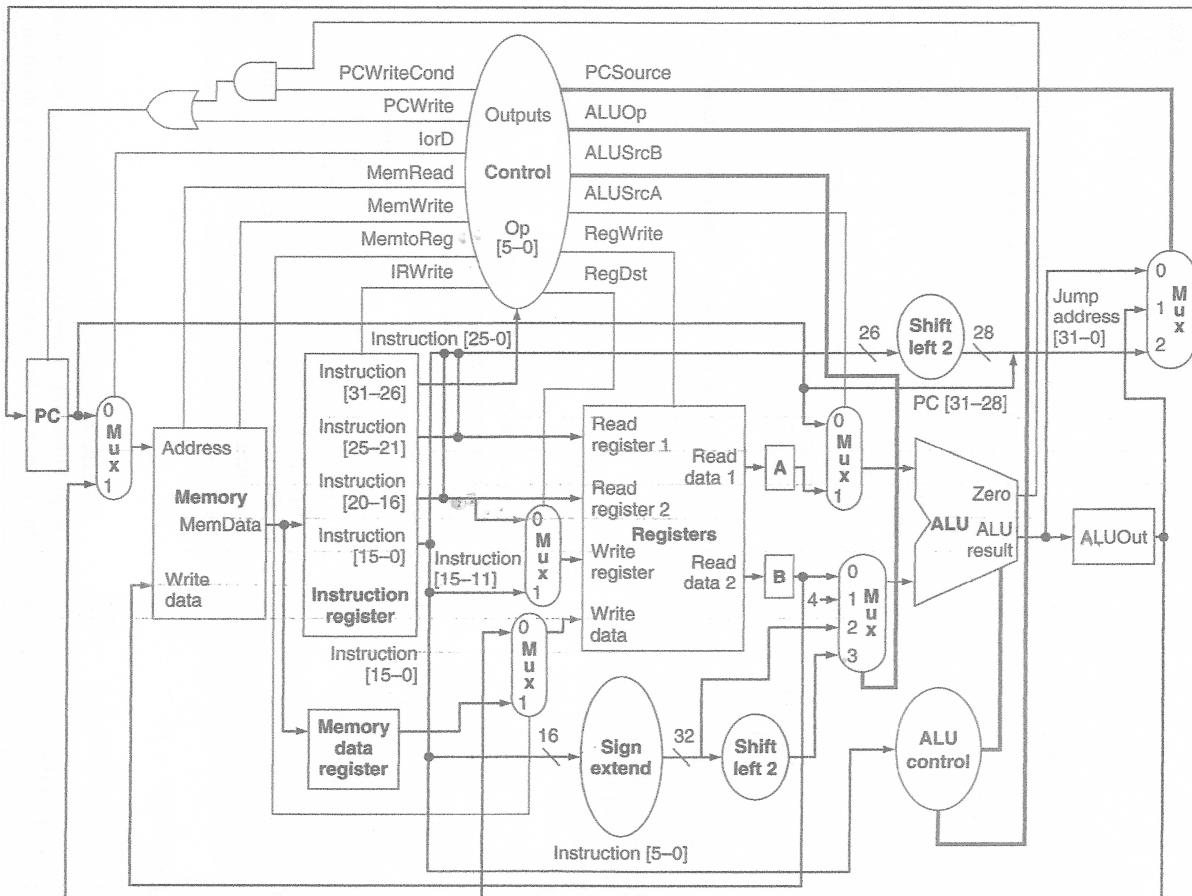
lw \$s0, \$at

Arquitetura de Computadores I

Estrutura do Processador - Exercícios

Que alterações seria necessário introduzir no datapath da figura 1 para que a nova versão das instruções de acesso à memória seja corretamente executada?

Fig. 2 – Multi-Cycle Datapath



6 – Pretende-se que a versão multi-cycle do processador possa também executar a instrução ***addi*** (add immediate), análoga à instrução ***ori*** que vimos implementada na versão single-cycle do processador.

- a – Indique as alterações a introduzir no diagrama de estados da unidade de controle
- b – São necessárias alterações no datapath da Fig. 2 para executar a nova instrução?
- c – Indique os ciclos de execução da instrução e os valores dos sinais de controlo.

7 – Assuma uma implementação microprogramada da unidade de controle. Escreva o microprograma para ***addi***

8 – Pretende-se implementar na versão multi-cycle do processador a instrução Jump Register (***jr \$r***)

- a - Indique as alterações a introduzir no diagrama de estados da unidade de controle
- b - Indique as alterações necessárias no datapath da Fig. 2 para executar a nova instrução
- c - Indique os ciclos de execução da instrução e os valores dos sinais de controlo.

9 - Pretende-se implementar na versão multi-cycle do processador a instrução Jump and Link (***jal***)

- a - Indique as alterações a introduzir no diagrama de estados da unidade de controle

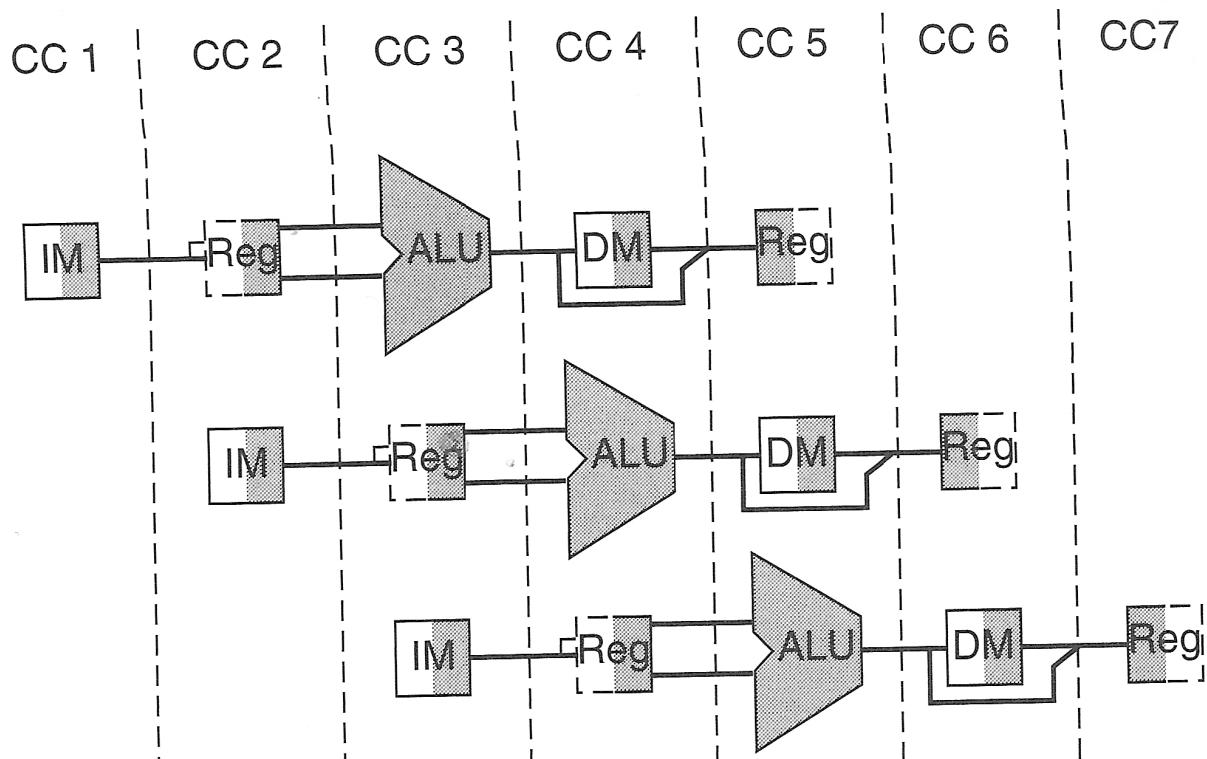
Arquitetura de Computadores I

Estrutura do Processador - Exercícios

b - Indique as alterações necessárias no datapath da Fig. 2 para executar a nova instrução

c - Indique os ciclos de execução da instrução e os valores dos sinais de controlo.

Fig. 3



10 – Usando um diagrama semelhante ao da Fig. 3 indique o *forwarding* necessário para executar a seguinte sequência de instruções:

add \$2, \$3, \$4

add \$4, \$5, \$6

add \$5, \$3, \$4

11 – Loop: lw \$2, 100(\$3)

addi \$3, \$3, 4

beq \$3, \$4, Loop

como se poderia modificar esta sequência de código para usar o “*delayed branch slot*”?

Arquitetura de Computadores I

Estrutura do Processador – Exercícios

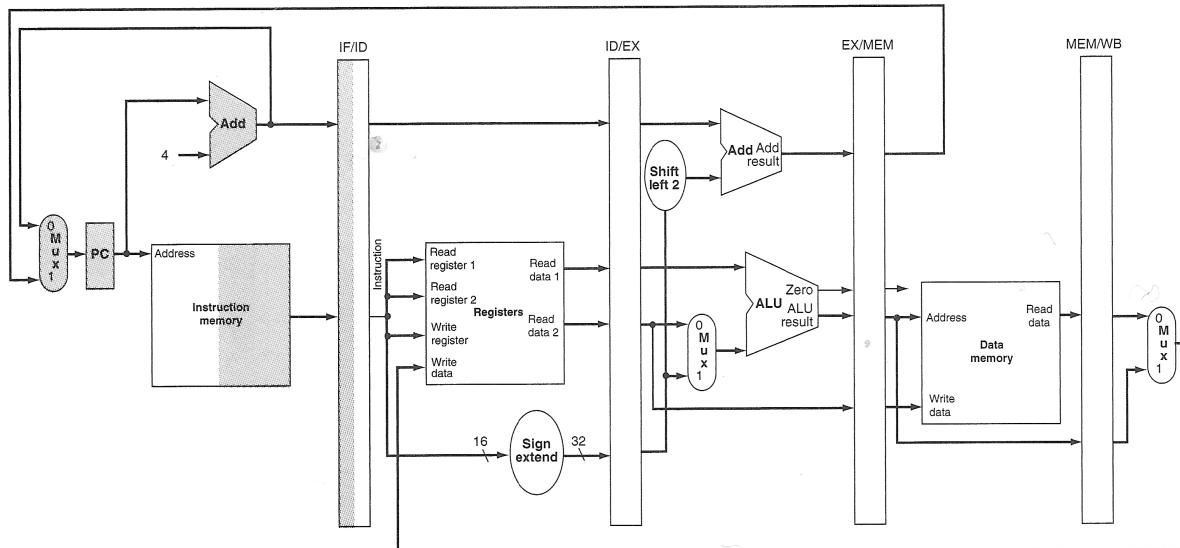


Fig. 4 – Pipelined Datapath

12 – Indique para os registos do pipeline da Fig. 4 (IF/ID, ID/EX, EX/MEM, MEM/WB) os nomes dos valores neles guardados e o respetivo número de bits.

13 – Considere a seguinte sequência de referências a endereços de palavras de memória:

1, 4, 8, 5, 20, 17, 19, 56, 9, 11, 4, 43, 5, 6, 9, 17

a – Assuma uma cache *direct-mapped* com 16 blocos de 1 palavra que está inicialmente vazia. Indique quais as referências que são *hits* e quais são *miss* e indique o conteúdo final da cache.

b - Assuma uma cache *direct-mapped* com blocos de 4 palavras com um total de 16 palavras. Indique quais as referencias que são *hits* e quais são *miss* e indique o conteúdo final da cache.

c – Qual o número total de bits para implementar a cache da alínea a? E a da alínea b?