

Temporizador de Reação

Universidade de Aveiro

Pedro Martins, Pedro Santos



Temporizador de Reação

Departamento de Eletrónica Telecomunicações e
Informática

Universidade de Aveiro

Pedro Martins, Pedro Santos
pbmartins@ua.pt, pedroamaralsantos@ua.pt

06/05/2015

Conteúdo

1	Introdução	1
2	Análise	2
2.1	Especificações do Sistema	2
2.2	Arquitetura	3
2.3	Abordagem Faseada do Desenvolvimento	7
2.4	Divisão de Tarefas	7
2.5	Manual de Instruções	8
3	Conclusões	9

Capítulo 1

Introdução

Foi-nos proposto a criação de um mini-projeto na disciplina de Laboratórios de Sistemas Digitais, utilizando uma Field-Programmable Gate Array (FPGA) e Very high speed integrated circuit Hardware Description Language (VHDL). Foi determinado pelo grupo que seria implementado um simples temporizador de reação utilizando máquinas de estados e diversos outros recursos.

Capítulo 2

Análise

2.1 Especificações do Sistema

FPGA O mini-projeto em análise consiste na implementação de um temporizador de reação. A ideia pode traduzir-se como, depois de aceso um LED, medir o tempo que o utilizador demora a carregar num botão, registando o tempo entre ambos. Apenas serão aceites dois botões, um para fazer *Reset* ao sistema em qualquer ponto do seu funcionamento, e outro para o início do jogo e que também servirá como o botão que o utilizador tem de pressionar para calcular o tempo de reação.

Assim que o utilizador carrega inicialmente no botão de iniciar o jogo, é gerado um número aleatório entre 5 e 60 (e validado), que será o tempo, em segundos, que demorará o LED a acender desde que se iniciou o jogo. De seguida, é utilizado um "semáforo de partida", onde a cada segundo, 3 LED vermelhos se apagam até que começa a contar o tempo até que o LED indicador se acenda.

Se o utilizador carregar no botão de jogar antes de o LED acender, é impresso nos ecrãs hexadecimais uma mensagem de erro. Caso o utilizador apenas clique no botão depois de aceso, é imprimido no ecrãs hexadecimais o tempo percorrido desde que o LED acendeu até o mesmo carregar no botão. A FPGA manter-se-á neste estado até que se volte a reiniciar o jogo, isto é, clicar no botão de *Reset*, onde todos os painéis hexadecimais e todos os LED serão apagados.

2.2 Arquitetura

A Figura 2.1 apresenta uma arquitetura do sistema em geral.

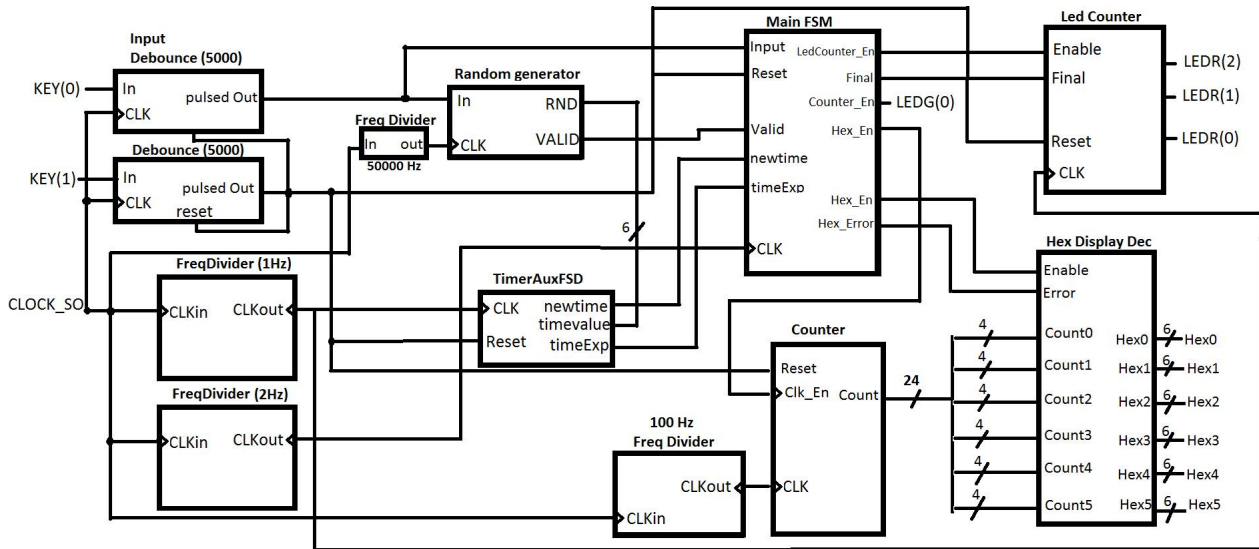


Figura 2.1: Arquitetura do temporizador de reação.

Para além das máquinas de estado, existem outros blocos que são constituídos por vários sub-blocos. Apresentam-se os seguintes diagramas:

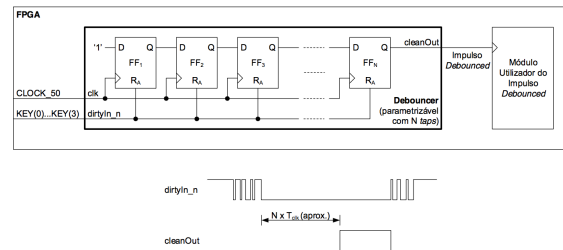


Figura 2.2: Arquitetura do *debouncer*, desenvolvido pelos professores da disciplina.

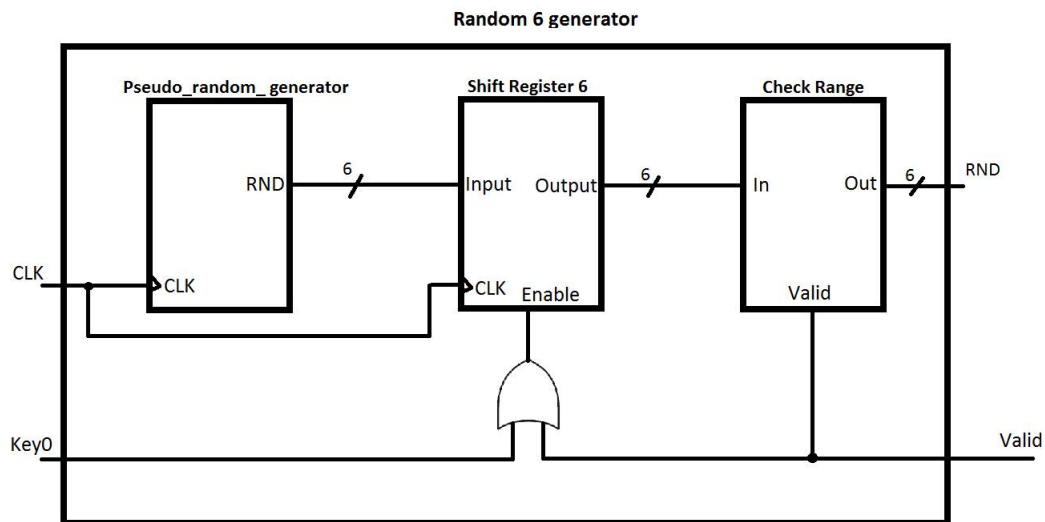


Figura 2.3: Arquitetura do gerador de números aleatórios.

Por outro lado, são apresentados os diagramas de estados das máquinas de estados *Main FSM*, *Timer Aux FSM* e *LEDCounter FSM*.

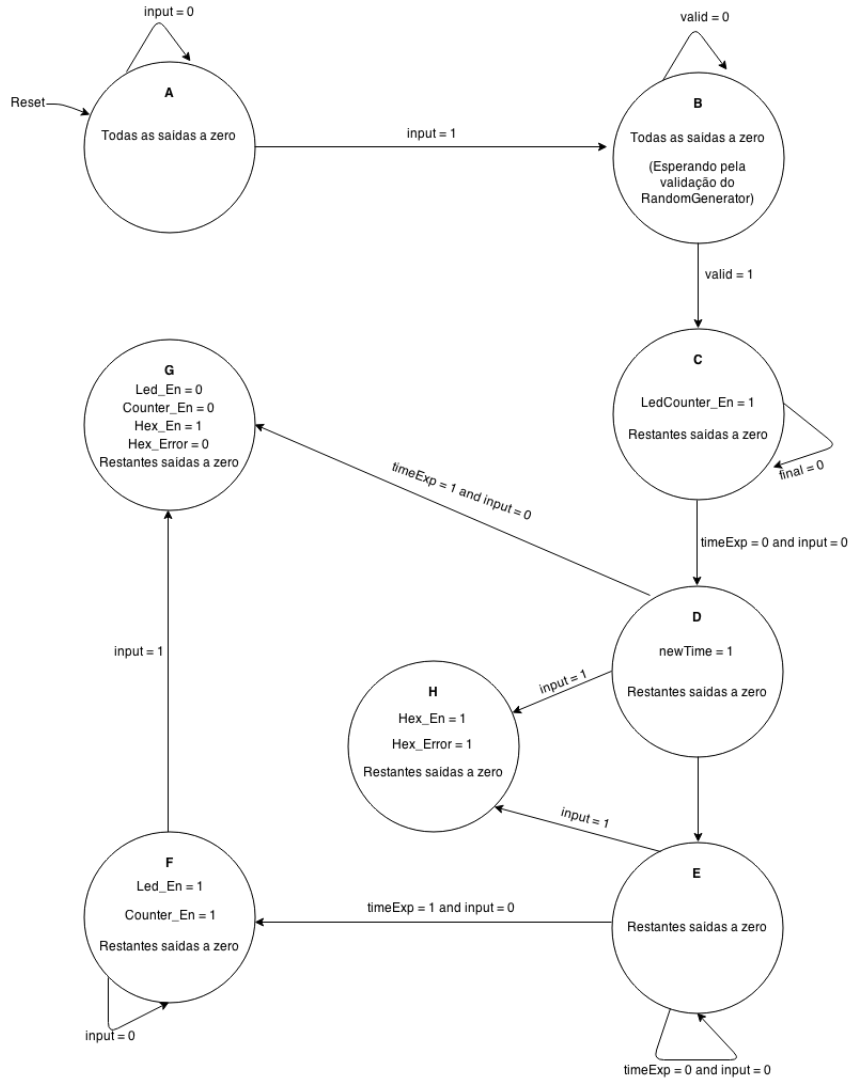


Figura 2.4: Diagrama de estados da *Main FSM*.

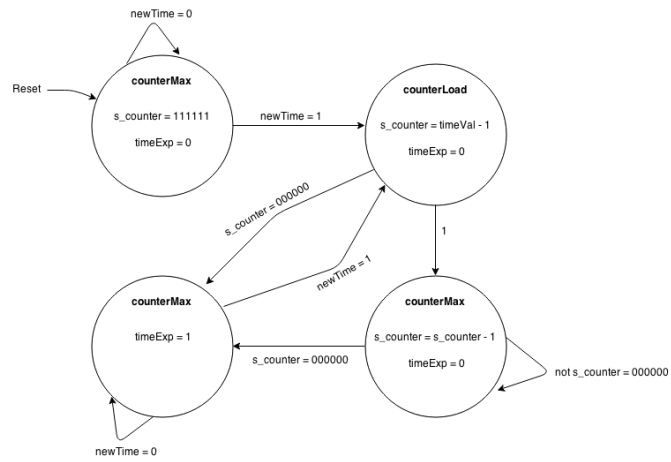


Figura 2.5: Diagrama de estados da *Timer Aux FSM*.

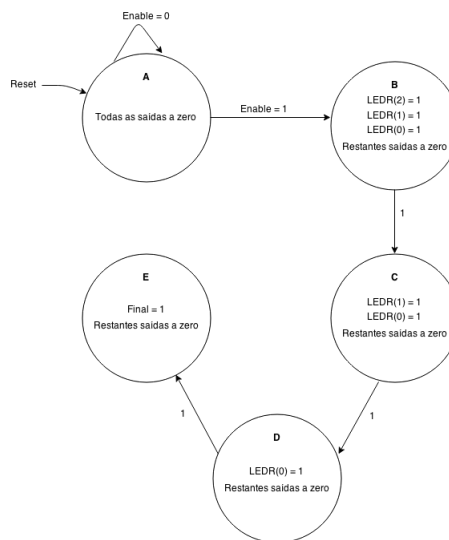


Figura 2.6: Arquitetura do *LEDCounterFSM*.

2.3 Abordagem Faseada do Desenvolvimento

Como se pode verificar na Figura 2.1, o "núcleo" de funcionamento do temporizador de reação assenta na parceria entre as duas máquinas de estados, a *Main FSM* e a *Timer Aux FSM*. Depois de construídas estas duas máquinas, serão também desenvolvidos os blocos do contador do tempo de reação, assim como o decodificador de binário para hexadecimal.

Primeiramente, serão implementados os *debouncers* nas entradas do circuito (KEY(0) e KEY(1)), para evitar oscilações quando os botões são pressionados.

Numa fase inicial, será ignorado o "semáforo de partida" e o gerador de números aleatórios. Logo, a entrada *timeVal* na máquina de estados *Timer Aux FSM* terá o valor 10 (10 segundos, isto é, 001010 em binário), enquanto que, em relação à *Main FSM*, a saída *LEDCounter_En* será ignorada e a entrada *Final* terá sempre o valor 1 ("salta" o "semáforo"). Serão também utilizados vários divisores de frequência para que os impulsos de relógio sejam a cada 1 segundo (*Timer Aux FSM*), e a cada centésimo de segundo (*ReactionTimeCounter*).

Assim que realizados e validados os testes sobre a entidade acima descrita, adicionar-se-ão os restantes blocos, o *LEDCounter FSM* ("semáforo de partida"), ao qual será ligado um divisor de frequência de 1Hz (impulsos a cada segundo) e o *RandomGenerator*, ao qual será ligado um divisor de frequência de 50000 Hz.

Por fim, serão executados novos testes para validar o funcionamento da entidade global do temporizador de reação.

2.4 Divisão de Tarefas

Em seguida, apresenta-se a divisão de tarefas do projeto e quais os blocos que cada elemento deve construir.

Pedro Martins:

- *Main FSM*;
- *Time Aux FSM*;
- *ReactionTimeCounter*;
- *Testbench* - unidade de testes.

Pedro Santos:

- *Debouncer*;
- *FreqDivider*;
- *LEDCounter FSM*;
- *HexDisplaysDecoder*;
- *Testbench* - unidade de testes.

2.5 Manual de Instruções

Para medir o seu tempo de reação, deve seguir os seguintes passos:

- Certificar-se que a FPGA está corretamente ligada e programada;
- Pressionar o botão KEY(0), para iniciar o jogo;
- Aguardar que os três LED vermelhos se apaguem;
- Clicar no botão KEY(0) logo depois de o LED verde se acender;
- Será impresso no ecrã hexadecimal o seu tempo de reação;
- Para reiniciar o jogo, tem de clicar no botão KEY(1) e repetir todos os passos acima descritos.

Capítulo 3

Conclusões

Em suma, depois de estabelecida a arquitetura do sistema, os vários diagramas de estados e a divisão de tarefas, é possível passar à prática e programar o circuito.

Acrónimos

FPGA Field-Programmable Gate Array

VHDL Very high speed integrated circuit Hardware Description Language