

Temporizador de Reação

Universidade de Aveiro

Pedro Martins, Pedro Santos



Temporizador de Reação

Departamento de Eletrónica Telecomunicações e
Informática

Universidade de Aveiro

Pedro Martins, Pedro Santos
pbmartins@ua.pt, pedroamaralsantos@ua.pt

06/05/2015

Conteúdo

1	Introdução	1
2	Análise	2
2.1	Arquitetura	3
2.2	Arquitetura	3
2.3	Implementação	4
2.4	Manual de Instruções	6
3	Conclusões	7

Capítulo 1

Introdução

Para avaliação da componente prática da disciplina de Laboratórios de Sistemas Digitais, foi-nos proposto a criação de um mini-projeto, no qual teríamos de criar uma arquitetura e os seus variados blocos em Very high speed integrated circuit Hardware Description Language (VHDL), a qual seria utilizada para programar uma Field-Programmable Gate Array (FPGA), a Terasic DE2-115. Foi determinado pelo grupo que seria implementado um simples temporizador de reação, no qual seria utilizado botões e *switches* da FPGA, assim como um comando infravermelhos, de maneira a que seja possível jogar em ambas as plataformas. Para a construção do projeto, foram utilizadas máquinas de estados, assim como blocos de lógica simples e ainda as *blackboxes* relativas às interfaces de infravermelhos e áudio, disponibilizadas pelos docentes da disciplina.

Capítulo 2

Análise

O mini-projeto em análise consiste na implementação de um temporizador de reação. A ideia pode traduzir-se como, depois de aceso um LED, medir o tempo que o utilizador demora a carregar num botão pré-definido, registando o tempo decorrido entre ambos.

Como foi implementado um descodificador de infravermelhos, pode utilizar-se tanto o comando (desde que este envie informação no formato NEC), como os botões e *switches* da FPGA.

Assim sendo, existe um botão (`KEY(0)`) na FPGA e outro no comando (botão de Play) para iniciar o jogo e que também terá como função parar o cronómetro que contabilizará o tempo de reação assim que o LED é ligado.

Existirá também um botão que servirá para fazer *Reset* ao sistema em qualquer ponto do seu funcionamento (`KEY(0)` na FPGA e Return no comando), e um botão para parametrizar o tempo de espera antes de aparecer o LED verde, que simboliza o início da contagem do tempo de reação. Caso esteja ativo o `SW(0)` da FPGA, esse tempo será definido como 5 segundos, caso contrário será um valor aleatório. No entanto, existe uma funcionalidade exclusiva ao comando de infravermelhos. Para além de se poder parametrizar o valor de espera, usando a tecla QUALQUERCOISA, também é possível escolher esse valor, desde que esteja no intervalo entre 1 e 9 segundos (utilizando para o efeito os botões de 1 a 9 disponíveis no comando).

Assim que o utilizador carrega no botão de iniciar o jogo, é gerado um número aleatório entre 5 e 60 (e validado), que será o tempo, em segundos, que demorará o LED a acender desde que se iniciou o jogo. De seguida, é utilizado um "semáforo de partida", onde a cada segundo, 3 LED vermelhos se apagam e onde é emitido um som, até que se inicia a contagem do tempo até o LED indicador se acender.

Se o utilizador carregar no botão de jogar antes de o LED acender, é impresso nos ecrãs hexadecimais uma mensagem de erro. Caso o utilizador apenas clique no botão depois de aceso, é imprimido nos ecrãs hexadecimais o tempo percorrido desde que o LED acendeu até o utilizador carregar no

botão. A FPGA manter-se-á neste estado até que se reinicie o jogo, isto é, clicar no botão de *Reset*, onde todos os painéis hexadecimais e todos os LED serão apagados.

2.1 Arquitetura

2.2 Arquitetura

A ?? apresenta uma arquitetura do sistema em geral.

2.3 Implementação

Este projeto foi construído tendo como bases blocos lógicos simples, assim como máquinas de estados.

O "cérebro" de todo o projeto é a máquina de estados *Main FSM*. É ela que ativa todos os blocos e máquinas de estados auxiliares, consoante as entradas (botões da FPGA e comando de infravermelhos), assim como os sinais provenientes dos restantes blocos.

Assim que é iniciado o jogo, é dado um sinal de partida, gerado pela *LEDCounter FSM*. Esta máquina de estados recebe um sinal que a ativa, e, de seguida, a cada dois tiques de relógio (frequência 2Hz - 0.5 segundos), desliga um LED vermelho, para além de, a cada tique, ativar e desativar o bloco *Audio_Core*, responsável pela geração de um som e comunicação com a *blackbox* da interface áudio, que resultará na emissão de um som alternadamente ligado (nos dois primeiros LEDs) e continuamente ligado (no último LED), até que todos os LEDs sejam desligados.

Ou seja, esta máquina funciona como um "semáforo de partida" e que, quando desligados todos os LEDs e o som desapareça, inicia a contagem do tempo até que o LED verde (indicador) se acenda.

No entanto, se o SW(1) na FPGA estiver ativo ou tiver sido pressionado o botão de Mute no comando, não será emitido qualquer som, apesar de a contagem nos LED estar na mesma ativa.

O diagrama da *LEDCounter FSM* pode ser observado na ??.

De seguida, assim que a máquina de estados anterior envie um sinal à *Main FSM* de que terminou a sua ação, a máquina principal envia um outro sinal à *TimerAux FSM*, para que se comece a contar o tempo até o LED indicador se acenda.

Esta máquina, para além de receber um sinal para iniciar a contagem, consoante as entradas `defineRemote` e `defineSW`, define se o tempo a contar é o selecionado no comando de infravermelhos ou 5 segundos, respetivamente, ou se é um número aleatório recebido do bloco `random_number_generator` (valor este que é validado, pois apenas são aceites números entre 5 e 60 segundos).

Assim que a contagem chega a zero, a máquina envia um sinal a dizer que o tempo expirou e que já não está ativa (permite que os sinais relativamente ao comando de infravermelhos sejam atualizados).

O diagrama da *LEDCounter FSM* pode ser observado na ??.

2.4 Manual de Instruções

Para medir o seu tempo de reação, deve seguir os seguintes passos:

- Certificar-se que a FPGA está corretamente ligada e programada;
- Pressionar o botão KEY(0), para iniciar o jogo;
- Aguardar que os três LED vermelhos se apaguem;
- Clicar no botão KEY(0) logo depois de o LED verde se acender;
- Será impresso no ecrã hexadecimal o seu tempo de reação;
- Para reiniciar o jogo, tem de clicar no botão KEY(1) e repetir todos os passos acima descritos.

Capítulo 3

Conclusões

Em suma, depois de estabelecida a arquitetura do sistema, os vários diagramas de estados e a divisão de tarefas, é possível passar à prática e programar o circuito.

Acrónimos

FPGA Field-Programmable Gate Array

VHDL Very high speed integrated circuit Hardware Description Language