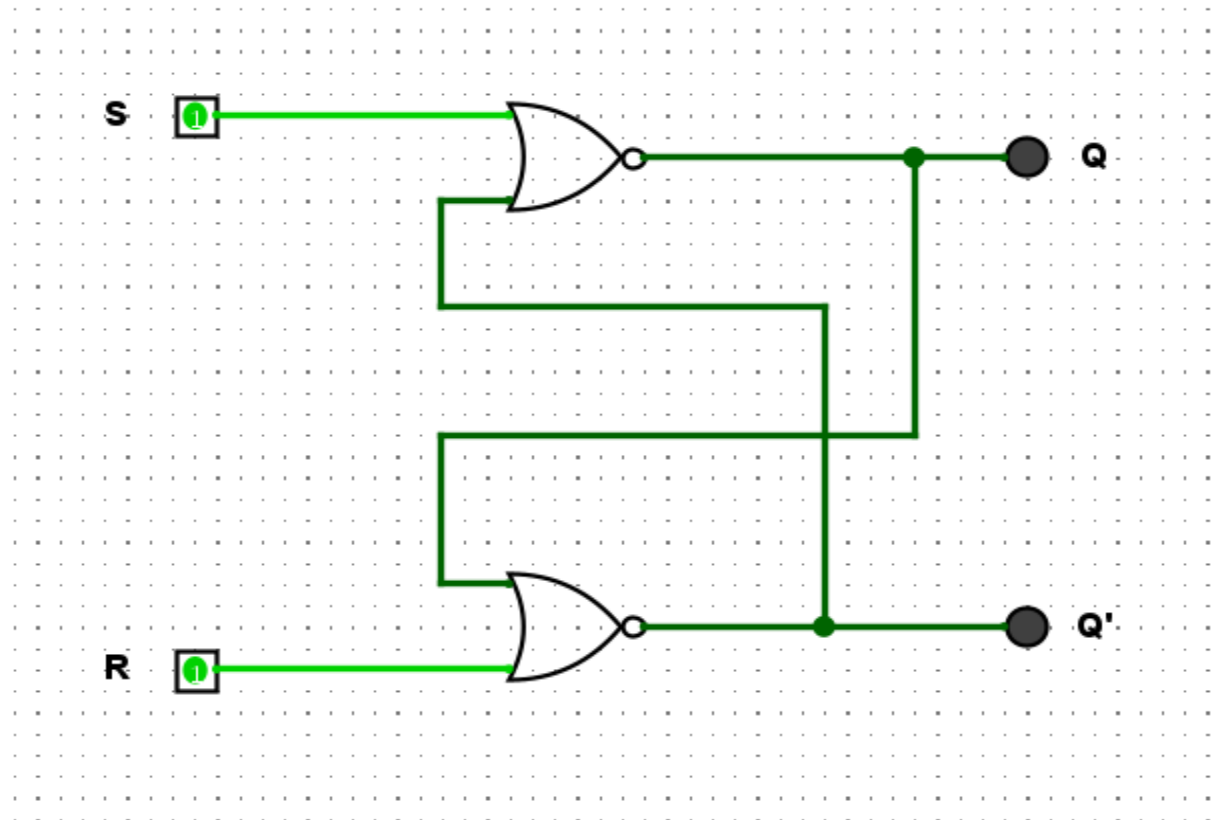


Part 1: Storing bits with Flip Flops

6.



Set	Reset	Q	Q'
1	0	0	1
1	1	0	0
0	1	1	0
1	1	0	0

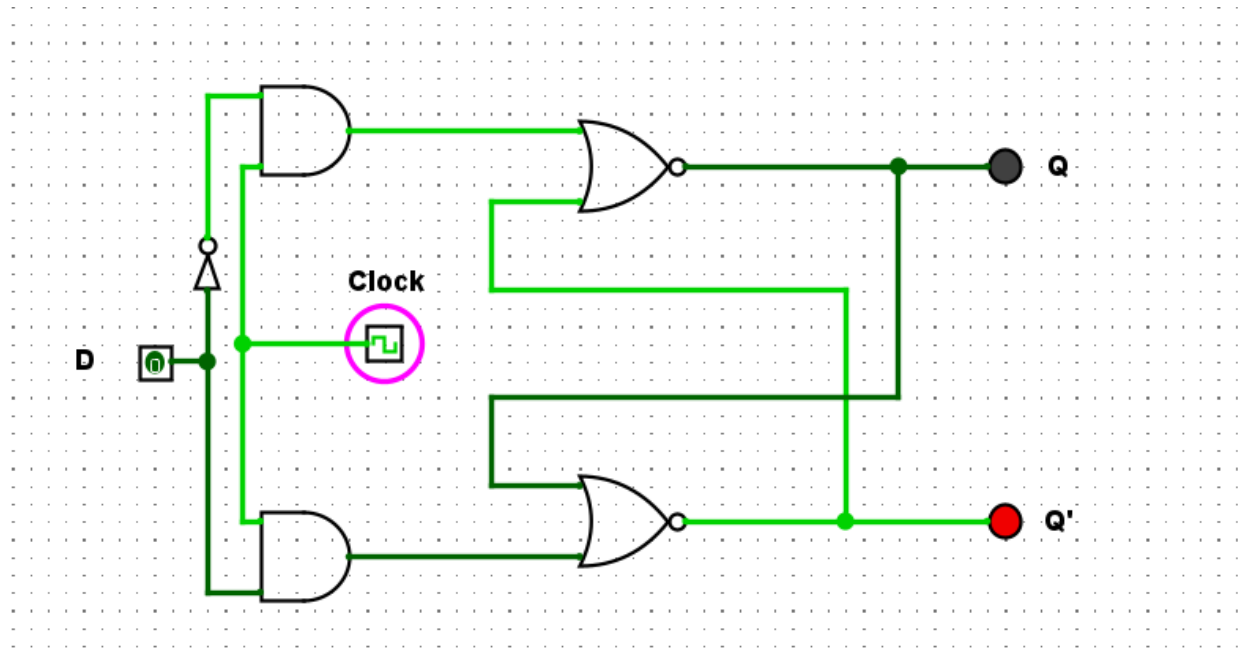
7. Describe in a sentence, the behaviour of the circuit when one of the inputs is 1 (but not both) and why this is useful for digital circuit design.

- Khi Set = 1 thì $Q' = 1$, ngược lại, khi R = 1 thì $Q = 1$. Điều này hữu ích cho mạch kỹ thuật số vì mạch sẽ ở trạng thái ổn định và tiết kiệm điện năng hơn.

8. What do you notice about the two times you set both inputs to 1. Briefly explain what is happening here and why this is an issue for digital circuit design ?

- Khi cả 2 đầu vào bằng 1, kết quả Q và Q' sẽ bằng 0. Đây là một vấn đề vì giá trị Q của flip flop phải bổ sung cho nhau, điều này khiến việc lưu trữ bit không hiệu quả.

10.



Clock	Pin	Q	Q'
0	0	0	1
0	1	0	1
1	1	1	0
1	0	0	1

11. Briefly explain the behaviour of a D Flip Flop and how it is useful for digital circuit design.

- D flip flop chỉ có một đầu vào và Q bằng đầu vào khi đầu vào bằng 0 dù clock bằng 1 hay 0. Nó hữu ích trong mạch kỹ thuật số vì D flip flop sẽ không hoạt động cùng 1 lúc khi cổng Not khiến đầu vào bị đảo ngược

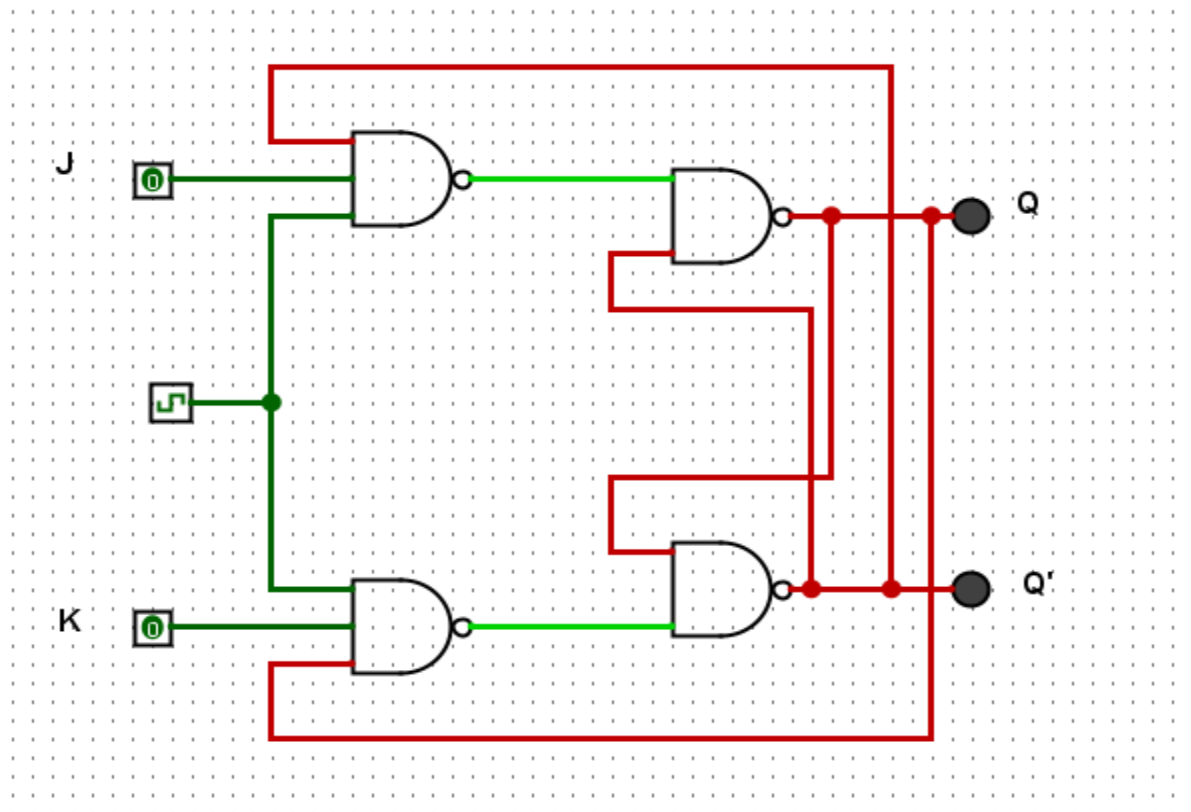
12. What is the role of the clock ? How does it impact the changing of state of Q and Q' ?

- Đồng hồ được sử dụng để điều khiển thời điểm truyền dữ liệu, đảm bảo hoạt động đồng bộ và ngăn ngừa tình trạng chạy đua, nghĩa là nó ổn định thời gian mà đầu vào và đầu ra mất để đến đích.
- Đồng hồ đóng vai trò như 1 tín hiệu điều khiển và quyết định đầu vào được khóa hay mở khi đến đầu ra Q và Q'.

13. Why is it generally preferred over the R-S Flip Flop?

- D Flip Flop được ưa chuộng hơn R-S flip flop vì một số đặc điểm nổi bật. D Flip Flop có cách hoạt động đơn giản hơn với chỉ có một đầu vào (D), còn R-S Flip Flop có 2 đầu vào. Với chức năng rõ ràng do đầu vào D điều khiển trực tiếp đầu ra(Q), việc sử dụng và phân tích trở nên dễ dàng hơn. Thêm vào đó, D Flip Flop còn tránh trạng thái không xác định trong khi R-S Flip Flop có thể rơi vào trạng thái đó khi Set và Reset bằng 1, gây lỗi trong mạch điện tử.

15.



J	K	Q (when clocked)	Q' (when clocked)
0	0	No change	No change
1	0	1	0
0	1	0	1
1	1	Toggle	Toggle

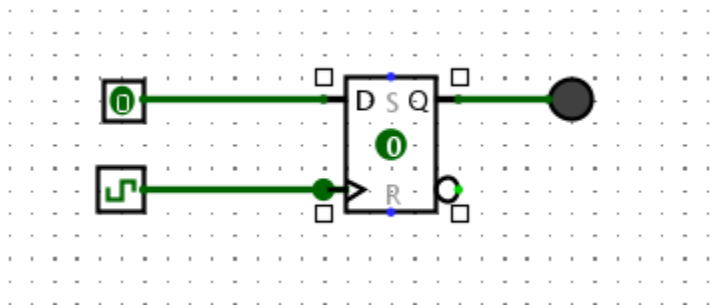
16.How can a J-K Flip Flop be made to behave like a D Flip Flop ?

- Khi đầu vào là 1 hoặc 0 và ngược lại sẽ tạo kết quả giống D Flip Flop

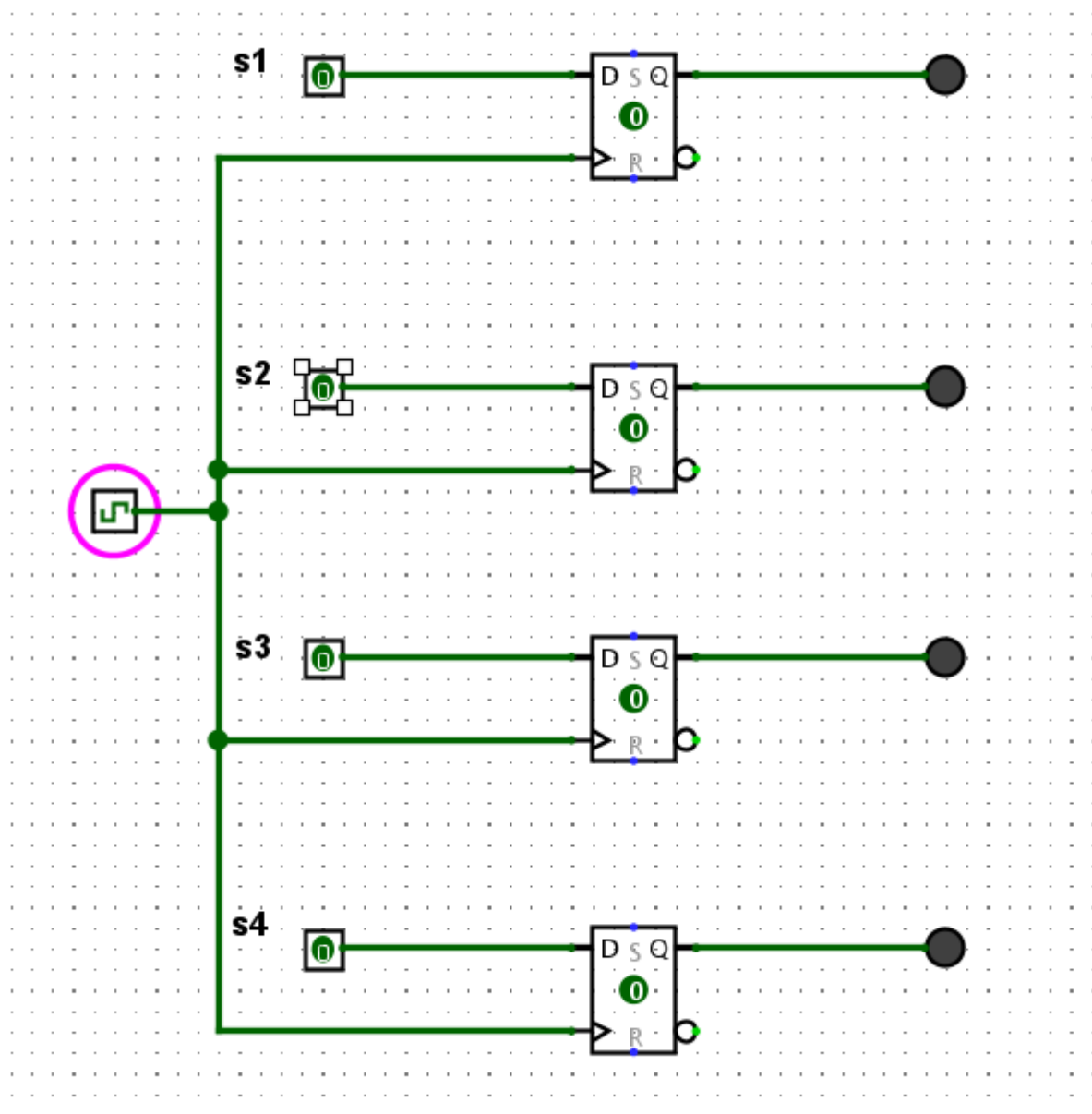
17.How can a J-K Flip Flop be made to behave like a toggle (T Flip Flop) ?

- Khi đầu vào J và K được đặt thành 1 thì sẽ tạo ra kết quả giống T Flip Flop khi được xung nhịp.

19.



22.



Ox	Input Binary	Output Binary
0	0000	0000
1	0001	0001
2	0010	0010
3	0011	0011
5	0101	0101
A	1010	1010
B	1011	1011
C	1100	1100
D	1101	1101
E	1110	1110
F	1111	1111