



INSTITUTO SUPERIOR TÉCNICO

ORGANIZAÇÃO DE COMPUTADORES

2023/2024

1º Período

Teste

6 de Outubro de 2023

Duração: 45 min

-
- **A prova é sem consulta e sem calculadora.**
 - Insira as respostas na matriz da primeira página, excepto as eventualmente indicadas.
 - Identifique as páginas com o seu número e nome. Páginas não identificadas não serão cotadas.
 - Use os espaços disponíveis junto às perguntas e a última página para rascunho.
 - Cotação das escolhas múltiplas: resposta certa = 100%, resposta errada = -1 /(alternativas - 1).
-

Questão	Cotação	RESPOSTA
1	1,25	
2	1,25	
3	1,25	
4	1,25	
5	1,25	
6	1,25	
7	1,25	
8	1,25	
9	1,25	
10	1,25	
11	1,25	
12	1,25	
13.a)	1,25	
13.b)	1,25	
14	1,25	
15	1,25	

1. Num mesmo computador compilou-se uma aplicação com uma nova versão do compilador com optimização. O ficheiro executável original ocupa 128K bytes e na sua execução mediu-se $CPI = 3$. O ficheiro executável “optimizado” ocupa 140K bytes e na sua execução mediu-se $CPI = 2$. Qual é o speedup do programa “optimizado” em relação ao original?

A	$0,67 = 2 / 3$
B	$1,5 = 3 / 2$
C	≈ 1 . O programa executa-se na mesma arquitectura ISA.
D	$1,67 = (3 + 2) / 3$
E	Só com estes dados não é possível determinar o speedup.
F	Nenhuma das outras opções está correcta.

2. Ao executar um programa num processador A mediu-se $CPI = 2,5$. Portou-se o programa para outro processador B (ISA diferente), com relógio de 1 GHz, e mediu-se $CPI = 2$ e um speedup em relação a A de 1,2. Qual deveria ser a frequência de B para se obter um speedup de 2 em relação a A? (Assuma que a modificação da frequência de B não afecta o seu CPI.)

A	1,25 GHz ($= 2,5 / 2$)
B	1,67 GHz ($= 2 / 1,2$)
C	1,04 GHz [$= 2,5 / (2 \times 1,2)$]
D	0,8 GHz ($= 2 / 2,5$)
E	2,08 GHz ($= 2,5 / 1,2$)
F	Nenhuma das outras opções está correcta.

3. Assumindo a representação binária em complemento para dois, qual das operações seguintes dá overflow?

A	$0x70FF0389 + 0x01003000$
B	$0x7FFFFFFF + 0x1$
C	$0x7FFF0389 + 0xFFFFFFFF$
D	$0xFFFFFFFF + 0xFFFFFFFF$
E	Nenhuma operação dá overflow.
F	Várias operações dão overflow.

4. Considere o processador MIPS de 32 bits apresentado nesta disciplina. Indique o valor final do registo $\$s2$ após a execução da instrução `xori $\$s2$, $\$s1$, 0x7080`
(O registo $\$s1$ está inicializado com o valor 0xBADD8AFF.)

A	0xBADD7080
B	0xBADD8AF0
C	0xBADDFA7F
D	0x00000080
E	Nenhuma das outras opções está correcta.

5. Indique a menor sequência de assembly do MIPS necessária para realizar a operação

`$s0 <- 0x12345678 ;` carrega 0x12345678 no registo `$s0`

A	<code>addi \$s0, \$zero, 0x12345678</code>
B	<code>lui \$s0, 0x1234 ;</code> load upper 16 bits immediate (<code>\$s0 <- 0x1234</code>) <code>ori \$s0, \$s0, 0x5678 ;</code> or
C	<code>... ;</code> put 0x12345678 in memory <code>... ;</code> load <code>\$s1</code> with the address of the constant <code>lw \$s0, 0(\$s1)</code>
D	<code>add \$s0, \$zero, 0x12345678</code>
E	<code>lw \$s0, 0x12345678</code>
F	Nenhuma das outras opções está correcta.

6. Considere o seguinte troço de programa:

```
int a[SIZE],b[SIZE]; /* inteiros de 32 bits */
register int k, t; /* inteiros em registos */
... t = a[k];
a[k] = b[k];
b[k] = t; ...
```

Como seria compilado este programa na arquitectura Load-Store do processador das aulas? (Considere que o compilador não faz optimizações para além do que está expresso no programa.)

A	<code>lw \$s1, 0(\$s4) / sw 0(\$s4), 0(\$s5) / sw \$s1, 0(\$s5)</code>
B	<code>lw \$s1, 0(\$s4) / sw 0(\$s5), 0(\$s4) / sw \$s1, 0(\$s5)</code>
C	<code>lw \$s1, 0(\$s4) / lw \$s2, 0(\$s4) / sw \$s2, 0(\$s5) / sw \$s1, 0(\$s5)</code>
D	<code>lw \$s1, 0(\$s4) / lw \$s2, 0(\$s5) / sw \$s2, 0(\$s4) / sw \$s1, 0(\$s5)</code>
E	Nenhuma das outras opções está correcta.

7. Um processador tem um sistema de memória com um nível de cache e memória primária. O tempo de acesso à cache é 10 ns, o tempo de acesso da memória primária é 100 ns.

Qual é o tempo médio de acesso ao sistema de memória ao executar uma aplicação de que resultou uma miss rate de 60%?

A	110 ns.
B	100 ns.
C	70 ns.
D	60 ns.
E	10 ns.
F	Nenhuma das outras opções está correcta.

8. Como se calcula o tempo médio de acesso à memória (AMAT) num sistema com dois níveis de cache - L1 e L2? (t_{MEM} é o tempo de acesso à memória primária.)

A	$AMAT = t_{hit_L1} + miss_rate_L1 \times miss_rate_L2 \times t_{MEM}$
B	$AMAT = t_{hit_L1} + miss_rate_L1 \times (t_{hit_L2} + miss_rate_L2 \times t_{MEM})$
C	$AMAT = t_{hit_L2} + miss_rate_L2 \times (t_{hit_L1} + miss_rate_L1 \times t_{MEM})$
D	$AMAT = t_{hit_L1} + miss_rate_L2 \times (t_{hit_L2} + miss_rate_L1 \times t_{MEM})$
E	Nenhuma das outras opções está correcta.

9. Considere uma cache para código totalmente associativa com 128 bytes e blocos de 16 bytes. Quantos comparadores de tags tem a cache?

Responder (número inteiro) na grelha na primeira página.

10. Lançou-se um programa e registou-se o tipo de faltas (*misses*) que ocorreram nesta cache (totalmente associativa) durante a sua execução. Qual dos resultados seguintes é um registo possível da observação?

A	Faltas compulsivas 2%, de capacidade 33%, de conflito 65%.
B	Faltas compulsivas 20%, de capacidade 68%, de conflito 12%.
C	Faltas compulsivas 2%, de capacidade 95%, de conflito 3%.
D	Faltas compulsivas 0%, de capacidade 95%, de conflito 5%.
E	Faltas compulsivas 5%, de capacidade 95%, de conflito 0%.
F	Nenhuma das outras opções é possível.

11. O que é uma cache vítima?

A	Uma cache em que ocorrem muitas faltas.
B	Uma cache de backup que só é usada quando a cache principal se avaria.
C	Uma cache que armazena as flags (semáforos) que controlam o acesso a secções críticas do programa.
D	Uma pequena cache que armazena os blocos que foram mais recentemente retirados (substituídos) da cache principal.
E	Um pequeno buffer que armazena os blocos que irão ser escritos na memória primária.
F	Nenhuma das outras opções está correcta.

12. Um processador de 32 bits, com espaço de endereçamento de 2^{32} B endereçável ao byte, tem uma cache L1 com 64 KB com blocos de 64 B e 16 vias de associatividade.

Indique a estrutura dos endereços interpretados pela cache. (A0 - bit de endereço de menor peso.)

A	Tag (A31-A12), index (A11-A6), word offset (A5-A2), byte offset (A1-A0).
B	Tag (A31-A16), index (A15-A6), word offset (A5-A2), byte offset (A1-A0).
C	Tag (A31-A10), index (A9-A6), word offset (A5-A2), byte offset (A1-A0).
D	Tag (A31-A10), index (A9-A4), offset (A3-A0).
E	Nenhuma das outras opções.

13. Um processador com arquitetura Load-Store tem um sistema de memória com 2^{32} B, endereçável ao byte, com caches separadas para instruções e para dados. A cache de dados tem duas vias de associatividade, capacidade 8 KB, blocos de 64 bytes, e políticas *write-back* e carregamento *critical word first*. Neste sistema executa-se o programa seguinte. (Considere a cache inicialmente vazia.)

```
#define SIZE 65536 /* 64K */
register int i; /* alocadas em registros, inteiros de 32 bits */
int a[SIZE];
...
for (i=0; i<SIZE; i++)
    a[i] = a[i] + 1;
```

- a) Qual é a miss rate na cache de dados ao executar o programa?

A	6,25% = 1/16
B	12,5% = 2/16
C	2,08% = 1/48
D	3,125% = 1/32
E	Nenhuma das outras opções.

- b) Quantos blocos são transferidos entre a cache e a memória primária no serviço de faltas (em leitura e escrita) ao executar as primeiras 4K iterações - i [0, 4095]?

A	$4K / 64 = 64$
B	$(2K \times 4) / 64 + (2K \times 4) / 64 = 128 + 128 = 256$
C	$(2K \times 4) / 64 + [(2K \times 4) / 64] \times 2 = 128 + 256 = 384$
D	$[4K \times 4] / 2 / 64 = 128$
E	Nenhuma das outras opções.

14. Considere que uma cache de mapeamento directo é redesenhada com 2 vias de associatividade, mantendo as restantes características (capacidade, número de blocos). Nesta situação como variam os campos de endereçamento da cache?

A	A dimensão do campo de indexação aumenta 1 bit e a do offset diminui 1 bit.
B	Não mudam, isto é, manêm o formato e as dimensões.
C	O campo de indexação diminui 1 bit.
D	A dimensão de campo de indexação diminui 1 bit e a do offset aumenta 1 bit.
E	Deixa haver bits de indexação mas o número de bits de offset aumenta.

15. Considere um processador de 32 bits com endereçamento virtual. Os espaços virtual e físico têm ambos 2^{32} B e as páginas 16 KB. A tradução de endereços é feita por uma tabela de páginas monolítica (com um só nível), ocupando cada descritor de páginas 4 bytes. Qual é o número total de páginas de memória primária que um processo ocupa para traduzir os endereços e executar sem faltas de página um programa com 128 KB alocado a partir de 0x0 (endereço virtual) que manipula 1 MB de dados alocados logo abaixo de 0xFFFFFFFF (espaço virtual).

Responder (número inteiro) na grelha na primeira página.