

Guía Práctica 3

Ejercicio 1 - Entregar / Desarrollar.

El código que se encuentra a continuación muestra una iteración de un algoritmo implementado en un bloque receptor de comunicaciones digitales. El algoritmo procesa una entrada compleja *InputSample* y nos devuelve la corrección de fase de esta. La corrección de fase es calculada en el código.

- Dibujar el gráfico de flujo de datos (DFG), y mapearlo en una arquitectura (FDA).
- Escribir el código del diseño en verilog usando variables de punto fijo de s(16,15) bits (entrada, vectores “a” y “b”, kp y ki).
- Además, en el acumulador de salida aplique el método de overflow y redondeo para obtener una resolución de s(16,15).
- Por último, escribir los estímulos para verificar el código.

```

1 Mixer_out = InputSample*(-j*Phase);
2 // a number of algorithmic registers
3 Mixer_Out[2] = Mixer_Out[1];
4 Mixer_Out[1] = Mixer_Out[0];
5 Mixer_Out[0] = Mixer_out;
6 Delayline[2] = Delayline[1];
7 Delayline[1] = Delayline[0];
8 // feedback loop, where a and b are arrays of 16-bits constants
9 // Kp and Ki are also 16-bit constant numbers
10 Delayline[0] = - Delayline[1]*a[1]
11               - Delayline[2]*a[2]
12               + Mixer_Out[0]*b[0]
13               + Mixer_Out[1]*b[1]
14               + Mixer_Out[2]*b[2];
15 offset = real(Delayline[2]*Delayline[0]);
16 offset_Delayline[0] = offset_Delayline[1];
17 offset_Delayline[1] = offset;
18 phase_corr = Kp*offset_Delayline[0]
19              + Ki*offset_Delayline[1]
20              + phase_corr
21              - Kp*offset_Delayline[1];
22 Phase = Phase + phase_corr;

```

Ejercicio 2.

Dibujar el HSDFG tomando como referencia el SDFG de la figura 1.

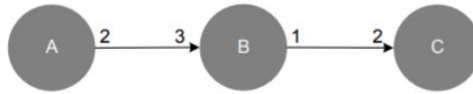


Figura 1: SDFG de tres nodos

Ejercicio 3.

Convertir el SDFG mostrado en la figura 2 a HSDFG y dibuje el hardware del DFG.

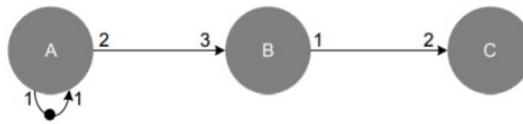


Figura 2: SDFG de tres nodos

Ejercicio 4 - Entregar / Desarrollar.

Un conversor digital up/down puede ser realizado como un DFG ciclo-estático. Las tasas de producción y consumo dadas en la figura 3 como vectores implementan un 3/2 conversor digital up/down. Diseñe (dibuje) los registros y multiplexores para realizar el diseño en HW.



Figura 3: DFG ciclo-estático para el conversor digital de tasa 3/2